	X3	X2	X1	X0						x0					x0		
0	0	0	0	0					0	1	3	2	Г	0	1	3	2
1	0	0	0	1											_		
2	0	0	1	0					4	5	7	6		4	5	7	6
3	0	0	1	1				x2	12	13	15	14	x2	12	13	15	14
4	0	1	0	0								x3					x3
5	0	1	0	1					8	9	11	10		8	9	11	10
6	0	1	1	0											_		
7	0	1	1	1						0	x1				0	x1	
8	1	0	0	0					0	x0	3	2		0	x0	3	2
9	1	0	0	1]					
10	1	0	1	0					4	5	7	6		4	5	7	6
11	1	0	1	1				x2	12	12	1.5	1.4	x2	10	12	1.7	14
12	1	1	0	0					12	13	15	14		12	13	15	14
13	1	1	0	1					8	9	11	10	x3	8	9	11	10 x3
14	1	1	1	0													
15	1	1	1	1						x0	x1				x0	x1	
П	х3	X2	X1	x0					0	1	3	2		0	1	3	2
0		0		0													
1		0		1				-	4	4 5	7	6		4	5	7	6
2	0	0	1	0				x2	12	13	15	14	x2	12	13	15	14
3	0	0	1	1							15		_{x3}	1			x3
4	0	1	0	0					8	9	11	10	A.J. 1	8	9	11	10
5	0	1	0	1													
6	0	1	1	0						x0	x1				x0	x1	
7		1	1	1					0	1	3	2		0	1	3	2
8		0	0	0													
9		0		1		4			4	5	7	6		4	5	7	6
$\begin{vmatrix} 1 \\ 0 \end{vmatrix}$	1	0	1	0				x2	12	13	15	14	x2	12	13	15	14
1	1	0	1	1									_{x3}				x3
1									8	9	11	10		8	9	11	10
1 2	1	1	0	0													
1	1	1	0	1		+			,	x0	x1			_	x0	x1	
3									0	1	7	2 6		0	1	3	2
1 4	1	1	1	0]	4	5	7	6
1	1	1	1	1				x2					x2				J
5	•			•					12	13	15	14	^2	12	13	15	14
										9	11	10	$_{x3}$		9	1 1	x3
									8	9	11	10		8	9	11	10
											 x1	'				 x1	''
											7.1					7.1	

Prova 1 Inf251/18 20 pt – Nome	Matricula
--------------------------------	-----------

- 1. (a) Converter na representação binária de 7 bits (3 exp, 4 mantissa) de Ponto Flutuante x= 3,1 y=6,4. (b) Calcular x+y e x*y. Escrever o resultado na representação binária e no formato float ou frações.
- 2. Codificar as instruções em Hexadecimal com 8 algarismos:
- (a) LW R2, -4 (R1) (b) ADD R14,R7,R19
- 3. Completar a tabela para um circuito com entradas A com 2 bits em complemento de 2, entrada B com 2 bits na representação positiva sem sinal. Se A < 0, a saída S = A*B-3 e se A>=0, S=A+B+2. A saída S será no Formato BCD com S bits mais um bit de sinal. Monte os mapas e minimize as equações. Escreva as equações na sintaxe de Verilog.
- 4. (a) Desenhe usando portas lógicas o seguinte trecho em Verilog:

```
assign s[0] = a \land (b \& c | \sim c \& \sim b);
assign x = \{ s[1] \& d | s[1] \& \sim e | \sim e \& d, s[1] \land \sim e \land d \};
assign s[1] = a \& \sim b | c \& (a | \sim b);
```

- (b) Se a=1,b=0,c=1, d=0, e=1, qual será o valor de s[0] e x[0]?
- 5. Projete uma mini-ALU usando multiplexadores, somador de 1 bits e portas lógicas. Suponha que as entradas A e B sejam de 4 bits. Suponha que um multiplexador 2:1 de 1 bit custa 3 portas lógicas e um somador de um bit custa 6 portas lógicas. Não é necessário contar os inversores. Sua ALU tem uma entrada de 2 bits OP de controle para escolher a operação. A saída S será igual a A+B+1 se OP=0, A-B se OP=1, -B se OP=2, A+1 se OP=3. Implemente a ALU com menos de 50 Portas lógicas, justifique.