

شروع	یکشنبه، ۱۲ بهمن ۱۳۹۹، ۹:۰۰ صبح
وضعیت	پایان یافته
پایان	یکشنبه، ۱۲ بهمن ۱۳۹۹، ۱۲:۵۳ عصر
زمان صرف شده	۳ ساعت ۵۲ دقیقه
جمع نمره	۵۱.۵۰ از ۱۰۰.۰۰
نمره	۵۰.۱۵ از ۱۰۰.۰۰ (۵۲٪)

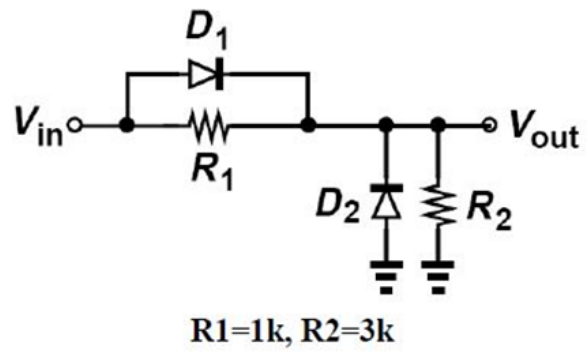


سؤال ۱

کامل

نمره ۷.۵۰ از ۱۲.۰۰

مشخصه انتقالی مدار شکل زیر را بدست آورید. (ولتاژ ترشلد دیودها ۰.۷ ولت و مقاومت معادل آنها ۱ اهم است).



پیوست

[pdf.۰۱-۹۸۱۰۱۳۶۳](#)

دیدگاه:

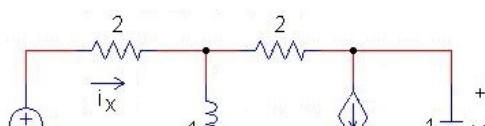


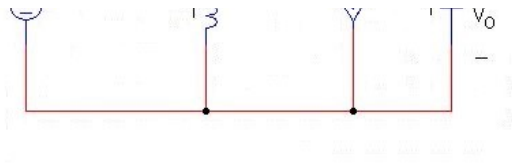
سؤال ۲

کامل

نمره ۵.۰۰ از ۱۰.۰۰

در مدار شکل زیر مقدار منبع ولتاژ مستقل $\cos(wt)$ است و مقدار منبع جریان وابسته ai_x میباشد. مقدار w و a را به نحوی تعیین کنید که V_o حالت سینوسی ماندگار نداشته باشد.





پیوست

[pdf-۹۸۱۵۱۳۶۳](#)

دیدگاه:

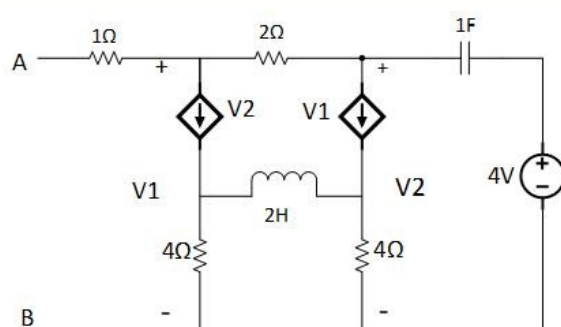


سوال ۳

کامل

نمره ۸.۰۰۰ از ۱۰.۰۰۰

معادل تونن در حوزه لاپلاس را بدست آورید .



دیدگاه:



سؤال ۱۴

کامل

نمره ۲.۰۰ از ۱۰.۰۰

یک دماسنج آتالوگ برای اندازه‌گیری دما در اختیار داریم که مطابق جدول زیر کار می‌کند. با استفاده از روش کاملاً موازی و مراحل کامل ساخت مبدل، یک مبدل آتالوگ به دیجیتال طراحی کنید که دماهای مختلف را در چهار حالت مختلف نمایش دهد.

دما	ولتاژ خروجی دماسنج	عدد خروجی مبدل A/D
بین ۲۲ و ۲۴ درجه	0 تا 3 ولت	001
بین ۲۴ و ۲۶ درجه	3 تا 6 ولت	010
بین ۲۶ و ۲۸ درجه	6 تا 9 ولت	011
بین ۲۸ و ۳۰ درجه	9 تا 12 ولت	100
بین ۳۰ و ۳۲ درجه	۱۲ تا ۱۵ ولت	101

دیدگاه:

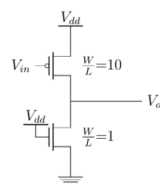


سوال ۵

کامل

نمره ۱۰۰۰ از ۱۰۰۰

در مدار شکل زیر مقادیر V_{OL} , V_{OH} , V_{IL} , V_{IH} را محاسبه کنید.



$$V_{dd} = 5^v, \quad |V_t| = 0.5^v, \quad k'_p = -100 \frac{\mu A}{v^2}, \quad k'_n = 200 \frac{\mu A}{v^2}$$

پيوست



سؤال ۶

کامل

نمره ۸۰۰۰ از ۸۰۰۰

قصد داریم تا حافظه‌ای از نوع DRAM با کلمات ۸ بیتی طراحی کنیم. اگر $V_{th}=1.5$ و $V_{DD}=5$ ولت باشند، چنانچه ۲۰۴۸ ردیف داشته باشیم:

الف) شمای کلی حافظه به همراه اجزای مختلف آن را رسم کنید. این حافظه چند بایتی می‌باشد؟

ب) برای آدرس‌دهی به چند بیت نیاز داریم؟

ج) چنانچه خازن ذخیره‌سازی سلول برابر 50 fF ، هر سلول خازن معادل 5 fF و sense amplifier خازن معادل 10 fF داشته باشند. سیگنال ولتاژ روی bit-line حداقل باید چند ولت باشد؟

پيوست

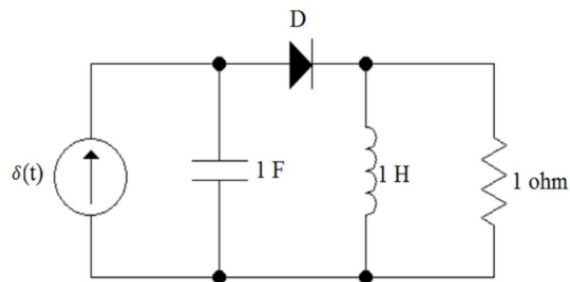


سؤال ۷

کامل

نمره ۸.۰۰۰ از ۱۰.۰۰۰

در مدار زیر شرایط اولیه صفر و دیود D ایده آل است. پس از چند ثانیه جریان D قطع میشود؟ (راهنمایی: با استفاده از لاپلاس حل شود)



پیوست

[pdf.۰۷-۹۸۱۰۱۳۶۳](https://www.pdf.۰۷-۹۸۱۰۱۳۶۳)

دیدگاه:



سؤال ۸

کامل

نمره ۷۰.۵۰ از ۱۲۰.۰۰

یک مقایسه کننده‌ی ۴ بیتی در منطق Transmission Gate طراحی کنید. فرض کنید ورودیها و مکمل آنها موجود میباشد. این مدار دو کلمه‌ی ۴ بیتی A و B را مقایسه کند و یک خروجی تک بیتی تولید می‌کند. اگر مقدار دودویی A بزرگتر از B باشد، خروجی تک بیتی باید «۱» شود. در غیر اینصورت خروجی «۰» شود.

راهنمایی: طرح شما باید شامل تعدادی بلوک پایه در منطق Transmission Gate باشد که هر کدام عملیات مقایسه یک بیتی را انجام می‌دهند. مدار مقایسه یک بیتی، سه ورودی A_i ، B_i و C_i را دریافت کرده و خروجی Cout را تولید می‌کند.

پیوست

[۳۶۳۱۰۹۸-۰۸.pdf](#)

دیدگاه:

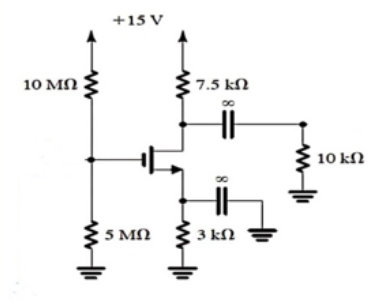


سؤال ۹

کامل

نمره ۴۰۵۰ از ۱۰۰۰

در مدار زیر مقادیر V_{GS} و V_{DS} و I_D را بدست آورید.



$$K = \mu C_{ox} \frac{W}{L} = 2 \frac{mA}{V^2}$$
$$V_t = 1 V$$

پیوست

[pdf.۰۹-۹۸۱۰۱۳۶۳](#)

دیدگاه:



سؤال ١٠

کامل

نمبره ۰.۰۰ از ۸.۰۰

تابع $Y = (A \odot B) + (A' \odot (B + C'))$ را در منطق CMOS به صورت cascade (با اتصال گیت های دو ورودی) پیاده سازی نمایید. فرض کنید که هر متغیر و مکمل آن را در اختیار دارید. از هیچ گیت آماده ای نمی توانید استفاده کنید. هر گیتی بکار رفته در مدار شما لازم است توسط ترانزیستور ساخته شود.

پیوست

[pdf.۱۰-۹۸۱۰۱۳۶۳](#) 

دیدگاه:

► نمرات نهایی تمرین اول، کوئیز اول و کوئیز دوم

رفتن به...

◀ امتحان میاترم ۱



