

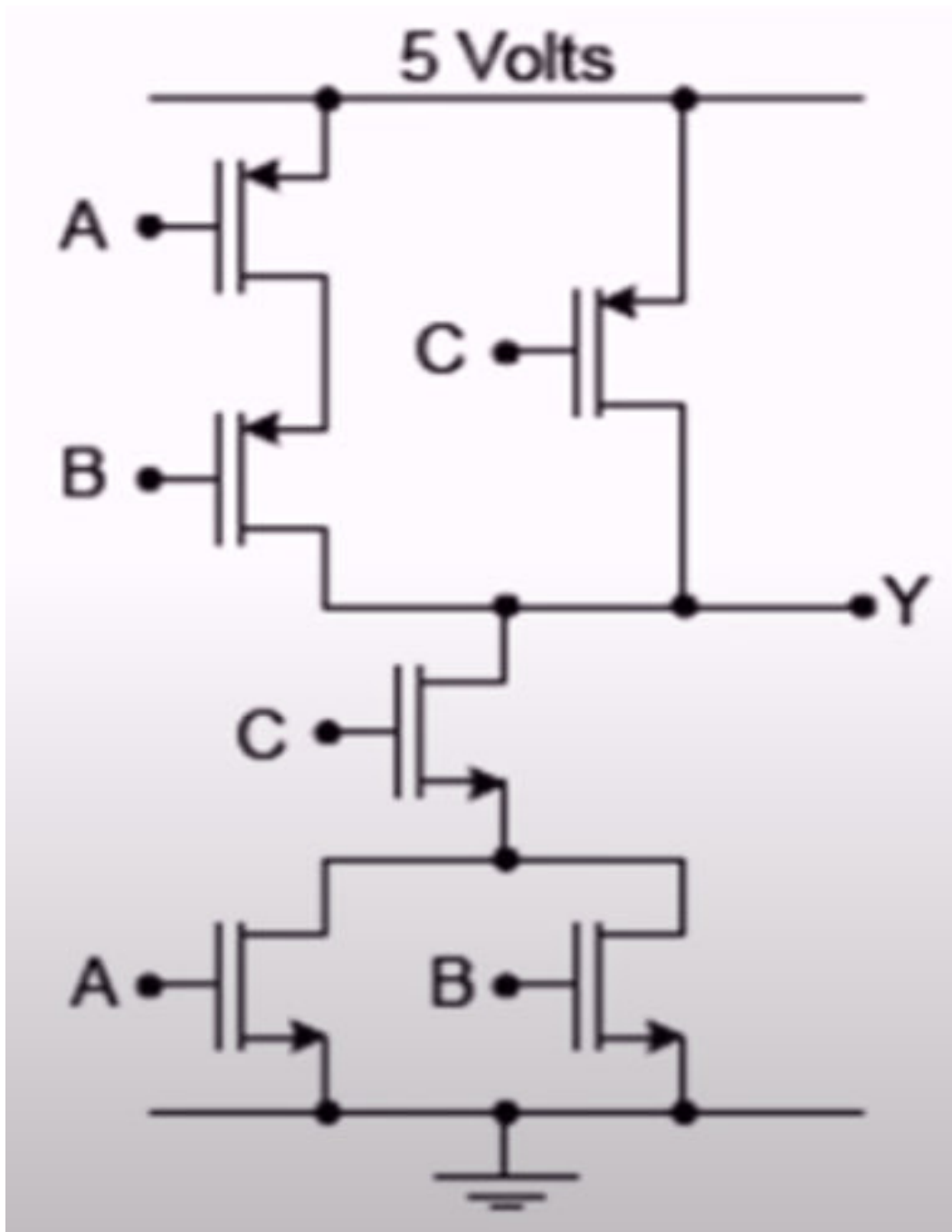


پرسش ۱

با استفاده از منطق Gate Transmission یک مدار Full-Adder طراحی کنید. این مدار باید به گونه‌ای باشد که معادل ساخته شده آن به واسطه گیت‌های منطقی، خروجی را با حداکثر دو واحد تاخیر (هر واحد تاخیر برای تمام انواع گیت‌ها یکسان در نظر گرفته شده است) تولید کند.

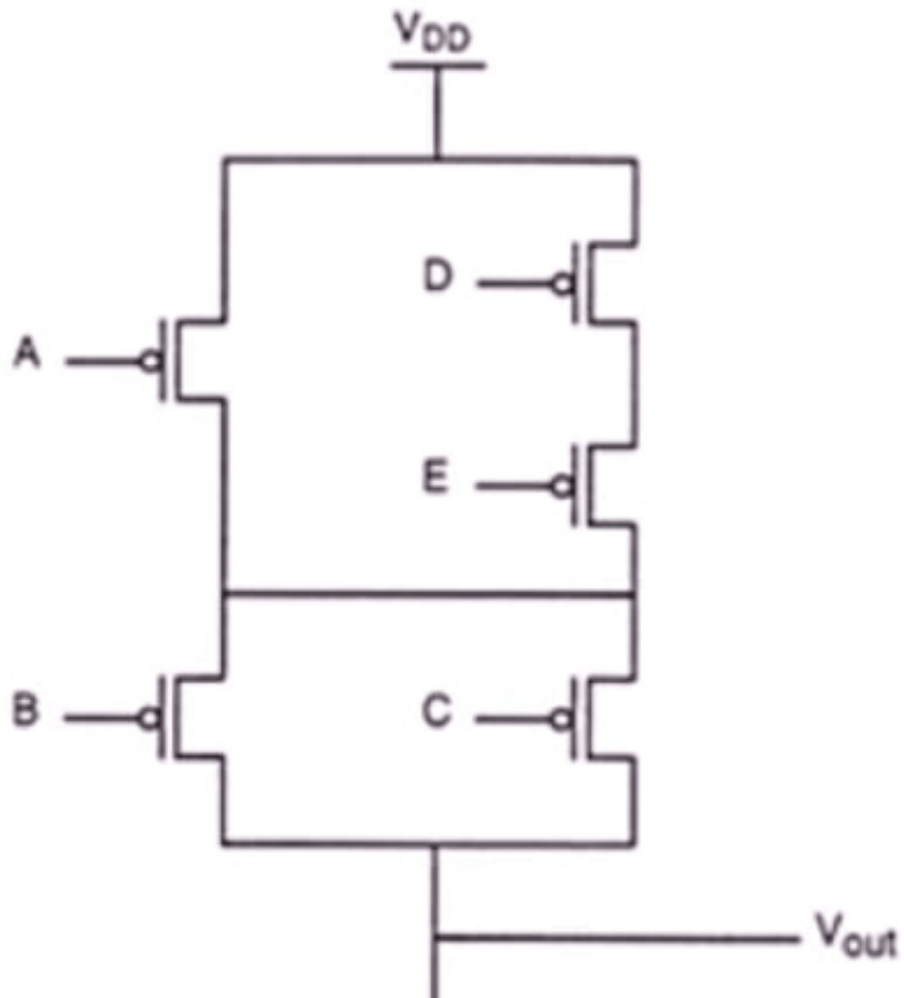
پرسش ۲

طراحی متناظر مدار زیر را با منطق Gate Transmission انجام دهید و سپس درصد تغییر ترانزیستور مورد استفاده در پیاده‌سازی مدار را بدست آورید؟

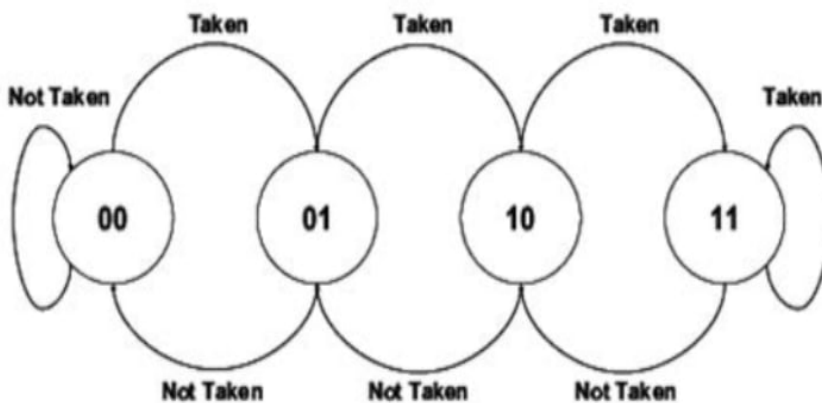


پرسش ۳

شکل زیر بخش up pull یه مدار طراحی شده با منطق CMOS است. ابتدا بخش down pull این مدار را کامل کنید و عبارت خروجی مدار را بدست آورید.



در طراحی پردازنده‌ها یکی از قطعات پر استفاده در پیاده‌سازی Branch Predictorها شمارنده saturated است. ماشین حالت این شمارنده به صورت زیر است. ابتدا با استفاده از منطق Gate Transmission یک فلیپ‌فلاپ بسازید و سپس با استفاده از آن این شمارنده را پیاده کنید. (در ماشین حالت زیر حالت Taken را ۱ و حالت Taken Not را ۰ در نظر بگیرید)



پرسش ۵

عبارتی را که توسط مدار زیر پیاده می‌شود، بدست آورید.

