



به نام خدا

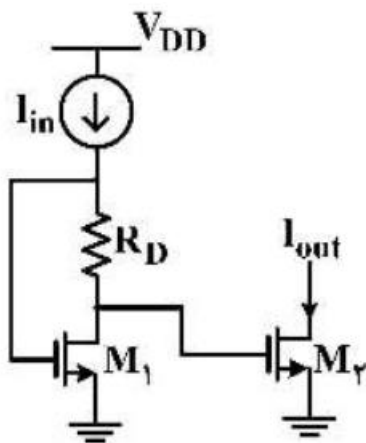
تمرین سری ششم مبانی مدارهای الکتریکی و الکترونیکی

نیمسال اول 99-00، دکتر کوهی

دانشکده مهندسی کامپیوتر

زمان تحویل: ۱۱ دی ماه

۱) در مدار شکل زیر همه ترانزیستور ها در ناحیه اشباع بایاس شده اند. حداکثر مقدار I_{out} را بدست آورید



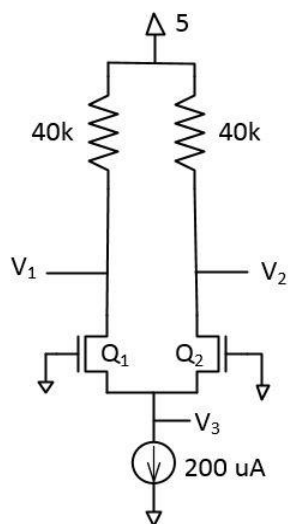
$$\mu_n C_{ox} (W/L)_1 = 2 \frac{mA}{V^2}$$

$$\mu_n C_{ox} (W/L)_2 = 16 \frac{mA}{V^2}$$

$$V_{TH} = 1V$$

$$R_D = 1K$$

$$0.1mA \leq I_{in} \leq 1mA$$



۲) در مدار شکل زیر $V_{tn} = 1$ و $k_n = 100 \frac{\mu A}{V^2}$ می باشد. ولتاژهای V_1 و V_2 و V_3 را در دو حالت زیر بدست

آورید.

$$a) \left(\frac{W}{L}\right)_1 = \left(\frac{W}{L}\right)_2 = 20$$

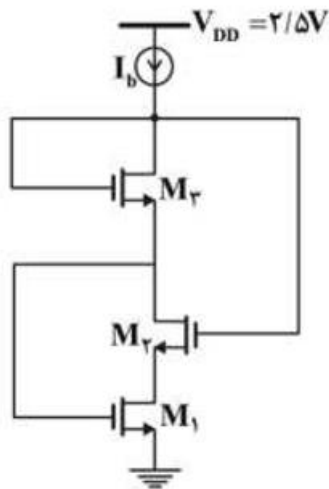
$$b) \left(\frac{W}{L}\right)_1 = \frac{3}{2} * \left(\frac{W}{L}\right)_2 = 20$$

۳) توابع منطقی زیر را با استفاده از Transmission Gate طراحی کنید.

$$Y_1 = ((A+B'+D')(C+E')F) + G' \text{ (الف)}$$

$$Y_2 = (A+B'+C)(D') + (G'+E)F \text{ (ب)}$$

4) در مدار شکل زیر ترانزیستور های $M1$ و $M2$ مشابه هستند. مقدار W/L ترانزیستور $M3$ را به نحوی بدست آورید که همه ترانزیستور ها در ناحیه اشباع باشند.



$$V_{TH1}=0.5$$

$$V_{TH2}=0.5$$

$$V_{TH3}=0.4$$

$$M1, M2 : V_{GS} - V_{TH} = 0.5$$

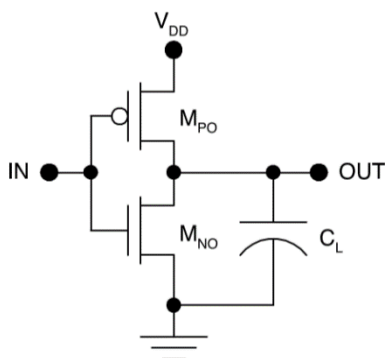
$$\mu_n C_{OX} = 400 \frac{\mu A}{V^2}$$

$$I_b = 0.5mA$$

هـ: در این مسئله می‌خواهیم اثر بارگذاری خازن را بر وارون ساز ذکر شده بررسی کنیم: تاخیر t_p زمانی تعریف می‌شود که پس از تغییر ورودی، طی می‌شود؛ تا خروجی به ۵۰ درصد مقدار نهایی خود برسد.

الف: ثابت کنید در صورتی که وارون ساز متقارن باشد تاخیر t_{HL} و t_{LH} تقریباً برابر است با:

$$t_p \approx \frac{C_L}{K} \left[\frac{2V_T}{(V_{DD} - V_T)^2} + \frac{2}{(V_{DD} - V_T)} \ln \left(\frac{V_{DD} - V_T}{V_{DD}/2} \right) \right]$$



(راهنمایی: ترانزیستور را در ناحیه اشباع با منبع جریان و در ناحیه خطی با مقاومت مدل کنید).