



به موارد زیر توجه کنید:

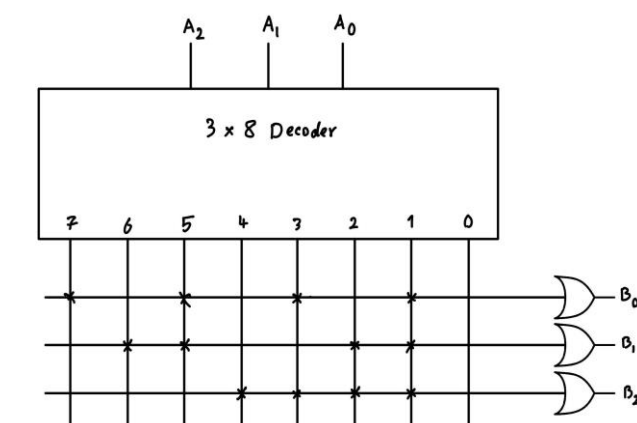
- ۱- حتما نام و شماره دانشجویی خود را روی پاسخنامه بنویسید.
- ۲- در حل سوالات به نوشتن جواب آخر اکتفا نکنید. همه مراحل میانی را هم بنویسید.
- ۳- کل پاسخ تمرینات را در قالب یک فایل pdf با شماره دانشجویی خود نام گذاری کرده در سامانه CW بارگذاری کنید.
- ۴- در صورت مشاهده هر گونه مشابهت نامتعارف هر دو (یا چند) نفر کل نمره این تمرین را از دست خواهند داد.

سوالات:

۱- (۱۰ نمره) با استفاده از یک ROM مدار تبدیل یک عدد ۳ بیتی به مکمل ۲ آن را بسازید.

پاسخ:

A2	A1	A0	B2	B1	B0
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	1	1	0
0	1	1	1	0	1
1	0	0	1	0	0
1	0	1	0	1	1
1	1	0	0	1	0
1	1	1	0	0	1



۲- (۱۵ تمره) با کوچکترین PLA ممکن توابع زیر را بسازید. فرض کنید در خروجی PLA گیت‌های XOR ای وجود دارند که امکان تولید مکمل تابع را دارند.

$$F_1(a, b, c, d) = \prod M(2, 3, 4, 5, 7, 10, 11, 12, 13, 15)$$

$$F_2(a, b, c, d) = \prod (1, 4, 6, 9, 12, 14)$$

$$F_3(a, b, c, d) = \prod (0, 8)$$

پاسخ:

F_1

$\begin{matrix} a & b \\ c & d \end{matrix}$	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	0	0	0	0
10	0	1	1	0

$$F_1 = b'c' + bcd'$$

$$\checkmark \overline{F_1} = b'c + bd + bc'$$

F_2

$\begin{matrix} a & b \\ c & d \end{matrix}$	00	01	11	10
00	1	0	0	1
01	0	1	1	0
11	1	1	1	1
10	1	0	0	1

$$\checkmark F_2 = b'c'd' + bd + b'c$$

$$\overline{F_2} = bd' + b'c'd$$

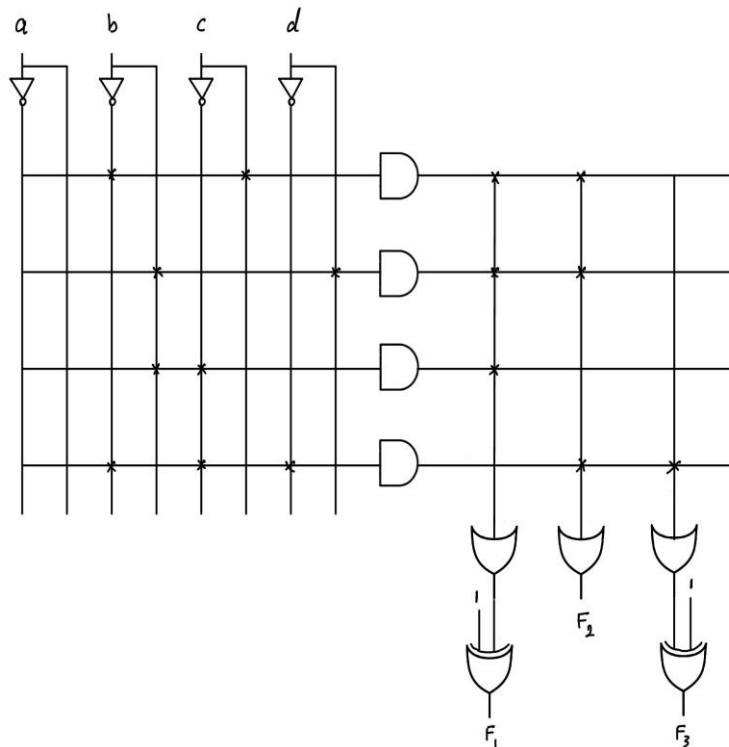
F_3

$\begin{matrix} a & b \\ c & d \end{matrix}$	00	01	11	10
00	0	1	1	0
01	1	1	1	1
11	1	1	1	1
10	1	1	1	1

$$F_3 = b + d + c$$

$$\checkmark \overline{F_3} = b'c'd'$$

برای کوچکترین PLA ممکن باید توابع مشخص شده را بسازیم.



۳- (نمره ۱۰) با استفاده از کوچکترین PAL از نوع OR-AND مداری بسازید که عدد سه بیتی X را ورودی بگیرد و اگر X زوج بود، $X+2$ و در غیر این صورت $X+3$ را در خروجی تولید کند.

پاسخ :

ابتدا جدول حالت را رسم می‌کنیم و سپس با استفاده از جدول کارنو خروجی‌ها را به صورت POS ساده می‌کنیم و PAL را بر این مبنا می‌سازیم.

x_2	x_1	x_0	f_3	f_2	f_1	f_0
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	0	0
0	1	1	0	1	1	0
1	0	0	0	1	1	0
1	0	1	1	0	0	0
1	1	0	1	0	0	0
1	1	1	1	0	1	0

$x_2 \backslash x_1$	x_0	00	01	11	10
0	0	0	0	1	0
1	0	0	0	1	1

$$f_3 = x_2(x_1 + x_0)$$

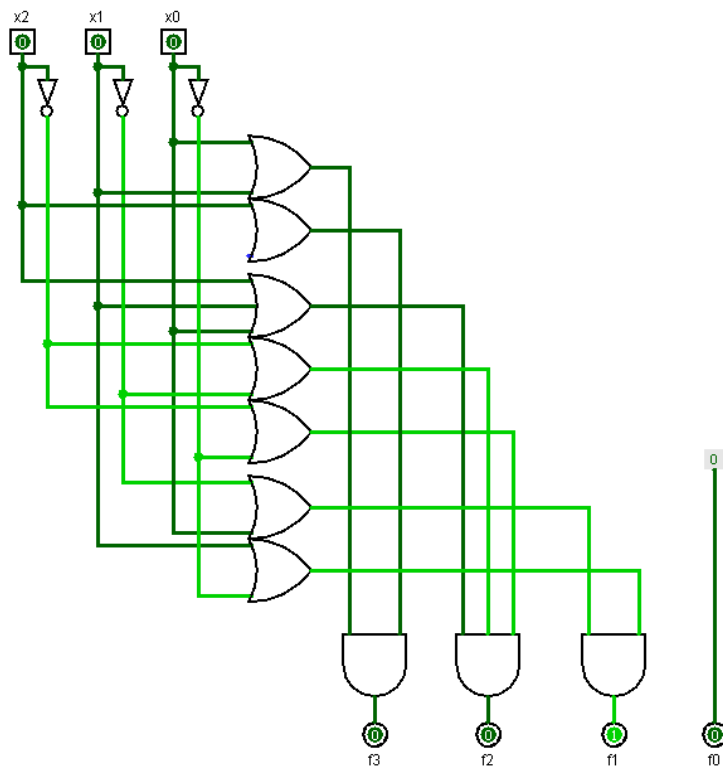
$x_2 \backslash x_1$	x_0	00	01	11	10
0	0	0	1	0	1
1	1	1	1	0	0

$$f_2 = (x_2 + x_1 + x_0)(x'_2 + x'_1)(x'_2 + x'_0)$$

$x_2 \backslash x_1$	x_0	00	01	11	10
0	1	0	0	0	1
1	0	1	1	0	0

$$f_1 = (x'_1 + x_0)(x_1 + x'_0)$$

$$f_0 = 0$$

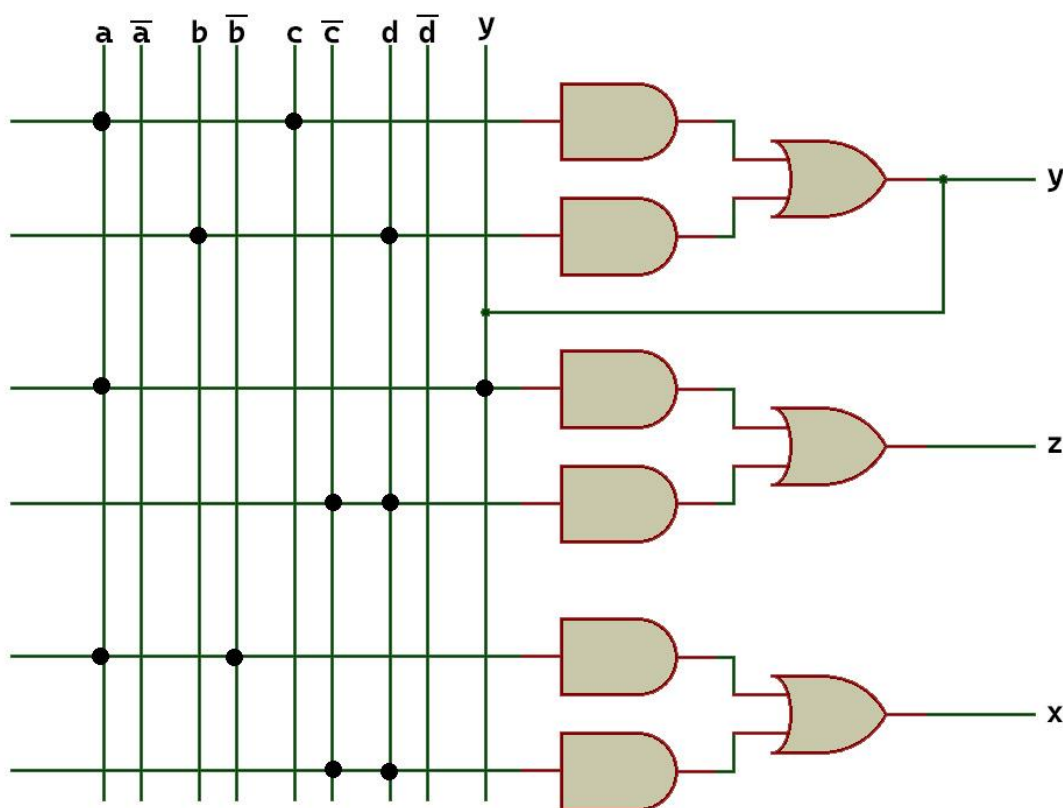


۴- (۱۰ نمره) یک PAL با ۴ ورودی و ۳ خروجی دارید که هر خروجی حاصل OR شدن دو گیت AND است و خروجی اول را می‌توانید به عنوان ورودی AND ها استفاده کنید. اگر ورودی‌ها a و b و c و d باشند PAL را طوری رسم کنید که توابع زیر را بسازد.

$$x = ab' + c'd, \quad y = ac + bd, \quad z = ac + abd + c'd$$

پاسخ :

هر خروجی حاصل OR شدن تنها دو AND است پس بدون کمک خروجی اول قطعاً نمی‌توانیم $z = ac + abd + c'd$ را بسازیم. بنابراین در انتخاب خروجی اول باید دقت کنیم، با کمی بررسی می‌توان دید که برای خروجی اول مناسب است زیرا $z = ac + abd + c'd = a(ac + bd) + c'd = ay + c'd$ پس می‌توانیم خروجی‌ها را به شکل زیر ایجاد کنیم:



۵- (۲۰ نمره) مدار تابع زیر را یک بار به صورت SOP و یک بار به صورت POS طوری بسازید که هیچ مخاطره‌ای نداشته باشد

$$f(a,b,c,d) = a'c'd + a'b'c + ab' + abd + bcd'$$

پاسخ:

از روی تابع داده شده جدول کارنو می‌کشیم و یک بار به صورت SOP و یک بار به صورت POS ساده می‌کنیم و سپس مخاطره‌های احتمالی را رفع می‌کنیم.

ab \ cd	00	01	11	10
00				1
01	1	1	1	1
11	1		1	1
10	1	1	1	1

ab \ cd	00	01	11	10
00				1
01	1	1	1	1
11	1		1	1
10	1	1	1	1

می‌بینیم که برای رفع مخاطره در حالت SOP باید دو جمله ad و $b'd$ را اضافه کنیم:

$$f(a,b,c,d) = a'c'd + a'b'c + ab' + abd + bcd' + ad + b'd$$

ab \ cd	00	01	11	10
00	0	0	0	
01				
11		0		
10				

تابع ساده‌شده به صورت POS را می‌توانیم به این صورت بنویسیم:

$$f(a,b,c,d) = (a + b' + c' + d')(a + c + d)(b' + c + d)$$

و از روی جدول کارنو مشخص است که مخاطره‌ای وجود ندارد.

۶- (۱۵ نمره) تابع زیر را یک بار به صورت SOP و بار دیگر به صورت POS ساده کنید. در هر دو بار، دقت کنید که تابع ساده شده فاقد مخاطره پنهان باشد.

$$F(A, B, C, D) = \sum m(1, 3, 5, 7, 8, 9, 11) + d(12, 13)$$

پاسخ:

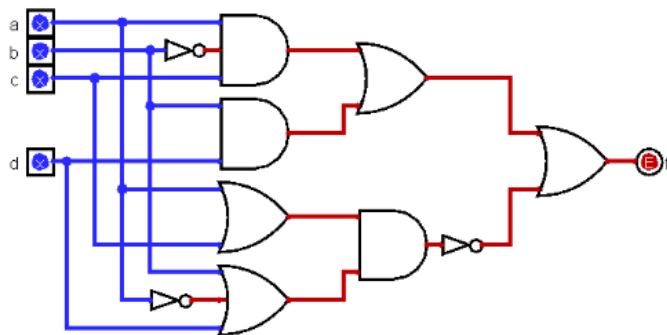
جدول کارنوی تابع F را رسم کرده، یک بار به صورت SOP و یک بار به صورت POS ساده می‌کنیم و ضمن ساده کردن به مخاطره‌های احتمالی هم توجه می‌کنیم. در هر دو مورد می‌بینیم که اگر خانه‌های بی‌اهمیت را در ساده کردن دخالت ندهیم، مخاطره‌ای رخ نخواهد داد.

AB \ CD	00	01	11	10
00			x	1
01	1	1	x	1
11	1	1		1
10				

$$F = A'D + AB'C' + B'D$$

AB \ CD	00	01	11	10
00	0	0	x	
01			x	
11			0	
10	0	0	0	0

$$F = (A + D)(C' + D)(A' + B' + C')$$



۷- (۲۰ نمره) فرض کنید تاخیر گیت‌های AND و OR

و NOT در شکل زیر به ترتیب ۱۰، ۱۰ و ۵ نانوثانیه باشد.

الف- مسیر بحرانی را تعیین و تاخیر آن را حساب کنید.

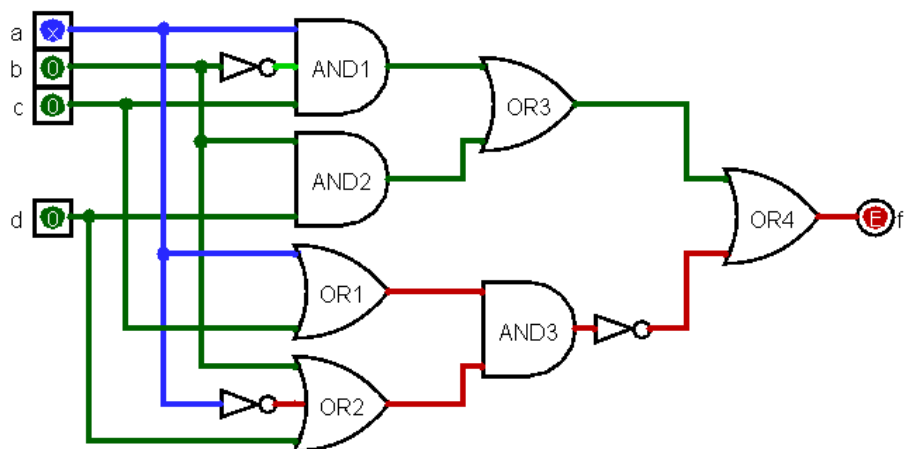
ب- همه مخاطره‌های پنهان ممکن در مدار را پیدا کنید.

پاسخ:

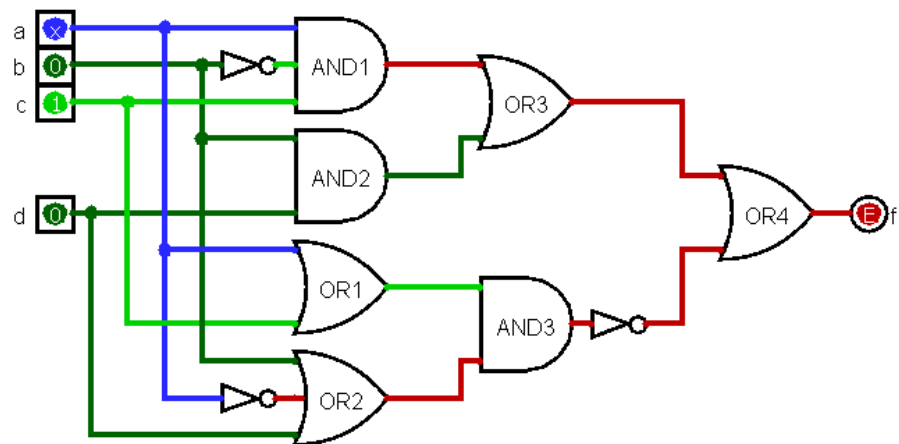
برای بررسی این مدار باید یک به یک متغیرهای ورودی را در حالتی که از چند مسیر به خروجی وصل می‌شوند، بررسی کنیم.

متغیر a از چند مسیر به خروجی می‌رسد. سایر متغیرها را طوری مقدار می‌دهیم که در ورودی گیت‌ها تاثیر نداشته باشند.

حالت اول- اگر $b=c=d=0$ باشد. که در نتیجه در ورودی‌های گیت AND3 برابر با a و a' خواهند بود. اگر a از صفر به یک تغییر وضعیت دهد، هر دو ورودی این گیت در مدت کمی صفر می‌شود که این در خروجی یک glitch تولید می‌کند. بنابراین یک مخاطره پنهان داریم.

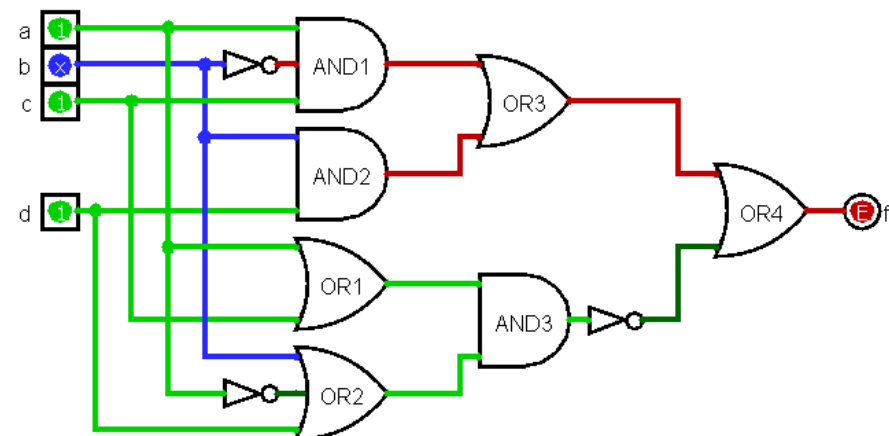


حالت دوم- اگر $c=1$ و $b=d=0$ باشد، ورودی‌های گیت OR4 برابر با a و a خواهند شد، بنابراین هر چند a از دو مسیر به خروجی می‌رسد اما glitch رخ نخواهد داد.

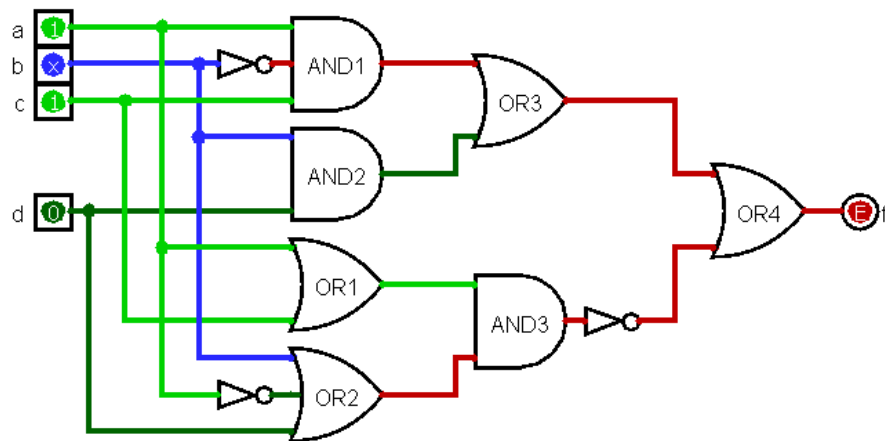


همچنین متغیر b از چند مسیر به خروجی می‌رسد. سایر متغیرها را طوری مقدار می‌دهیم که در ورودی گیت‌ها تاثیر نداشته باشند.

حالت اول- اگر $a=c=d=1$ باشد، ورودی‌های گیت OR3 برابر با b و b' خواهند شد. اگر مقدار b از یک به صفر تغییر کند، هر دو ورودی این گیت در مدت کمی صفر می‌شود که این در خروجی یک glitch تولید می‌کند، بنابراین یک مخاطره پنهان خواهیم داشت.



حالت دوم- اگر $a=c=1$ و $d=0$ باشد، ورودی‌های گیت OR4 برابر با b' و b' خواهند شد، بنابراین هر چند b از دو مسیر به خروجی می‌رسد اما glitch رخ نخواهد داد.



متغیر c نیز از دو مسیر به خروجی می‌رسد. برای این که اثر c از هر دو مسیر به خروجی برسد، از یک طرف باید $a=1$ که c از AND1 عبور کند و از طرف دیگر باید $a=0$ که c از OR1 عبور کند، پس عملاً هیچ‌وقت c از دو مسیر به خروجی نمی‌رسد و مخاطره‌ای هم رخ نخواهد داد.

همین‌طور متغیر d از دو مسیر به خروجی می‌رسد و این بار b باید از یک طرف صفر باشد که d از OR2 عبور کند و از یک طرف یک باشد که d از AND2 عبور کند. بنابراین اینجا هم مخاطره‌ای نخواهیم داشت.