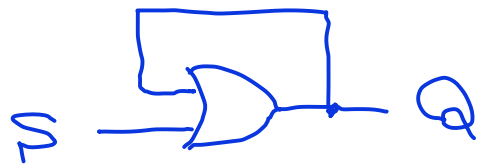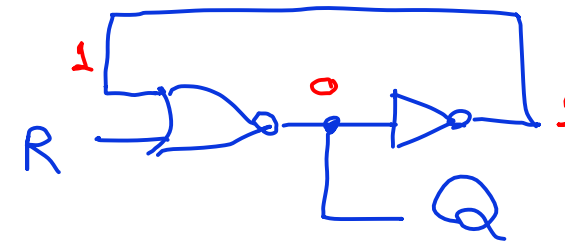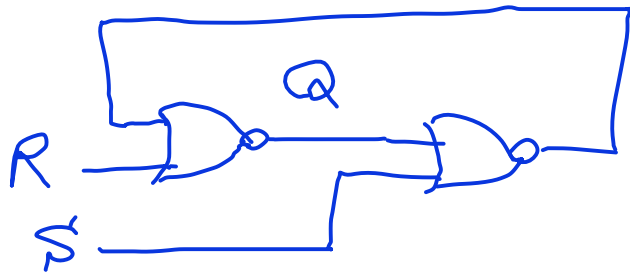عنصر حافظه: Latch
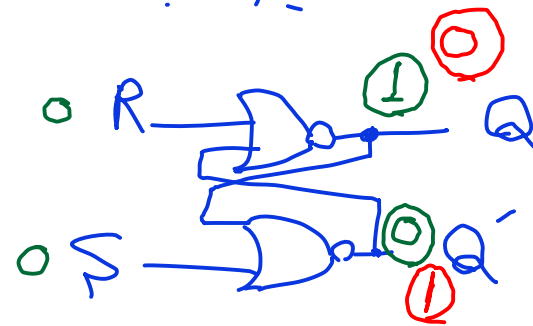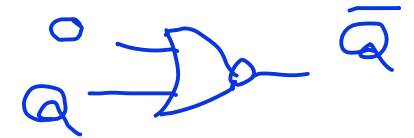
S—Latch (set)

نشاندن

$S=1 \Rightarrow Q=1$

بعد از set شدن، آگر ورودی را
صفر کنیم خروجی کماکان 1 باقی ماند

R—Latch (Reset)

بازنشانی

$R=1 \Rightarrow Q=0$
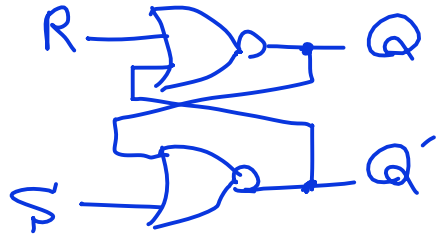
بعد از reset شد، اگر ورودی
را صفر کنیم خروجی کماکان صفر ماند

S—R Latch

memory

غیر مجاز: forbidden

S	R	Q	Q́
0	0	حالت قبلی	
0	1	0	1
1	0	1	0
1	1	0*	0*

Q_n : خروجی Latch در زمان $n \to Q^n$

$Q(t)$: ... t ...

S	R	Q^n	Q^{n+1}	
0	0	0	0	$Q^{n+1} = Q^n$ memory
0	0	1	1	
0	1	0	0	$Q^{n+1} = 0$ Reset
0	1	1	0	
1	0	0	1	$Q^{n+1} = 1$ set
1	0	1	1	
1	1	0	0*	forbidden = غیرمجاز
1	1	1	0*	

$Q(n+1)$: خروجی Latch در یک لحظه بعد $\to Q^{n+1}$

$Q(t+1)$: ... = در زمان $t+1$

$1 \to 0$

$1 \to 0$

در لحظه t : ($S = R = 1$)

در لحظه $t+1$ ، $S = R = 0$

انتظار داریم مقدار قبلی Q حفظ شود ($Q = 1$)

اگر تأخیر دو گیت NOR مساوی باشد :

Race
(مسابقه)

$Q = 0 \xrightarrow{} 1 \xrightarrow{} 0 \xrightarrow{} 1 \xrightarrow{} \cdots$

$Q' = 0 \xrightarrow{} 1 \xrightarrow{} 0 \xrightarrow{} 1 \xrightarrow{} \cdots$

$Q = 0 \longrightarrow 1$

$Q' = 0 \longrightarrow 0$

اگر تأخیر NOR بالایی کمتر باشد $\Longleftarrow$ $Q = 1$, $Q' = 0$ می‌شود

... = ... پایینی کمتر باشد $\Longleftarrow$ $Q = 0$, $Q' = 1$ می‌شود

SR Latch with control input (clocked Latch)
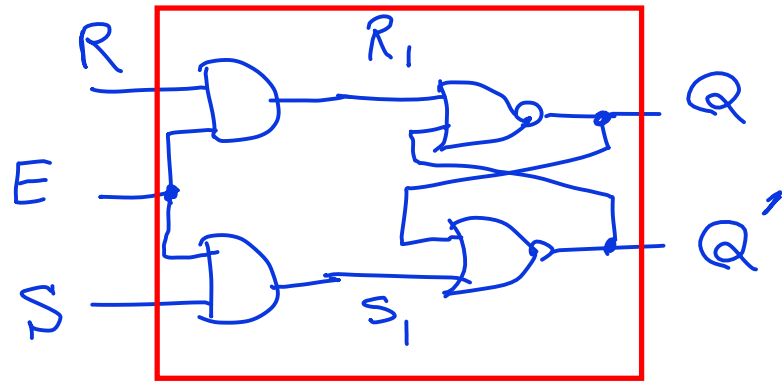
$$E=0 \Rightarrow S_1=R_1=0 \Rightarrow Q^{n+1}=Q^n$$

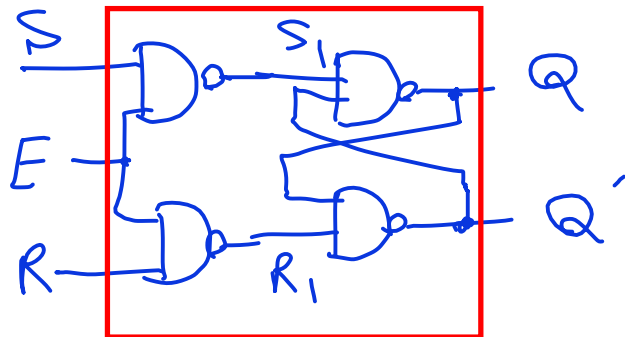تغییری ایجاد نمی‌شود حتی اگر S و R تغییر کند.

$$E=1 \Rightarrow \left. \begin{array}{c} R_1=R \\ S_1=S \end{array} \right\} \Rightarrow$$ عملکرد Latch

$\underline{S}$(set)

Q

Q′

R(Reset)

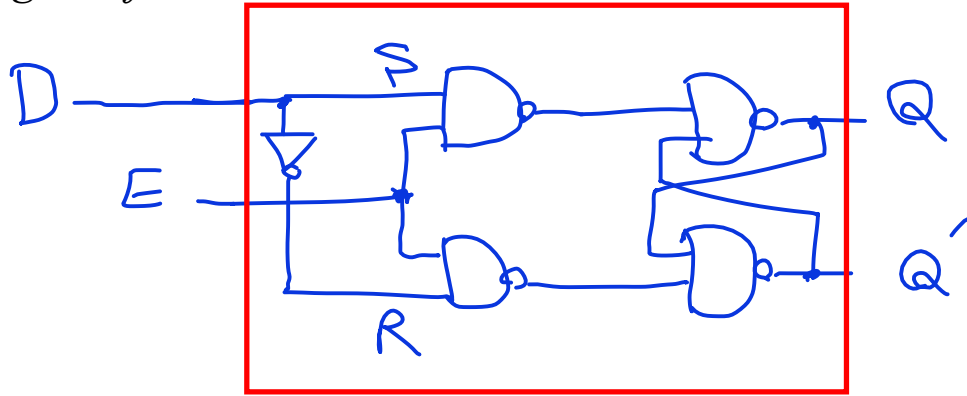| S	R	Q	Q⁺
0	0	0	1* } غیرمجاز
0	0	1	1*
0	1	0	1 } set
0	1	1	1
1	0	0	0 } reset
1	0	1	0
1	1	0	0 } memory
1	1	1	1
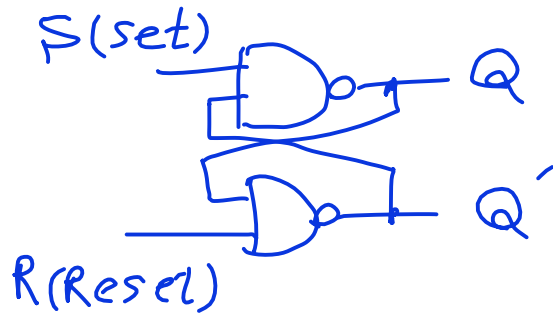
ورودی های S و R
مستقیم active Low
یعنی s=0 مدار را set, و
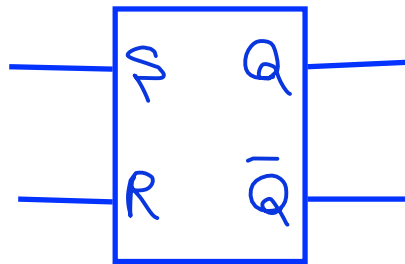R=0 مدار را Reset می‌کند

$$E=0 \Rightarrow S_1=R_1=1 \Rightarrow$$ Q مقدار قبلی را حفظ می‌کند حتی اگر S و R تغییر کند.

$$E=1 \Rightarrow \left\{ \begin{array}{c} S_1=S' \\ R_1=R' \end{array} \right. \Rightarrow$$ active high ورودی های Latch! مدار تبدیل به می‌شود
$$S=1 \Rightarrow Q=1$$

D

E

S

R

Q

Q'

D - Latch

Data L Delay

E	D	Q^{n+1}	$\overline{Q^{n+1}}$	
0	0	Q^n	$\overline{Q^n}$	} تعيين لقيم
0	1	Q^n	$\overline{Q^n}$	
1	0	0	1	(reset)
1	1	1	0	(set)

S Q
R $\overline{Q}$
SR
active high inputs

S Q
R
SR
active low inputs

D Q
En $\overline{Q}$
D Latch with enable