

مدارهای منطقی

فصل پنجم

مدارهای ترتیبی

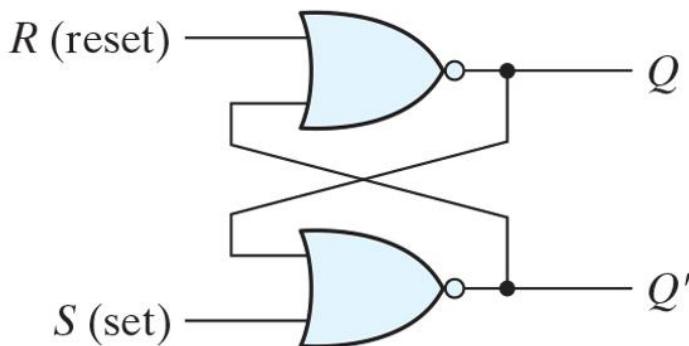


سرفصل مطالب

- واحدهای ذخیره‌کننده داره
 - مدار نگه‌دارنده (latch)
 - فلیپ‌فلاپ
- مدارهای ترتیبی
- تغییل مدارهای ترتیبی
- طراحی مدارهای ترتیبی
- ثبات‌ها و شمارنده‌ها
- ...



SR Latch with NOR Gates



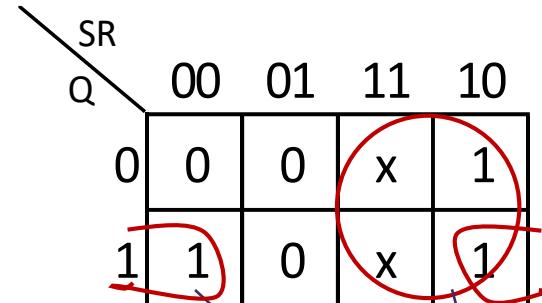
S	R	Q	Q'
1	0	1	0
0	0	1	0 (after $S = 1, R = 0$)
0	1	0	1
0	0	0	1 (after $S = 0, R = 1$)
1	1	0	0 (forbidden)

S	R	Q^+	
0	0	Q	memory
0	1	0	reset
1	0	1	set
1	1	-	forbidden

More on SR Latch

S	R	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	x
1	1	1	x

memory
reset
set
forbidden



$$Q^+ = R'Q + S$$

$$S.R = 0$$

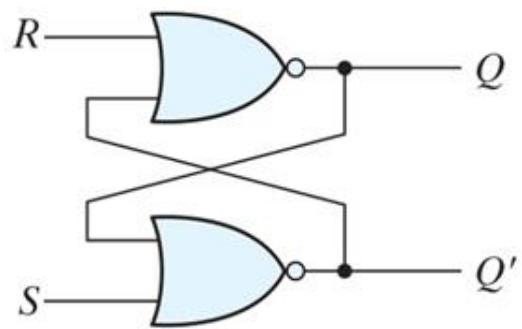
More on SR Latch

S	R	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	x
1	1	1	x

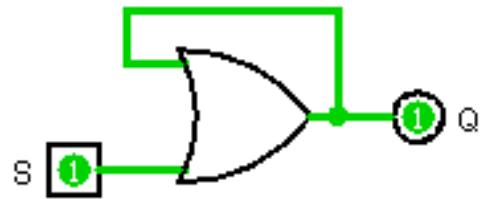
memory
reset
set
forbidden

SR	00	01	11	10
0	0	0	x	1
1	1	0	x	1

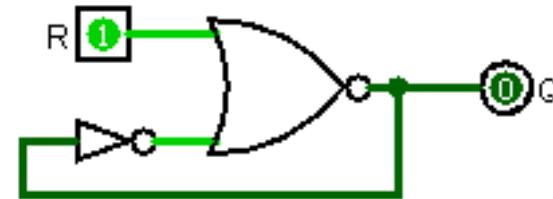
$$Q^+ = (S+Q) \cdot R' = ((S+Q)' + R)' \\ S \cdot R = 0$$



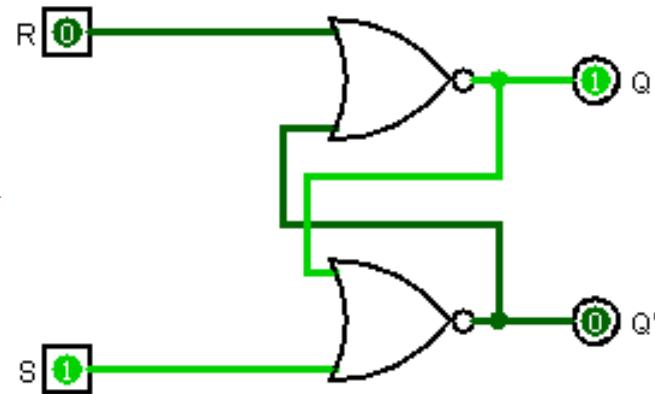
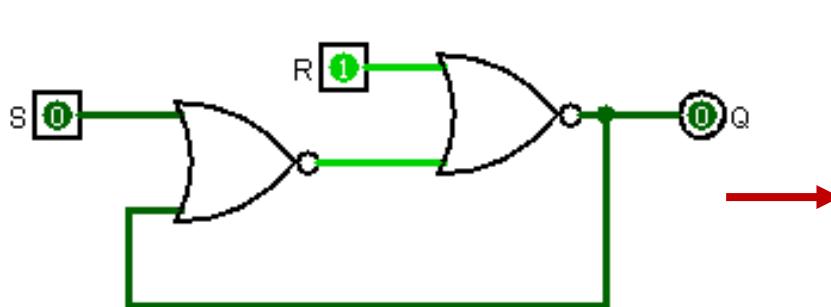
S Latch / R Latch



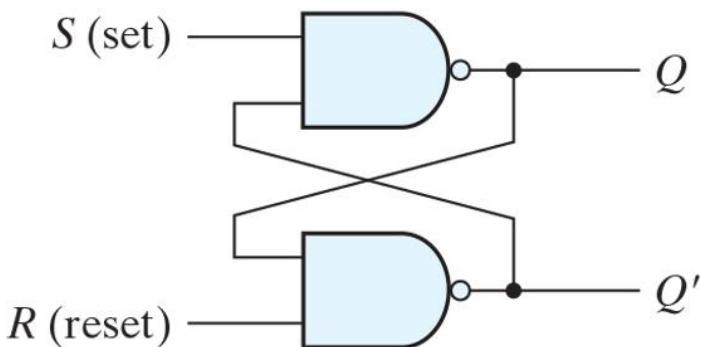
S Latch



R Latch



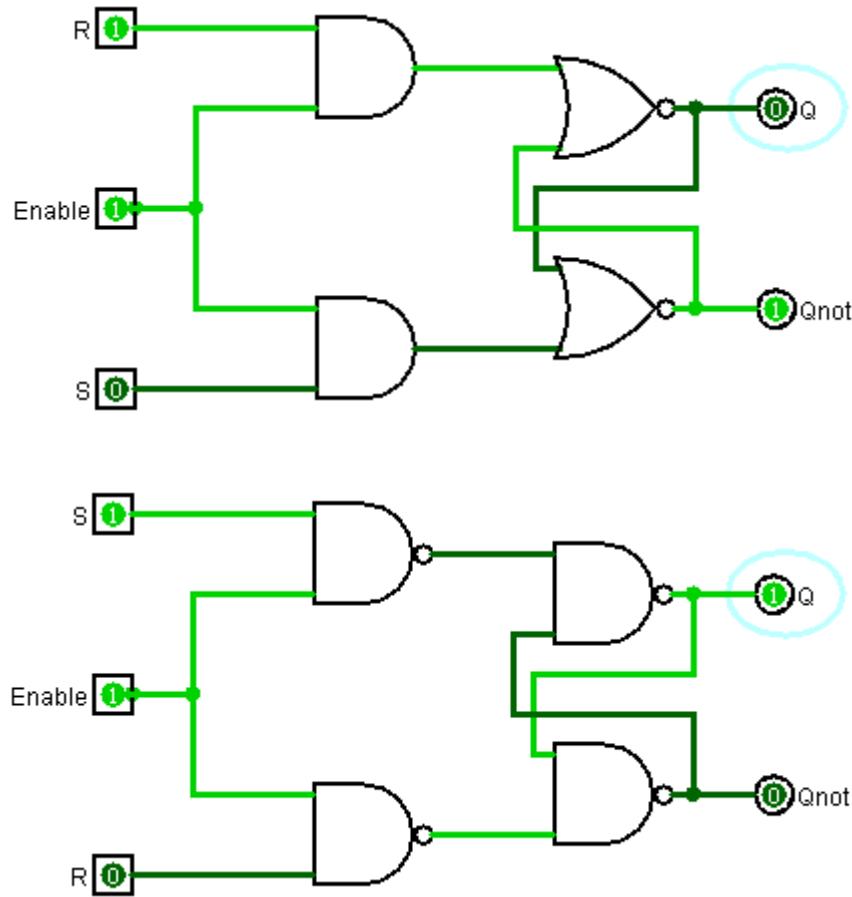
SR Latch with NAND Gates



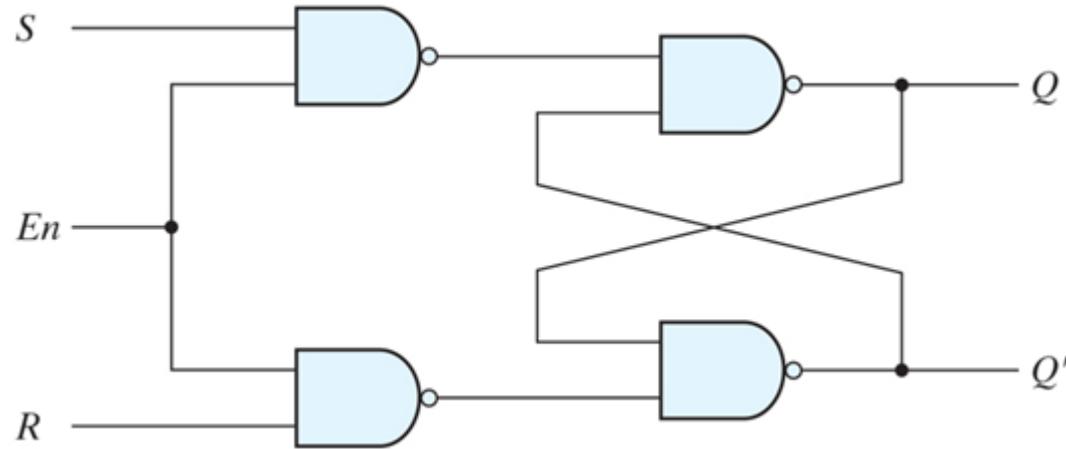
S	R	Q	Q'	
1	0	0	1	
1	1	0	1	(after $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(after $S = 0, R = 1$)
0	0	1	1	forbidden

S	R	Q^+	
0	0	-	forbidden
0	1	1	set
1	0	0	reset
1	1	Q	memory

SR Latch with Control Input

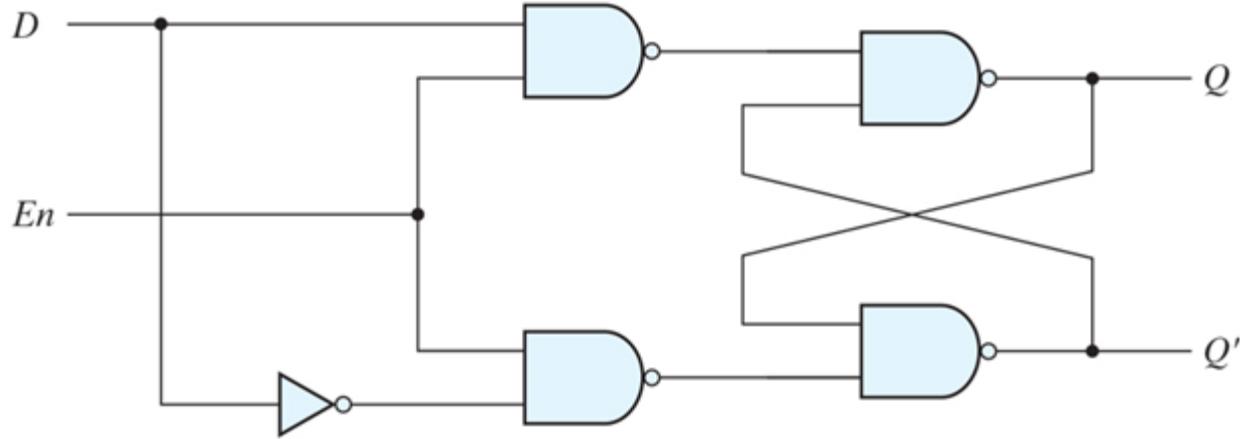


SR Latch with Control Input



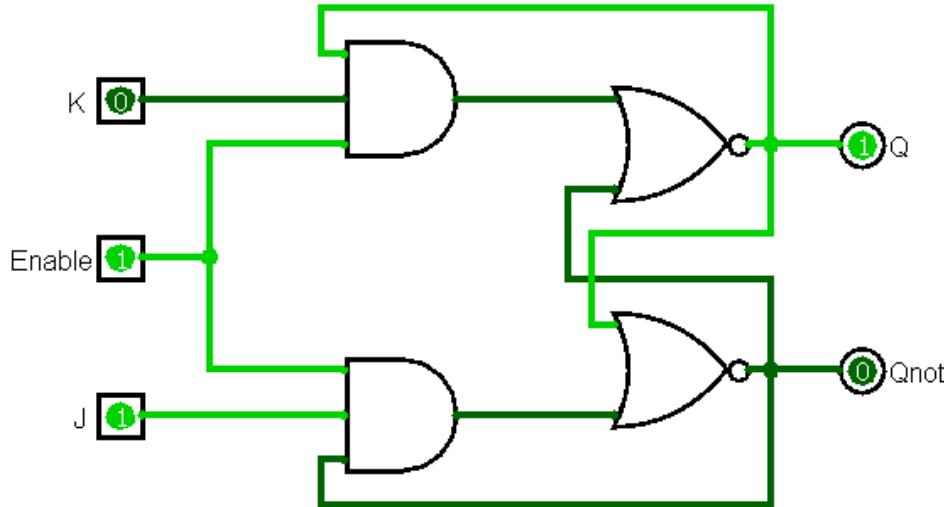
En	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	$Q = 0$; reset state
1	1	0	$Q = 1$; set state
1	1	1	Indeterminate

D Latch (Data/Delay Latch)



En	D	Next state of Q
0	X	No change
1	0	$Q = 0$; reset state
1	1	$Q = 1$; set state

JK Latch



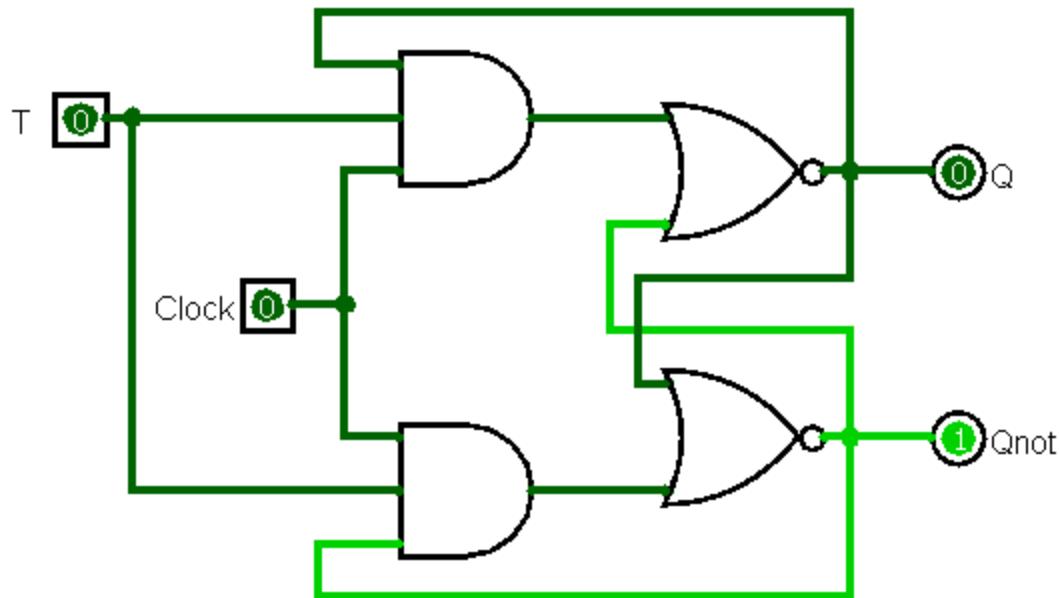
J	K	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Memory
Kill
Jump
Toggle

JK	00	01	11	10
Q	0	0	1	1
Q	1	1	0	0

$$Q^+ = JQ' + K'Q$$

T Latch (Toggle Latch)



T	Q	Q^+
0	0	0
0	1	1
1	0	1
1	1	0

memory toggle

$$Q^+ = T \oplus Q$$

JK Latch

- در حالت **toggle** در JK latch و T latch، خروجی ممکن است رائماً تغییر وضعیت بدهد که مطلوب نیست
- راه حل:
 - زمان یک بودن **Enable** کمتر از تغییر گیت‌ها باشد
 - مدار را طوری طراحی کنیم که تنها به لبه حساس باشد
 - مدار را به شکل **master-slaved** طراحی کنیم



Level vs. Edge Trigger



(a) Response to positive level

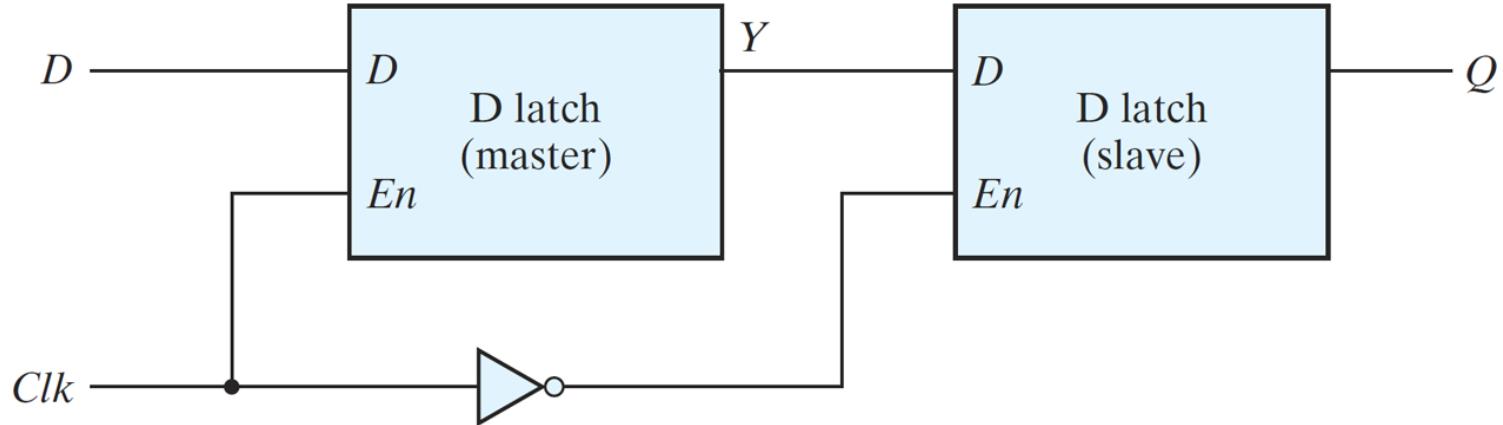


(b) Positive-edge response

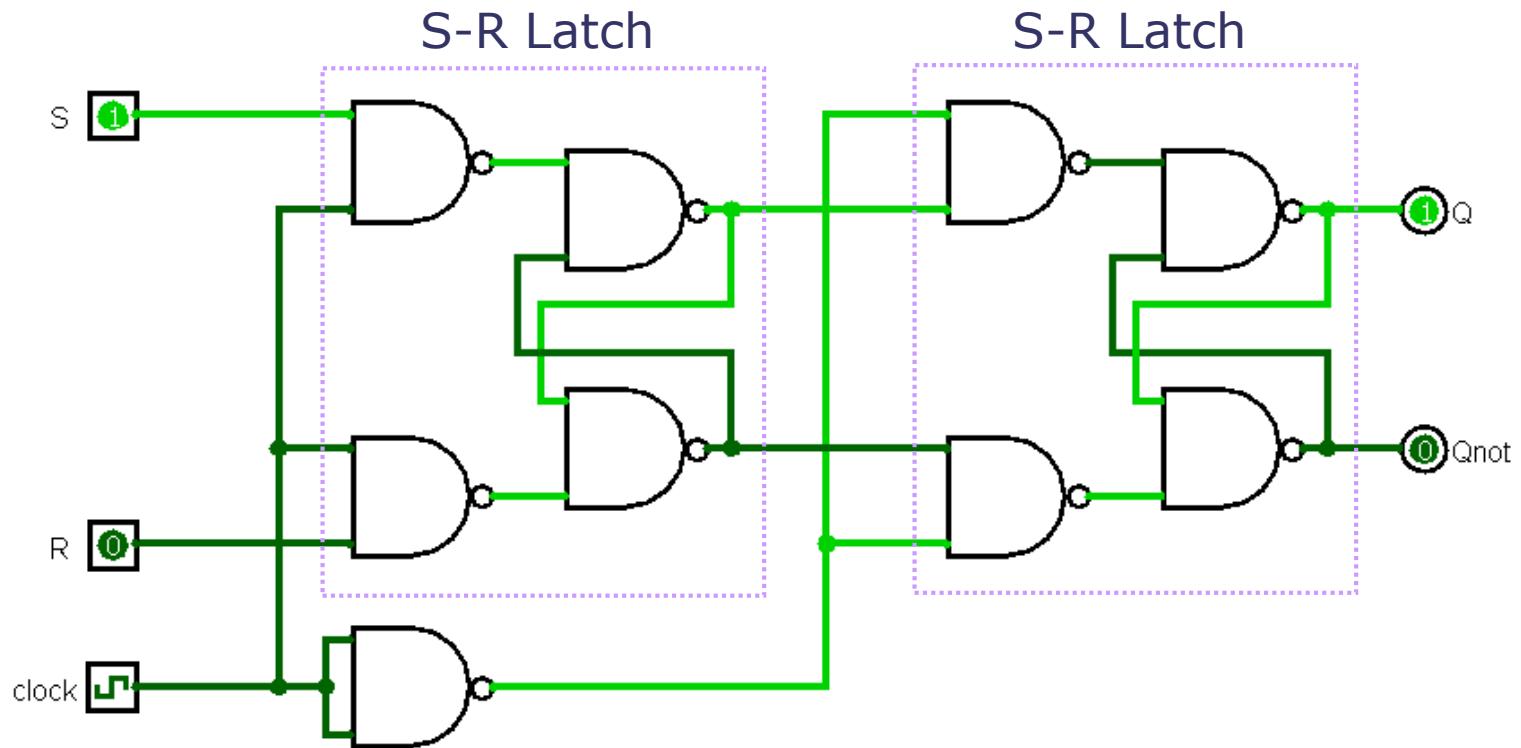


(c) Negative-edge response

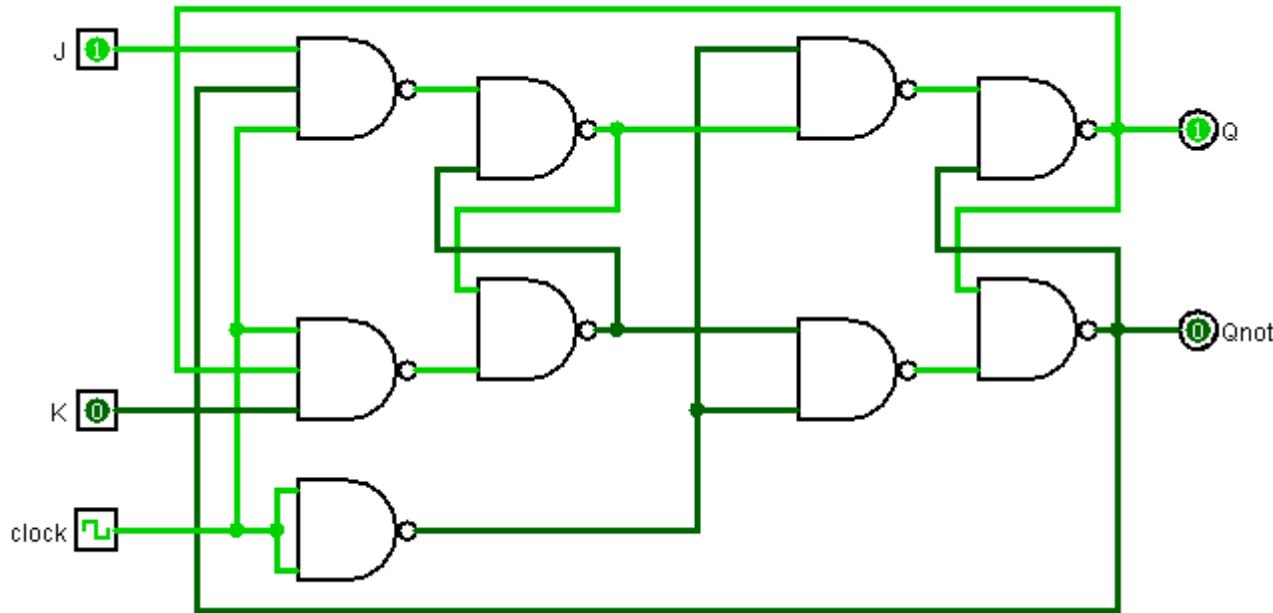
Master–Slave D flip-flop



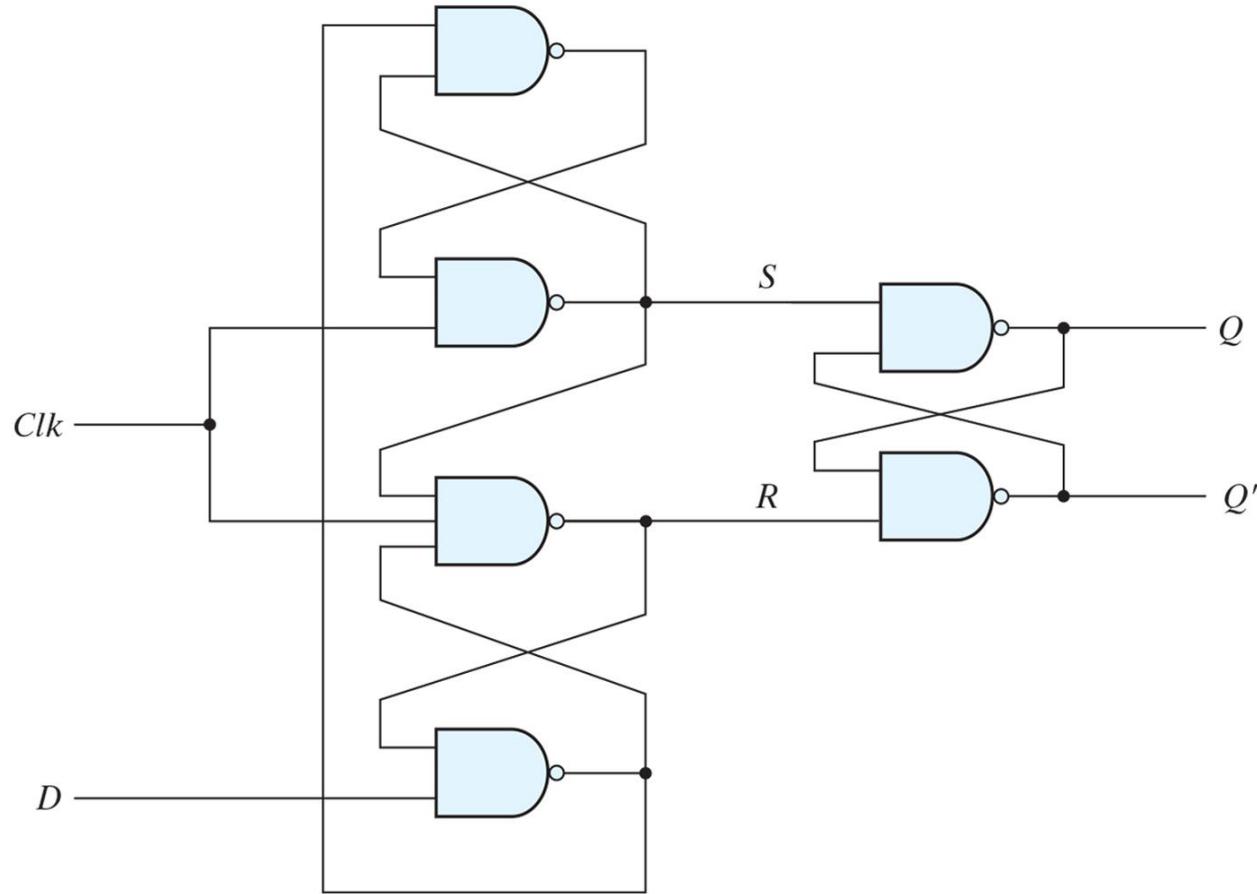
SR Master-Slave FF



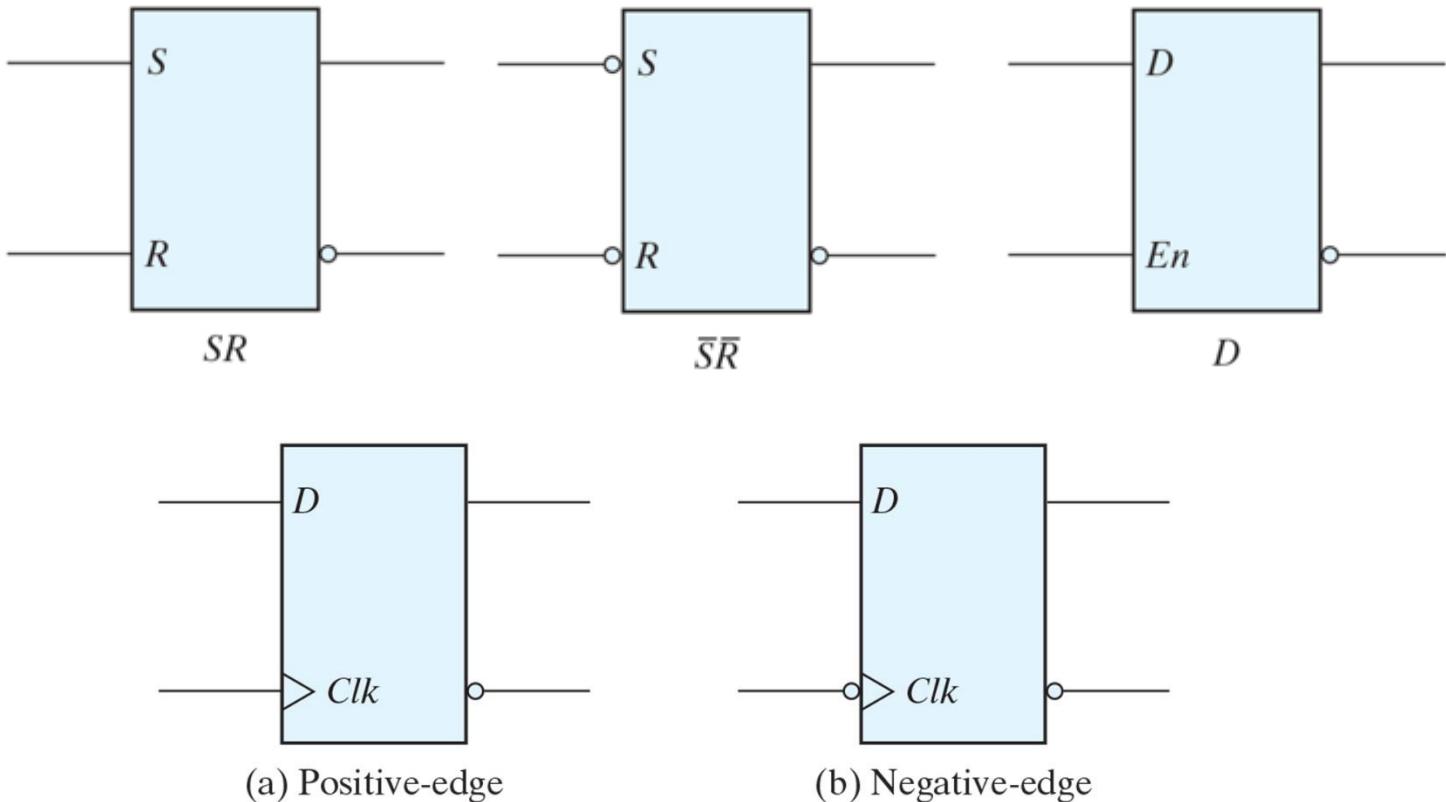
JK Master-Slave FF



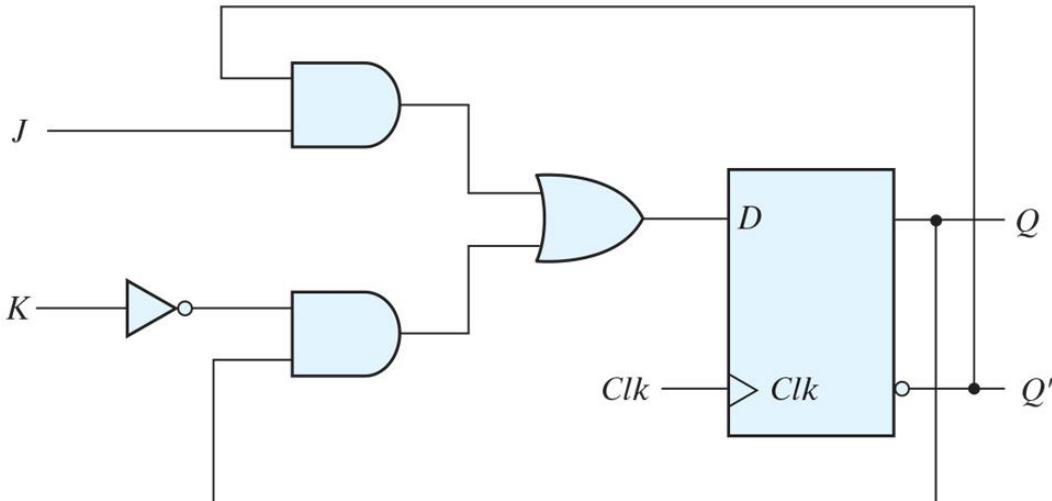
Edge-triggered D flip-flop



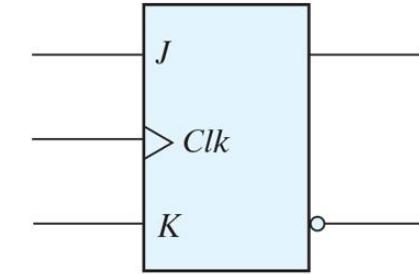
Graphic Symbols



JK Flip-Flop

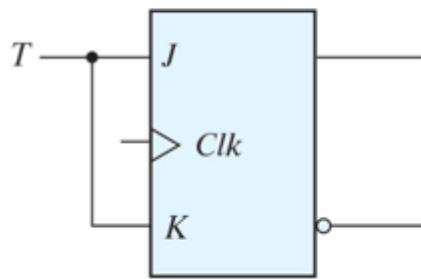


(a) Circuit diagram

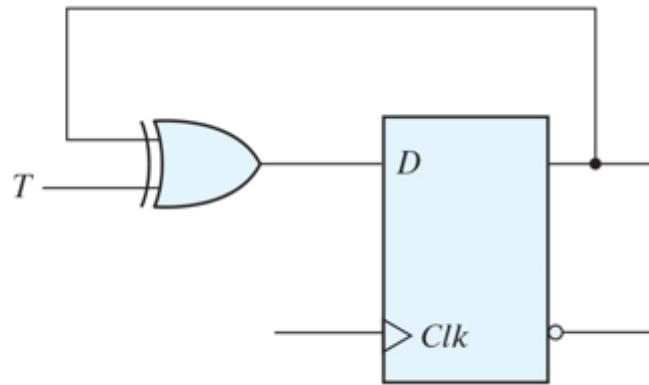


(b) Graphic symbol

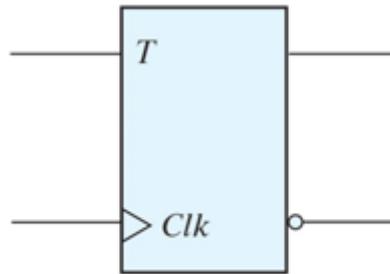
T Flip-Flop



(a) From JK flip-flop



(b) From D flip-flop



(c) Graphic symbol

جدول و معادله مشخصه فلیپ‌فلاپ‌ها

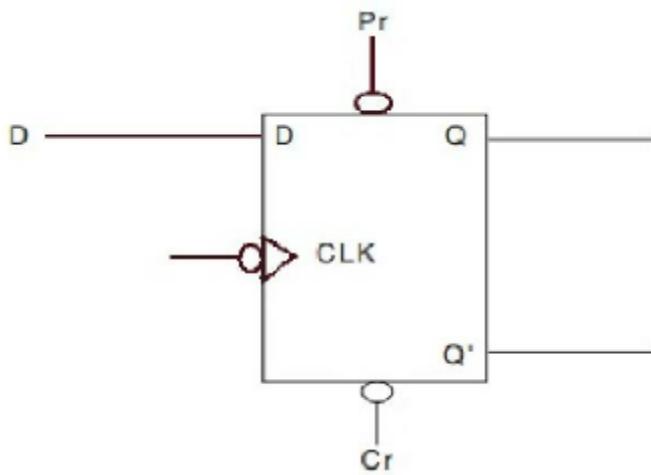
<i>JK</i> Flip-Flop		$Q^+ = JQ' + K'Q$	
<i>J</i>	<i>K</i>	$Q(t + 1)$	
0	0	$Q(t)$	No change
0	1	0	Reset
1	0	1	Set
1	1	$Q'(t)$	Complement

<i>D</i> Flip-Flop		$Q^+ = D$
<i>D</i>	$Q(t + 1)$	
0	0	Reset
1	1	Set

<i>T</i> Flip-Flop		$Q^+ = T \oplus Q$
<i>T</i>	$Q(t + 1)$	
0	$Q(t)$	No change
1	$Q'(t)$	Complement



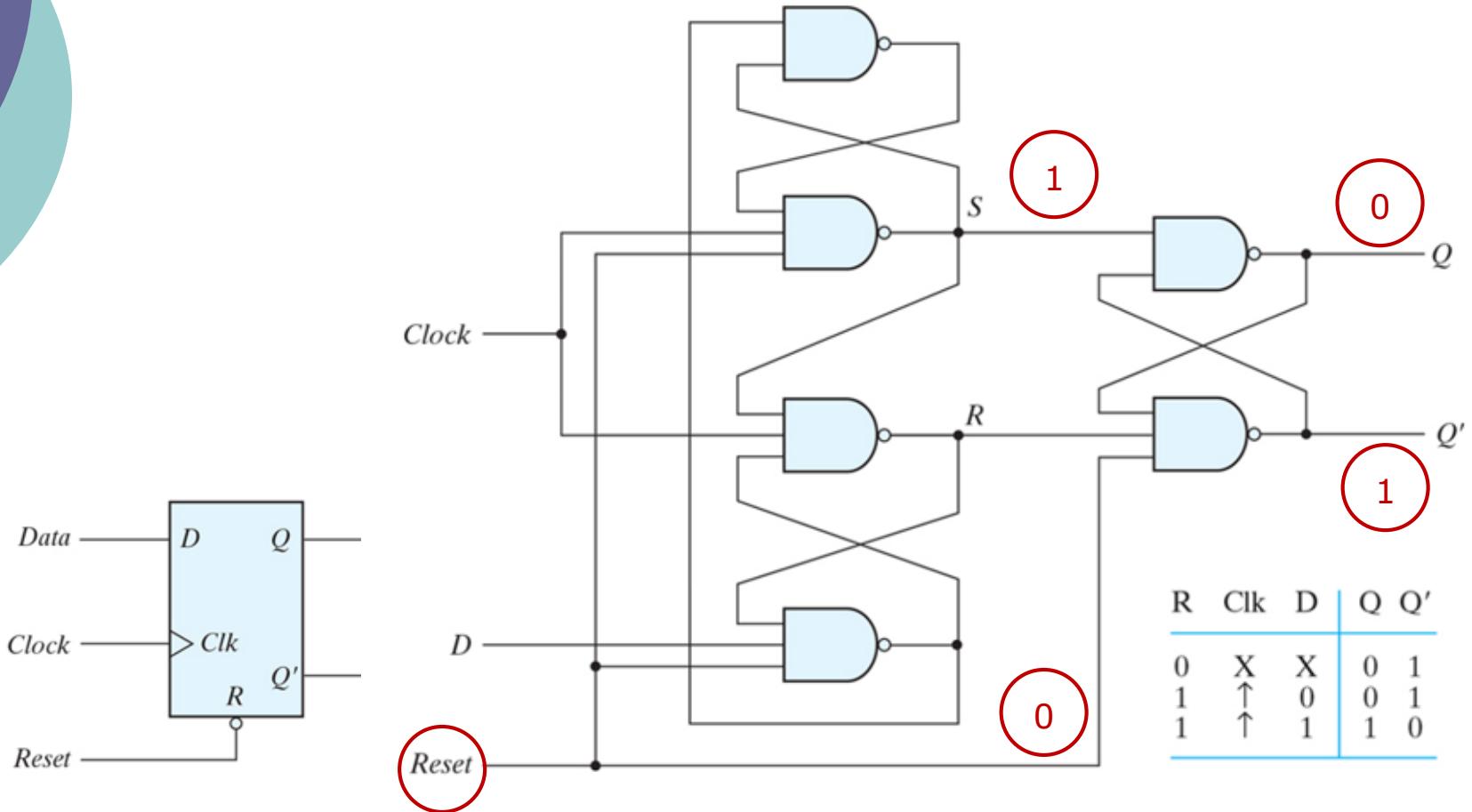
۹۰ دی‌های ناهمگاھ در فلیپ‌فلاپ‌ها



PR	CLR	clk	D	Q^+
0	1	X	X	1
1	0	X	X	0
0	0	X	X	X
1	1	↓	1	1
1	1	↓	0	0
1	1	0	X	Q



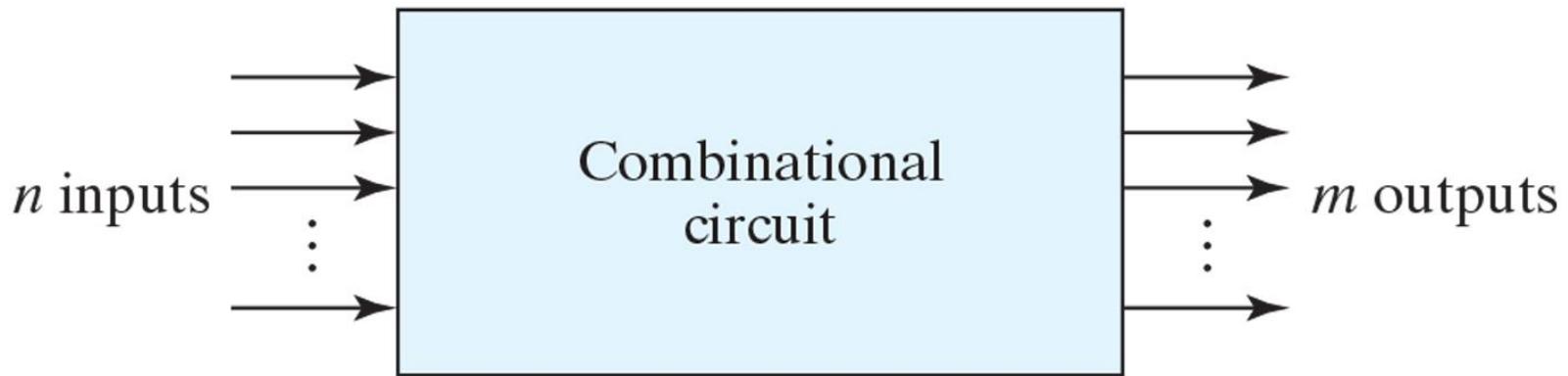
D flip-flop with Asynchronous Reset



مدارهای ترکیبی (یادآوری)

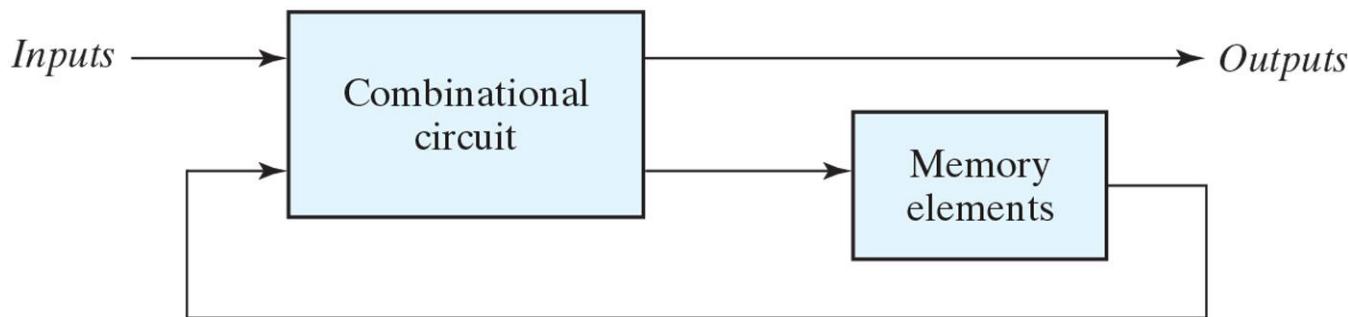
مجموعه‌ای از گیت‌های منطقی به هم متصل که خروجی آنها در هر لحظه تابعی از ورودی‌های آنها در **همان لحظه** است و ارتباطی به ورودی‌های

قبلی ندارد



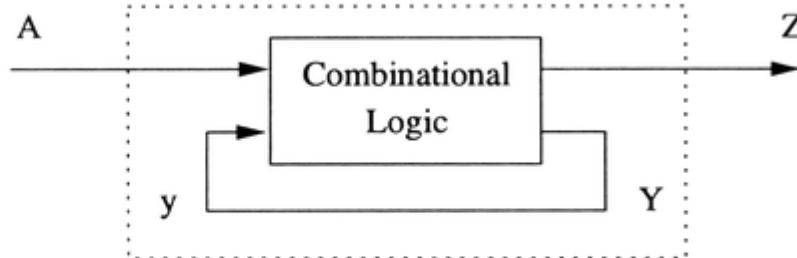
مدارهای ترتیبی

در مدارهای ترتیبی فرآیندها نه تنها تابعی از ورودی‌های مدار هستند، بلکه به **حالت فعلی** عناصر حافظه نیز بستگی دارند.

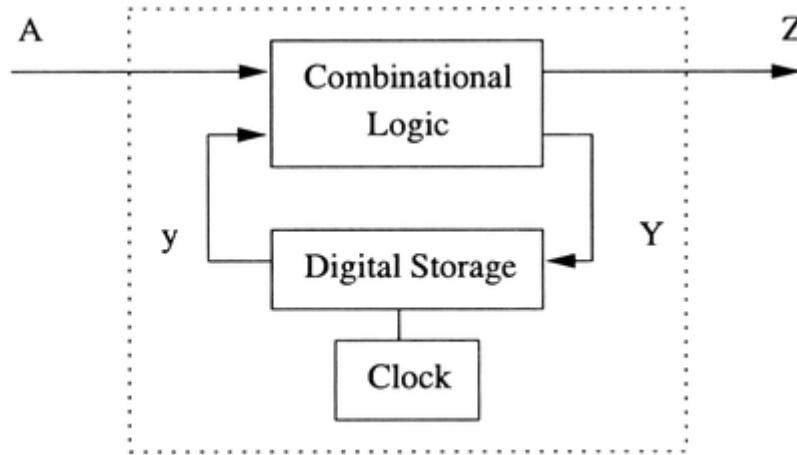


مدارهای ترتیبی سنکرون (همگام)/آسنکرون (ناهمگام)

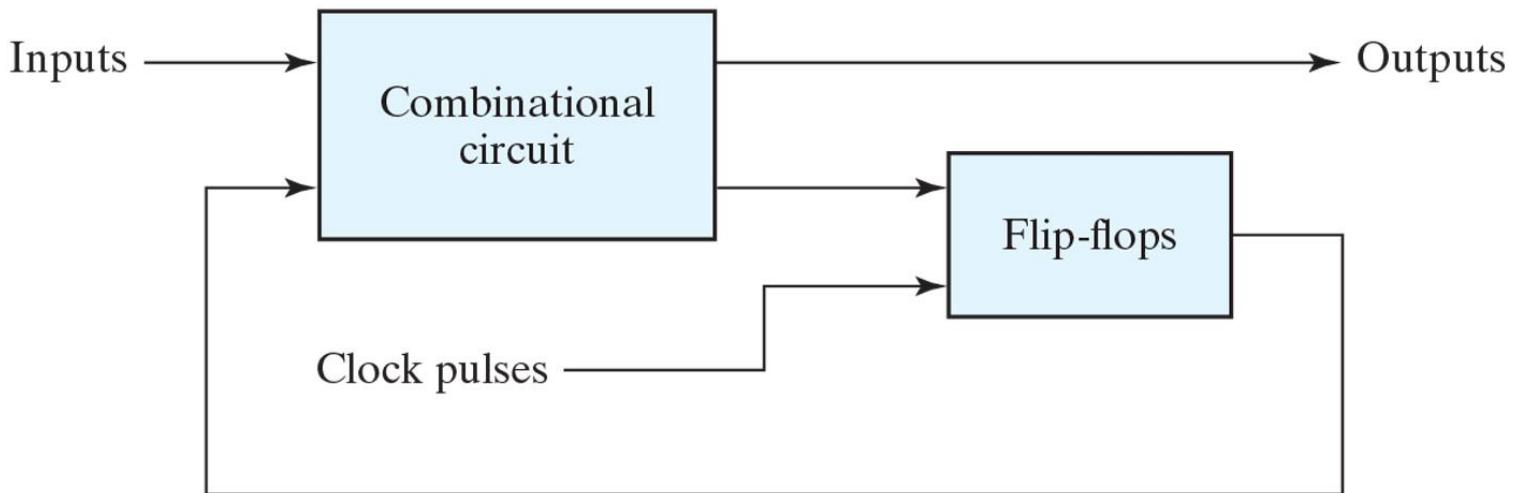
Asynchronous



Synchronous



مدارهای ترتیبی سنکرون (همگام)



(a) Block diagram



(b) Timing diagram of clock pulses

تملیل مدارهای ترتیبی همگام

- عملکرد یک مدار ترتیبی به وسیله ورودی‌ها، فروجی‌ها و حالت‌های فلیپ‌فلاپ‌های آن مشخص می‌شود
- فروجی‌ها و حالت‌های بعدی، تابعی از ورودی‌ها و حالات فعلی هستند
- تحلیل مدارهای ترتیبی عبارت است از نمایش ترتیب زمانی ورودی‌ها، فروجی‌ها و حالت‌های دالنی با

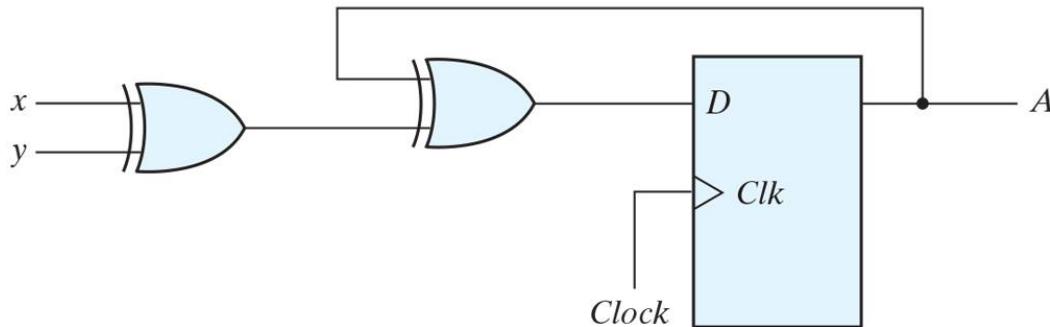
● جدول حالت

● نمودار حالت

● معادلات حالت



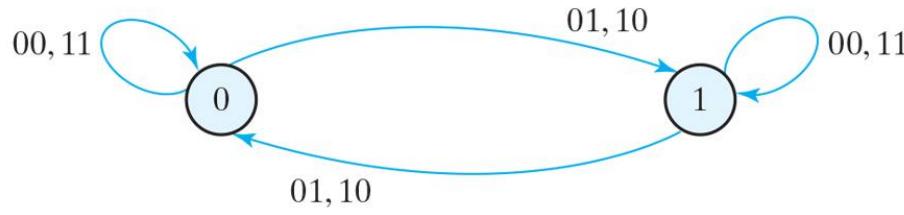
مثال ۱



(a) Circuit diagram

Present state	Inputs		Next state
A	x	y	A
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

(b) State table



(c) State diagram

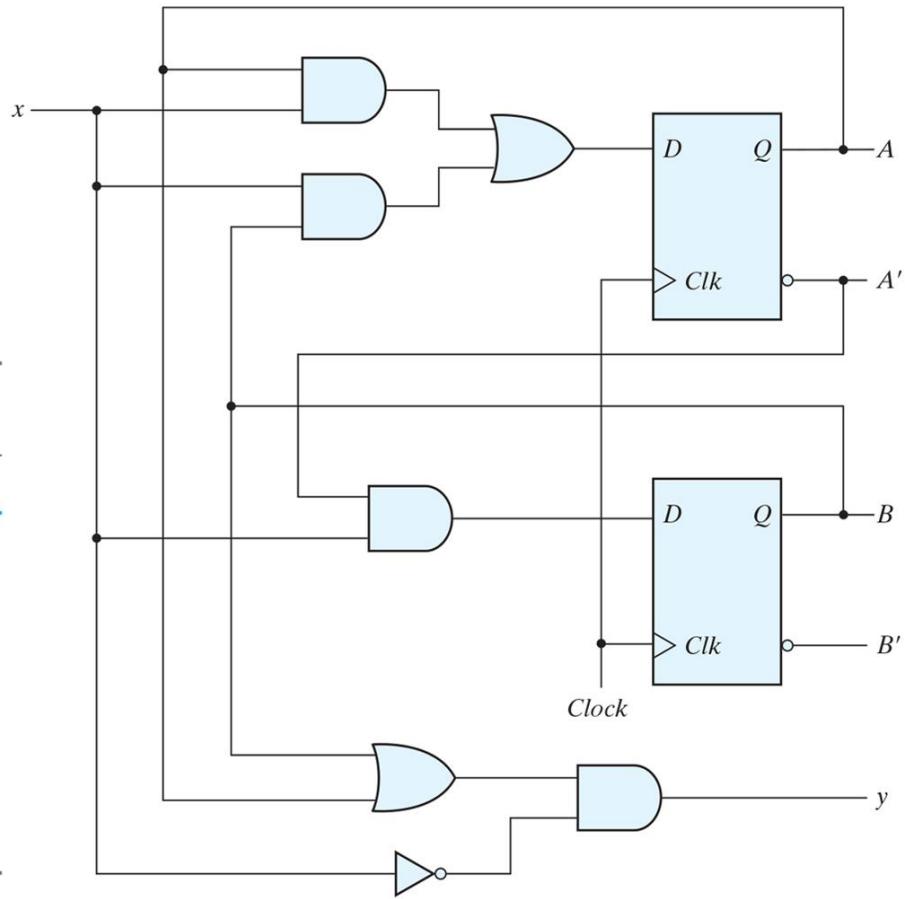
مثال ۲

$$y = x' (A+B)$$

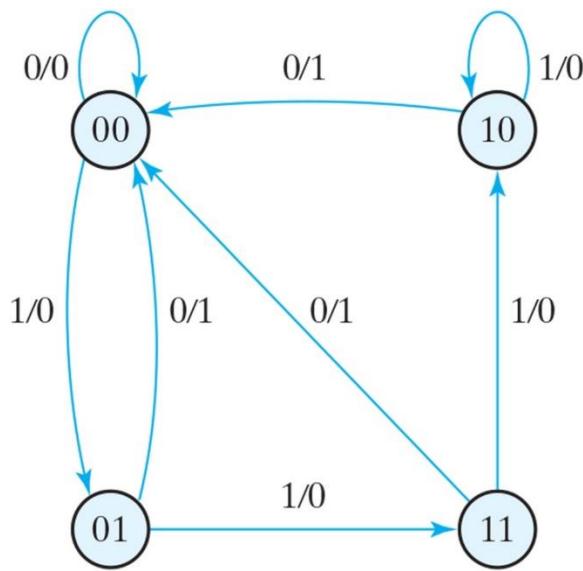
$$A^+ = A \bar{x} + B x$$

$$B^+ = x A'$$

Present State		Input <i>x</i>	Next State		Output <i>y</i>
<i>A</i>	<i>B</i>		<i>A</i>	<i>B</i>	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0



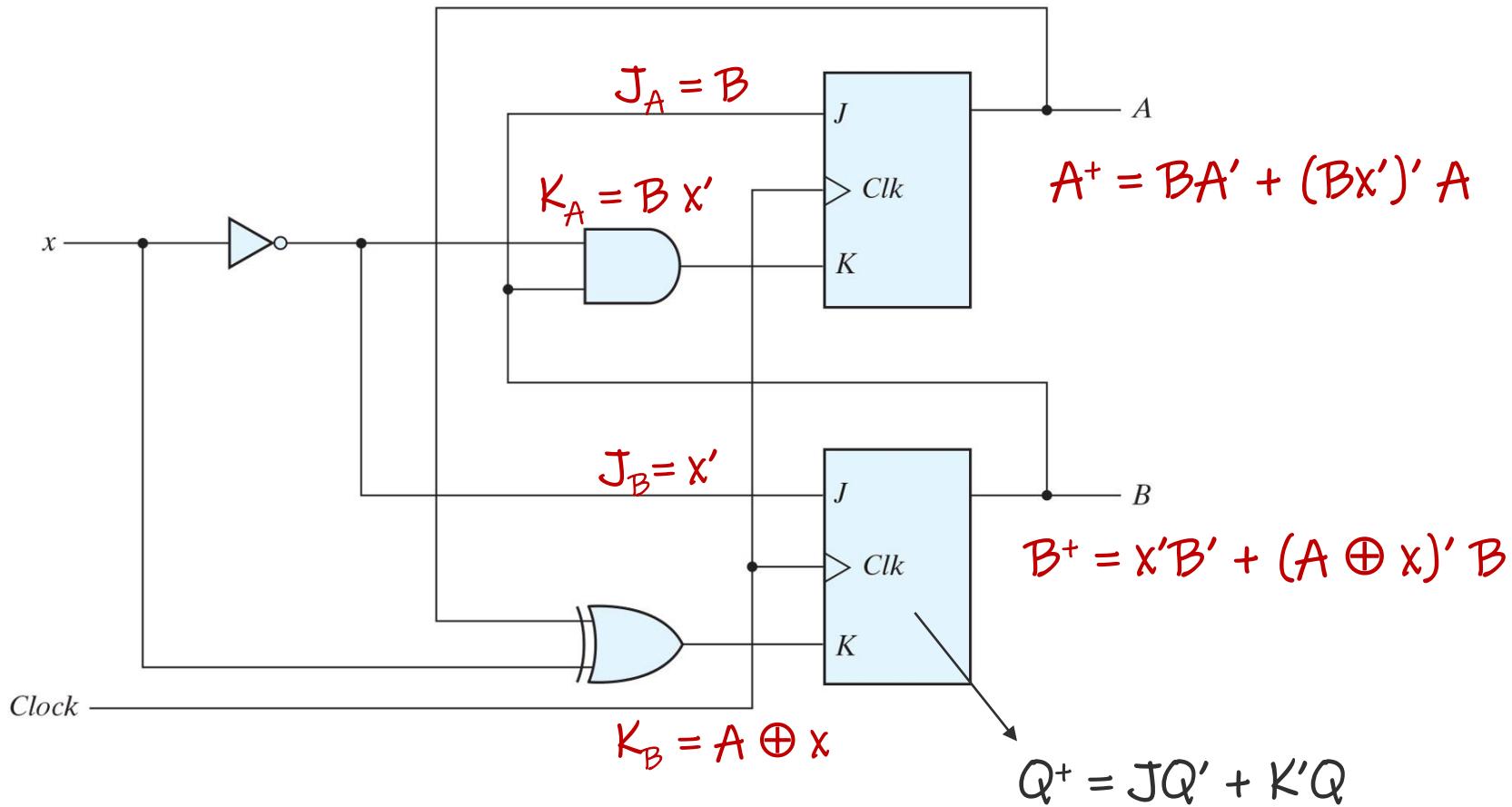
مثال ۲ (ادامه)



Present State		Next State				Output	
A	B	x = 0	x = 1	A	B	x = 0	x = 1
0	0	0 0	0 1	0	0	0	0
0	1	0 0	1 1	1	1	1	0
1	0	0 0	1 0	1	0	1	0
1	1	0 0	1 0	1	0	1	0



مثال



مثال ۳ (ادامه)

$$A^+ = A'B + AB' + AX$$

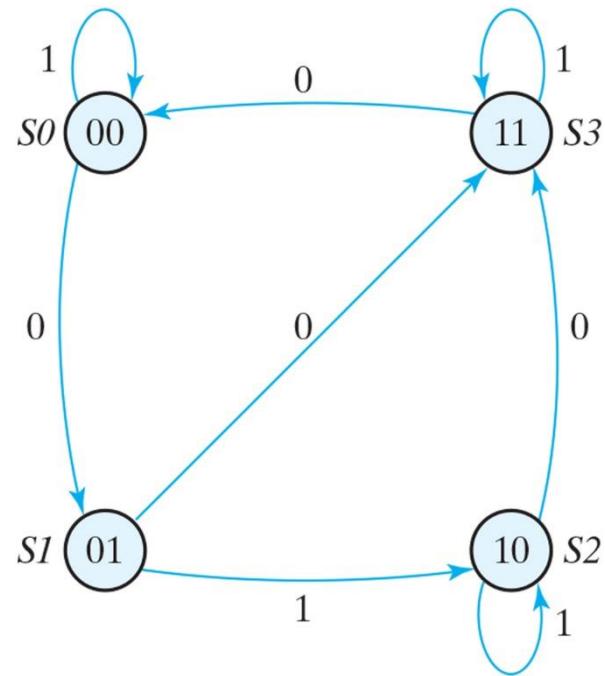
$$B^+ = A'X' + B'X' + ABX$$

Present State		Input <i>x</i>	Next State		Flip-Flop Inputs			
<i>A</i>	<i>B</i>		<i>A</i>	<i>B</i>	<i>J_A</i>	<i>K_A</i>	<i>J_B</i>	<i>K_B</i>
0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1
0	1	0	1	1	1	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0

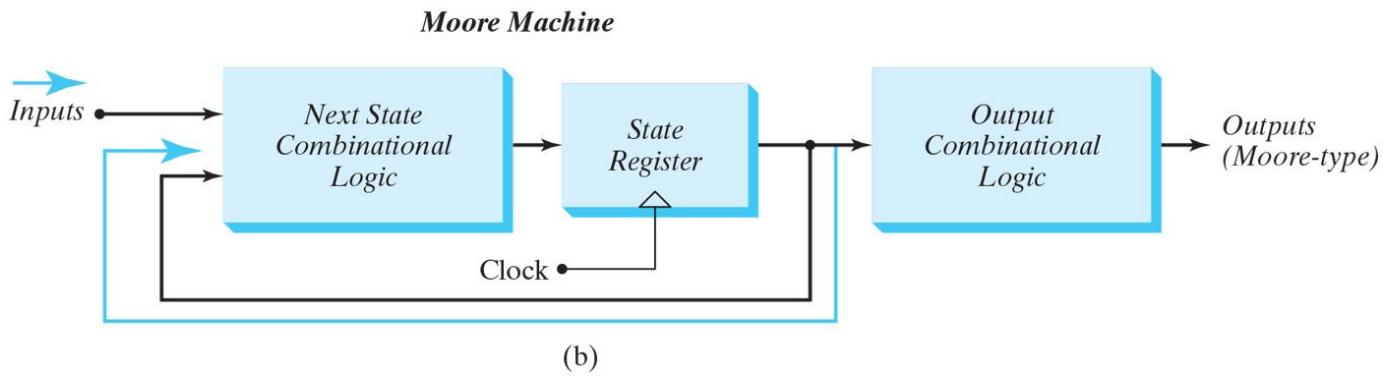
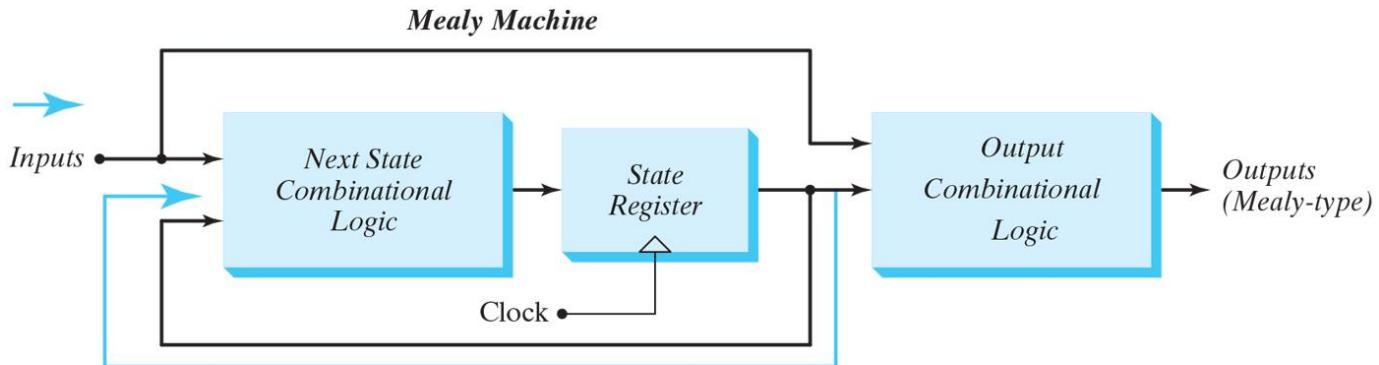


مثال ۳ (ادامه)

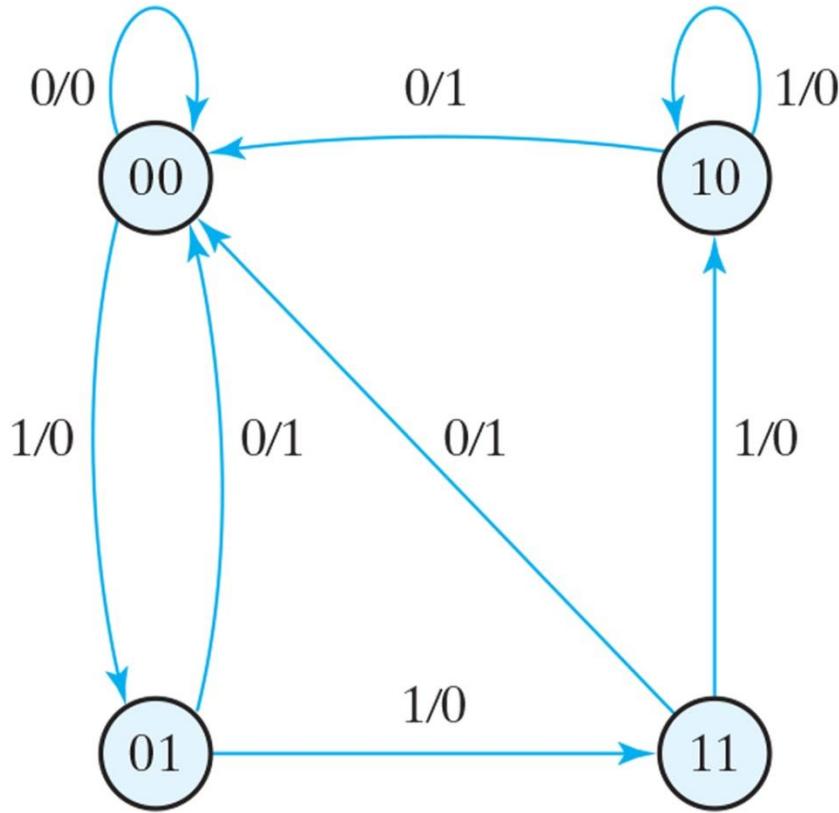
Present State		Input x	Next State	
A	B		A	B
0	0	0	0	1
0	0	1	0	0
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	1	1



Mealy and Moore State Machines

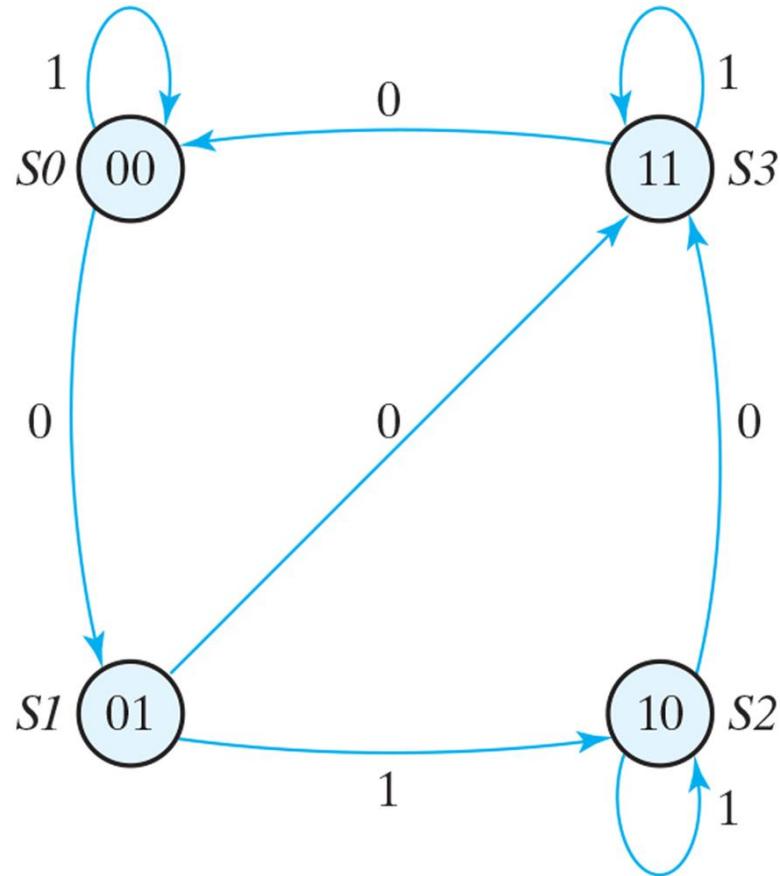


Mealy State Diagram



Moore State Diagram

In a Moore model, the outputs are **synchronized** with the clock



طراحی مدارهای ترتیبی

- توصیف عملکرد مدار با دیاگرام حالت، دیاگرام زمانی یا ...
- رسم جدول حالت مدار
- کاهش حالت‌های مدار در صورت امکان
- انتساب معادل دودویی به هر حالت
- مشخص کردن نوع فلیپ‌فلاب
- به دست آوردن جداول تحریک و خروجی مدار براساس جدول حالت
- سادهسازی توابع ورودی فلیپ‌فلاب‌ها و خروجی بر اساس جداول تحریک
- رسم دیاگرام منطقی مدار



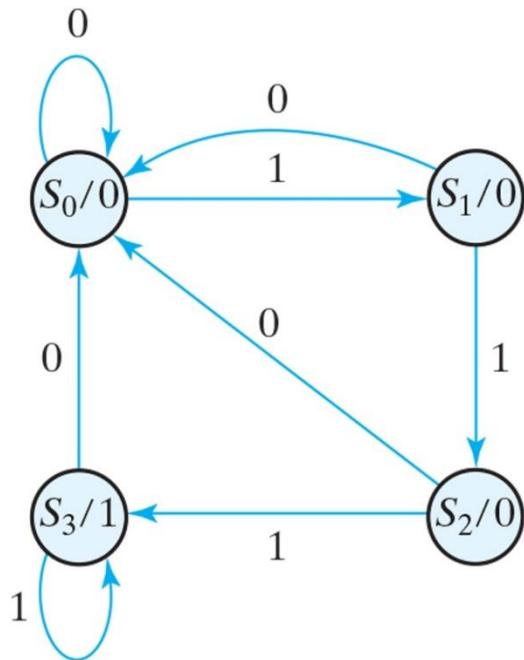
توصیف عملکرد مدار (مثال)

مداری بسازید که خروجی آن با دریافت سه یک پیاپی در ورودی یک شود و تا پیش از دریافت صفر جدید یک بماند. در غیر این صورت خروجی مدار صفر باشد.



توصیف عملکرد مدار (مثال)

مداری بسازید که خروجی آن با دریافت سه یک پیاپی در ورودی یک شود و تا پیش از دریافت صفر جدید یک بماند. در غیر این صورت خروجی مدار صفر باشد.



طراحی مدارهای ترتیبی

- توصیف عملکرد مدار با دیاگرام حالت، دیاگرام زمانی یا ...
- رسم جدول حالت مدار
- کاهش حالت‌های مدار در صورت امکان
- انتساب معادل دودویی به هر حالت
- مشخص کردن نوع فلیپ‌فلاب
- به دست آوردن جداول تحریک و خروجی مدار براساس جدول حالت
- سادهسازی توابع ورودی فلیپ‌فلاب‌ها و خروجی بر اساس جداول تحریک
- رسم دیاگرام منطقی مدار



کاهش تعداد مالت‌ها

○ حالات‌ای کمتر ممکن است منجر شود به

- کم شدن تعداد فلیپ‌فلاپ‌ها و/یا

- ساده شدن مدار ترکیبی (در مدارهایی که فقط رابطه ورودی/خروجی مهم است)

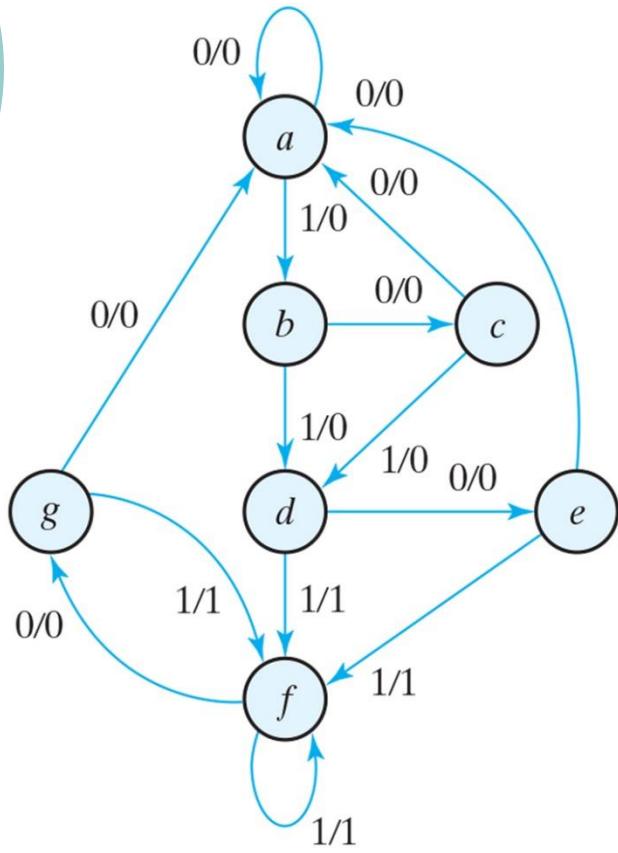
○ دو حالت معادل، به ازای ورودی‌های یکسان

- خروجی یکسان و

- حالت بعدی یکسان یا معادل دارند

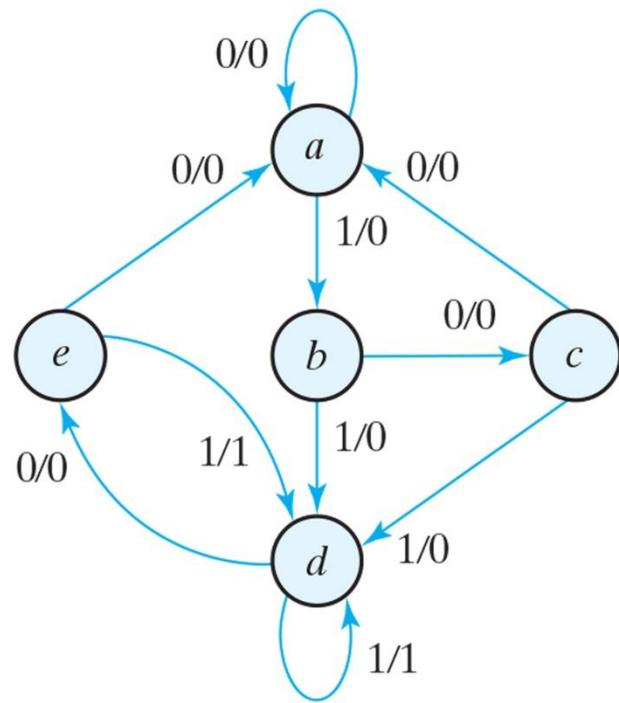


مثال ۱



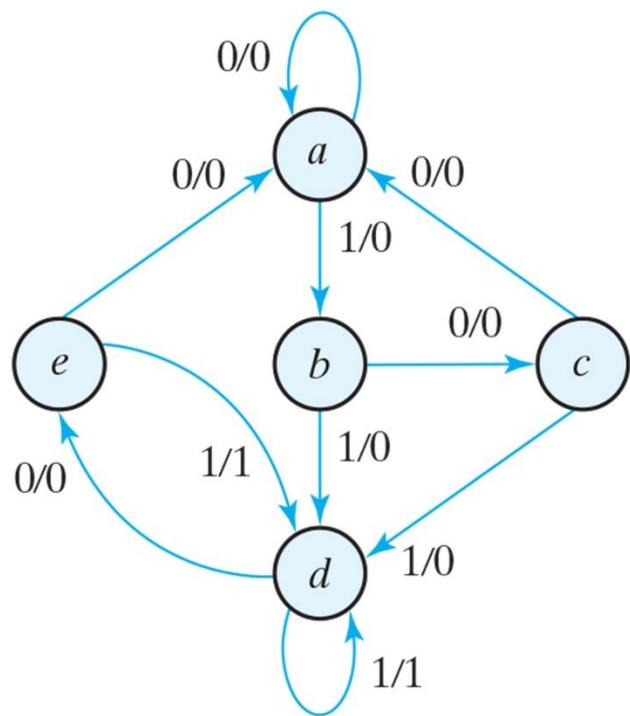
Present State	Next State		Output	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	f	0	1
e	a	f	0	1
f	g	f	0	1
g	a	f	0	1

مثال ا: ادامه



Present State	Next State		Output	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	f	0	1
e	a	f	0	1
f	e	f	0	1

مثال ا: ادامه



Present State	Next State		Output	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	a	b	0	0
b	c	d	0	0
c	a	d	0	0
d	e	d	0	1
e	a	d	0	1



مثال ۲

present state	next state		output	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	d	b	0	0
b	e	a	0	0
c	g	f	0	1
d	a	d	1	0
e	a	d	1	0
f	c	b	0	0
g	a	e	1	0

b						
c	x	x				
d	x	x	x			
e	x	x	x			
f			x	x	x	
g	x	x	x			x
	a	b	c	d	e	f



مثال ۲ (ادامه)

state	present		next state		output	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	d	b	0	0	0	0
b	e	a	0	0	0	0
c	g	f	0	1	1	0
d	a	d	1	0	0	0
e	a	d	1	0	0	0
f	c	b	0	0	0	0
g	a	e	1	0	0	0

b	(d,e)					
c	x	x				
d	x	x	x			
e	x	x	x	✓		
f	(c,d)	(a,b)	(c,e)	x	x	x
g	x	x	x	(d,e)	(d,e)	x
	a	b	c	d	e	f



مثال ۲ (ادامه)

present state	next state		output	
	$x = 0$	$x = 1$	$x = 0$	$x = 1$
a	d	b	0	0
b	e	a	0	0
c	g	f	0	1
d	a	d	1	0
e	a	d	1	0
f	c	b	0	0
g	a	e	1	0

b	(d,e)					
c	x	x				
d	x	x	x			
e	x	x	x	✓		
f	(c,d)	(a,b) (c,e)	x	x	x	
g	x	x	x	(d,e)	(d,e)	x
	a	b	c	d	e	f



مثال ۲ (ادامه)

present state	next state		output	
	$x=0$	$x=1$	$x=0$	$x=1$
a	d	a	0	0
c	d	f	0	1
d	a	d	1	0
f	c	a	0	0

b					
c	x	x			
d	x	x	x		
e	x	x	x		✓
f	x	x	x	x	x
g	x	x	x	✓	✓

a b c d e f



طراحی مدارهای ترتیبی

- توصیف عملکرد مدار با دیاگرام حالت، دیاگرام زمانی یا ...
- رسم جدول حالت مدار
- کاهش حالتهای مدار در صورت امکان
- انتساب معادل دودویی به هر حالت
- مشخص کردن نوع فلیپ‌فلاب
- به دست آوردن جداول تحریک و خروجی مدار براساس جدول حالت
- سادهسازی توابع ورودی فلیپ‌فلاب‌ها و خروجی بر اساس جداول تحریک
- رسم دیاگرام منطقی مدار



انتساب حالتها

State	Assignment 1, Binary	Assignment 2, Gray Code	Assignment 3, One-Hot
a	000	000	00001
b	001	001	00010
c	010	011	00100
d	011	010	01000
e	100	110	10000



طراحی مدارهای ترتیبی

- توصیف عملکرد مدار با دیاگرام حالت، دیاگرام زمانی یا ...
- رسم جدول حالت مدار
- کاهش حالت‌های مدار در صورت امکان
- انتساب معادل دودویی به هر حالت
- مشخص کردن نوع فلیپ‌فلاب
- به دست آوردن جداول تحریک و خروجی مدار براساس جدول حالت
- سادهسازی توابع ورودی فلیپ‌فلاب‌ها و خروجی بر اساس جداول تحریک
- رسم دیاگرام منطقی مدار



جدول تمثیل فلایپ‌فلاپ‌ها

Q	Q^+	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Q	Q^+	D
0	0	0
0	1	1
1	0	0
1	1	1

Q	Q^+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Q	Q^+	T
0	0	0
0	1	1
1	0	1
1	1	0



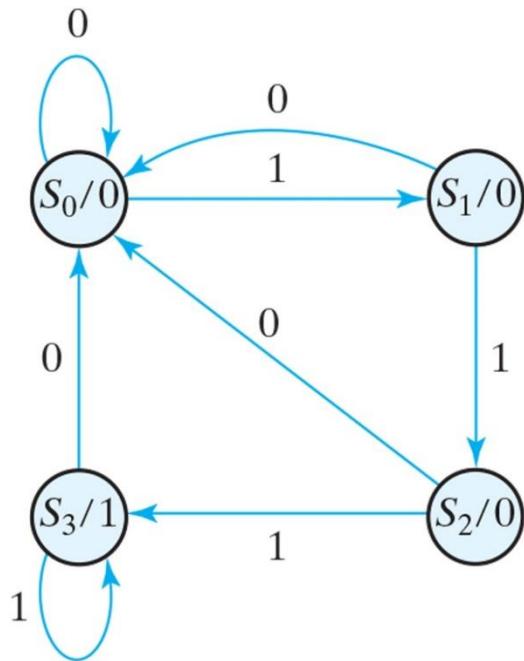
طراحی مدارهای ترتیبی

- توصیف عملکرد مدار با دیاگرام حالت، دیاگرام زمانی یا ...
- رسم جدول حالت مدار
- کاهش حالت‌های مدار در صورت امکان
- انتساب معادل دودویی به هر حالت
- مشخص کردن نوع فلیپ‌فلاب
- به دست آوردن جداول تحریک و خروجی مدار براساس جدول حالت
- سادهسازی توابع ورودی فلیپ‌فلاب‌ها و خروجی بر اساس جداول تحریک
- رسم دیاگرام منطقی مدار

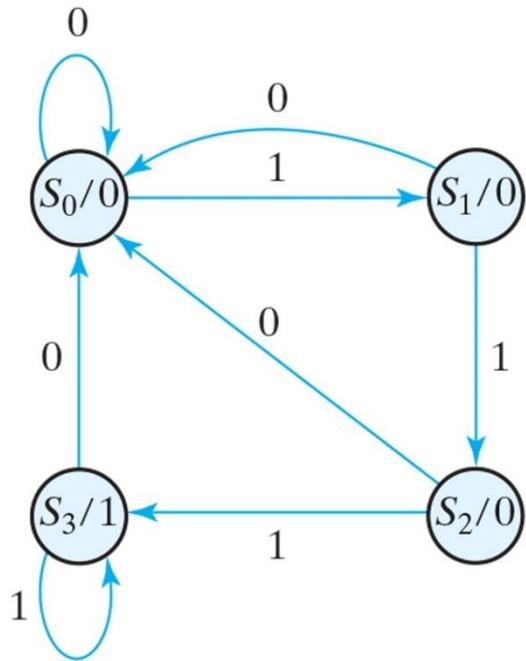


مثال ۱

مداری بسازید که خروجی آن با دریافت سه یک پیاپی در ورودی یک شود و تا پیش از دریافت صفر جدید یک بماند. در غیر لین صورت خروجی مدار صفر باشد.



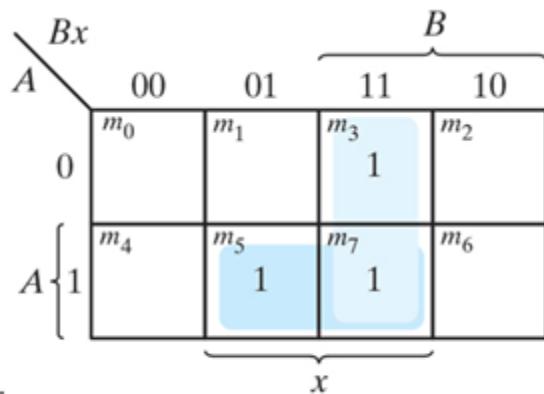
مثال ۱ (ادامه)



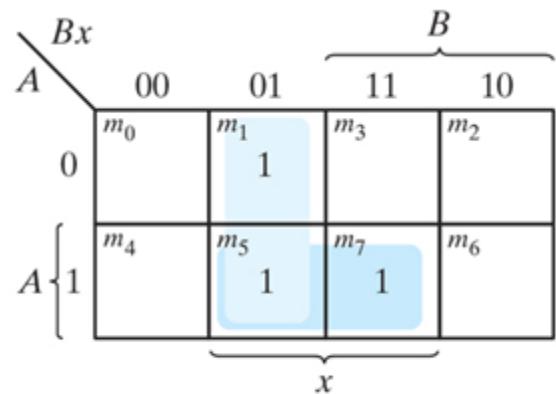
Present State		Input <i>x</i>	Next State		Output <i>y</i>
<i>A</i>	<i>B</i>		<i>A</i>	<i>B</i>	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1



مثال ۱ - طراحی با

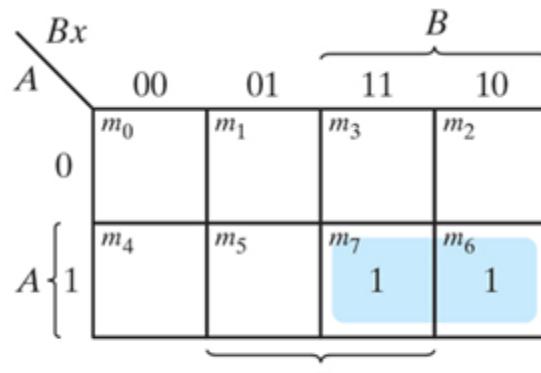


$$D_A = Ax + Bx$$



$$D_B = Ax + B'x$$

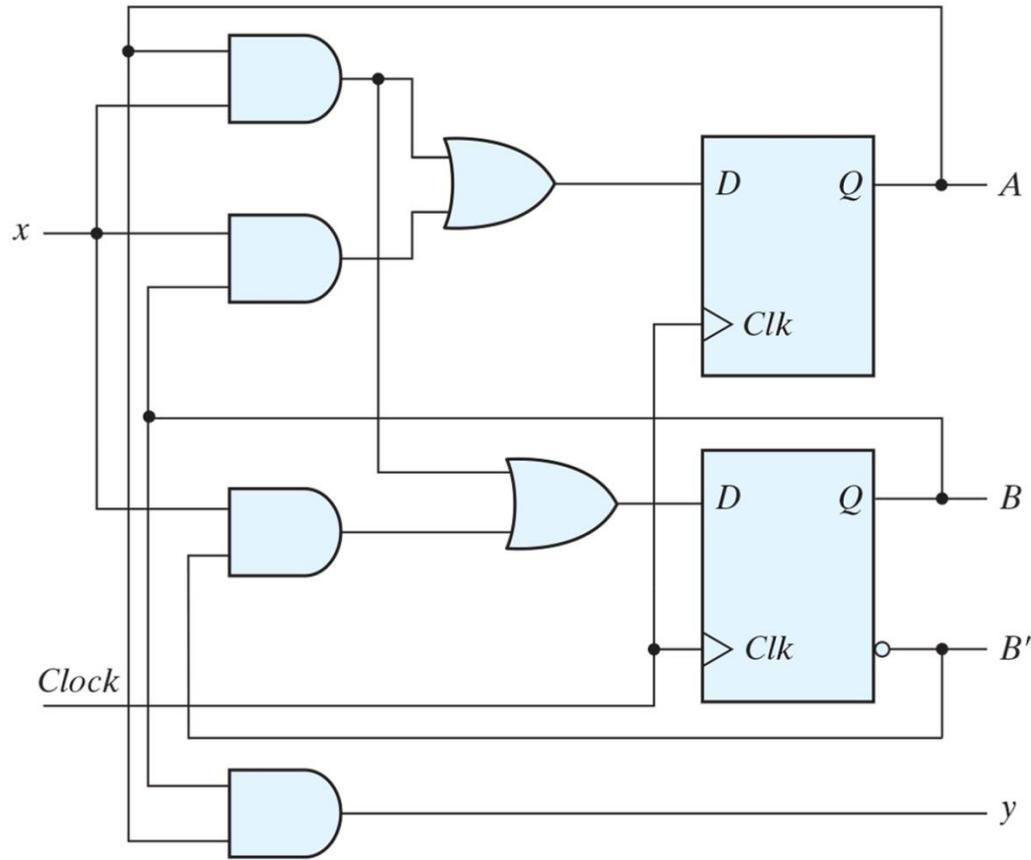
Next State		Output
A	B	y
0	0	0
0	1	0
0	0	0
1	0	0
0	0	0
1	1	0
0	0	1
1	1	1



$$y = AB$$



مثال ۱ - طراحی با D-FF (ادامه)



مثال ۲ - طراحی مدار با JK-FF

Present State		Input <i>x</i>	Next State	
<i>A</i>	<i>B</i>		<i>A</i>	<i>B</i>
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



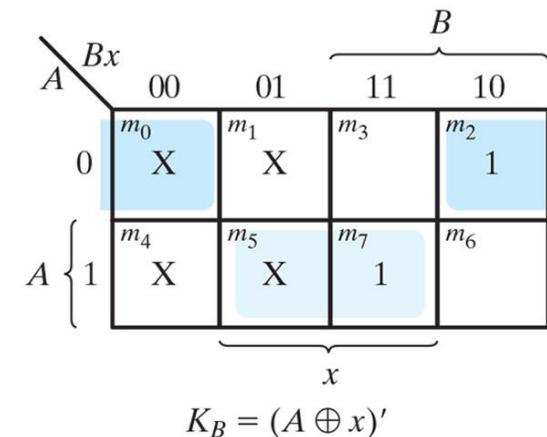
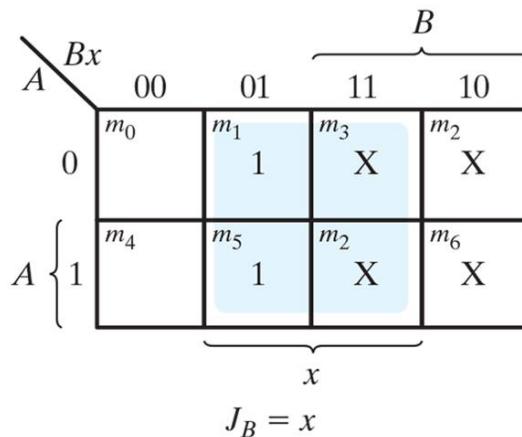
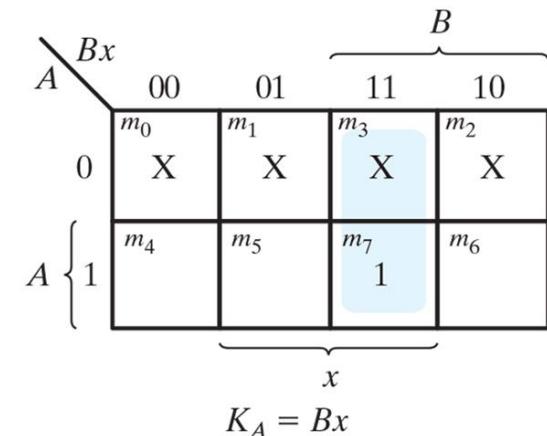
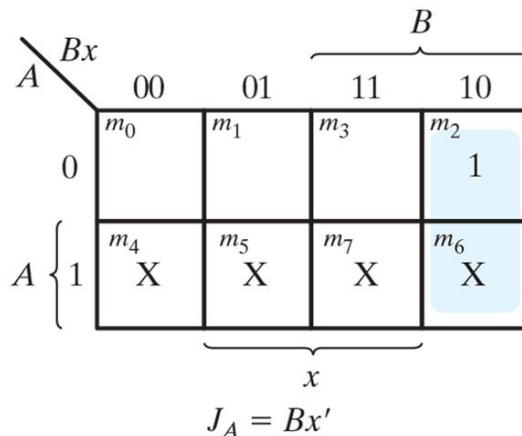
مثال ۲ - طراحی مدار با JK-FF (ادامه)

Present State		Input x	Next State		Flip-Flop Inputs			
A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

$Q(t)$	$Q(t = 1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0



مثال ۲ (ادامه)

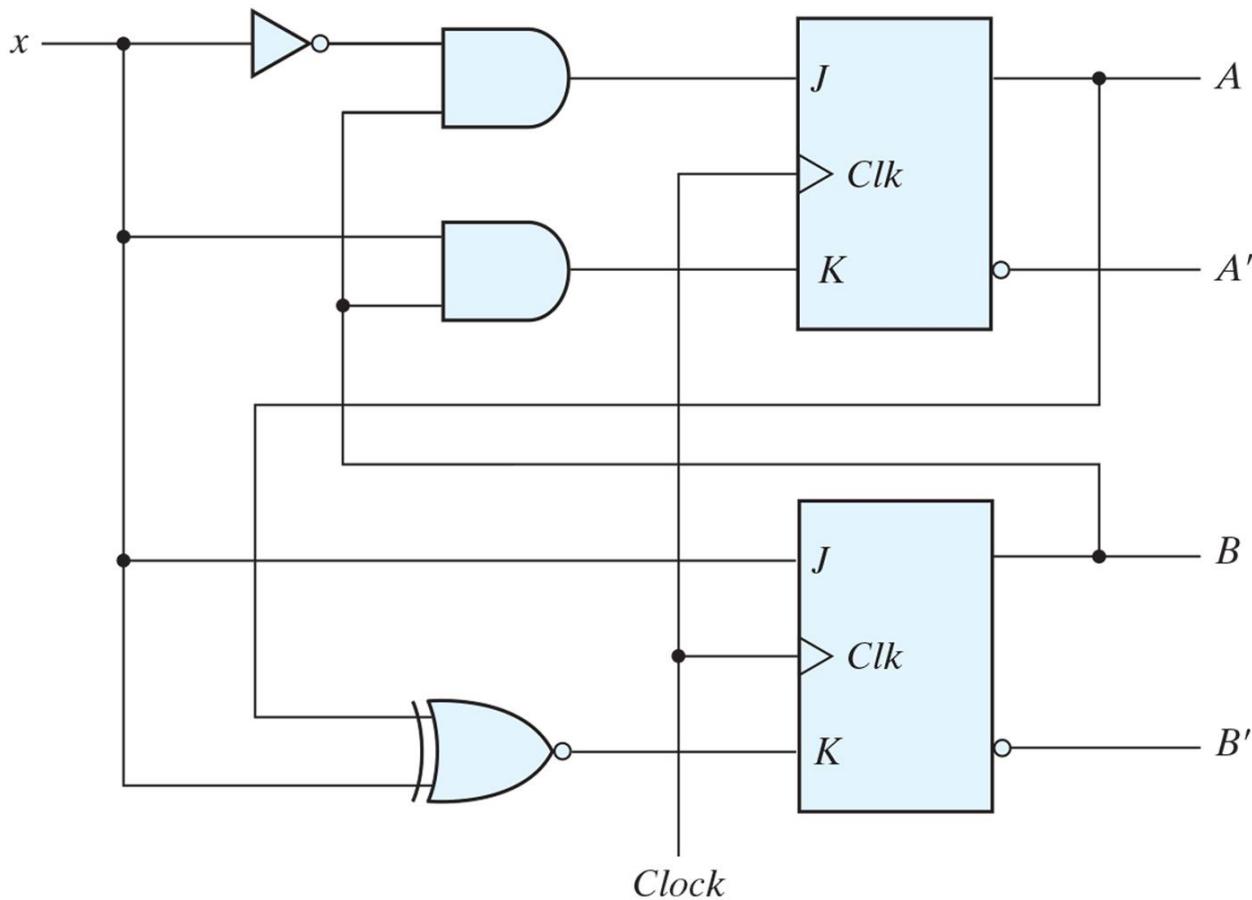


Flip-Flop Inputs

J_A	K_A	J_B	K_B
0	X	0	X
0	X	1	X
1	X	X	1
0	X	X	0
X	0	0	X
X	0	1	X
X	0	X	0
X	1	X	1



مثال ۲ (ادامه)



مثال ۳ - طراحی مدار با T-FF

مداری طراحی کنید که به ترتیب زیر بشمارد:

0 → 1 → 3 → 7 → 6 → 4 → 0 ...



مثال ۳ (ادامه)

مداری طراحی کنید که به ترتیب زیر بشمارد:

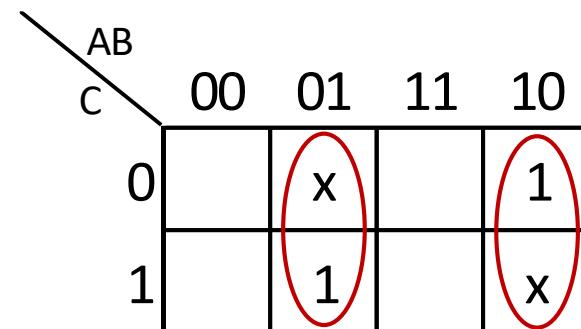
$$0 \rightarrow 1 \rightarrow 3 \rightarrow 7 \rightarrow 6 \rightarrow 4 \rightarrow 0 \dots$$

A	B	C	A^+	B^+	C^+	T_A	T_B	T_C
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	0
0	1	0	x	x	x	x	x	x
0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	0
1	0	1	x	x	x	x	x	x
1	1	0	1	0	0	0	1	0
1	1	1	1	1	0	0	0	1

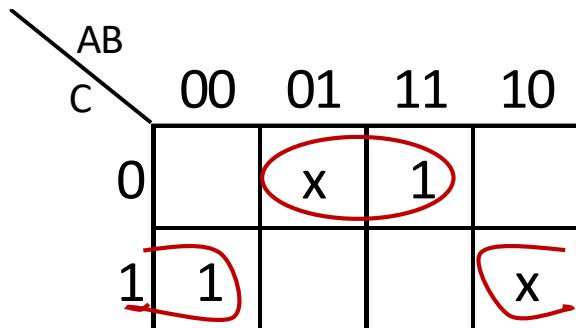


مثال ۳ (ادامه)

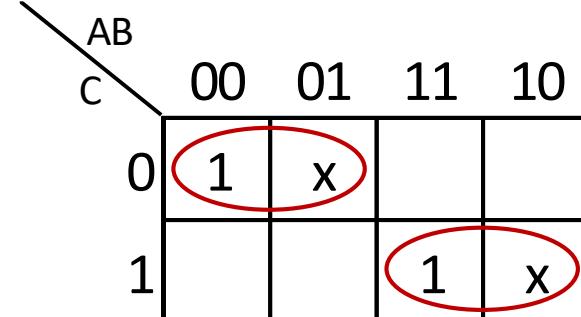
A	B	C	A^+	B^+	C^+	T_A	T_B	T_C
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	0
0	1	0	x	x	x	x	x	x
0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	0
1	0	1	x	x	x	x	x	x
1	1	0	1	0	0	0	1	0
1	1	1	1	1	0	0	0	1



$$T_A = A' \cdot B + A \cdot B' = A \oplus B$$



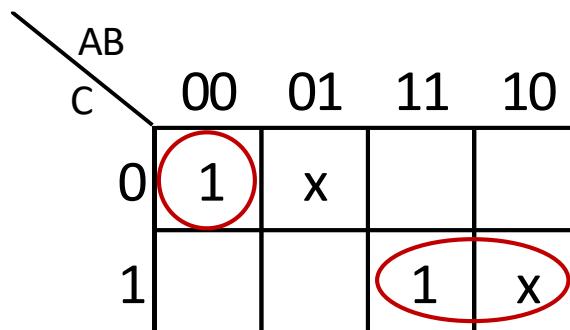
$$T_B = B \cdot C' + B' \cdot C = B \oplus C$$



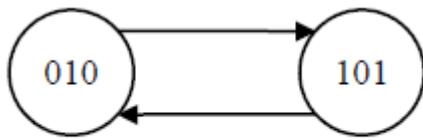
$$T_C = A' \cdot C' + A \cdot C = A \odot C$$

حالات های استفاده نشده

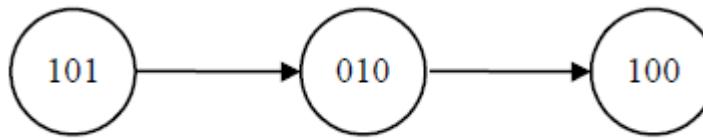
A	B	C	A^+	B^+	C^+	T_A	T_B	T_C
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	0
0	1	0	x	x	x	x	x	x
0	1	1	1	1	1	1	0	0
1	0	0	0	0	0	1	0	0
1	0	1	x	x	x	x	x	x
1	1	0	1	0	0	0	1	0
1	1	1	1	1	0	0	0	1



$$T_C = A \odot C$$



No self-correcting



Self-correcting

تعریف

○ مدار self-starting

● مداری که مستقل از حالت اولیه، به حالت درست برود

○ مدار self-correcting

● مداری که اگر به خاطر نویز به حالت اشتباهی رفت، خود به خود به حالت

درست برگردد از حالت اولیه به حالت درست برود

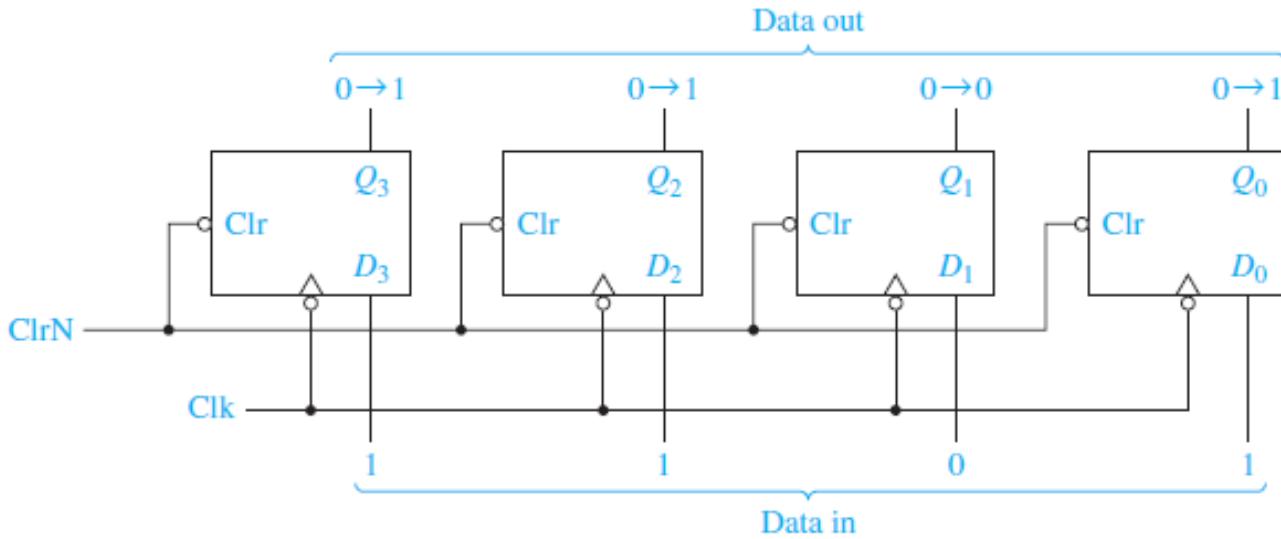


ثبتات (Register)

- ثبات مجموعه‌ای از فلیپ‌فلاپ‌ها با یک **clock** مشترک است که برای ذخیره یک چند بیت اطلاعات به کار می‌رود
- به علاوه مدارهای ترکیبی اضافه برای انجام پردازش‌های خاصی روی محتویات ذخیره شده در آن



لیست پهلو بیتی



مثال: طراحی یک مدار ترتیبی با ثبات

$$A_1(t + 1) = \Sigma (4, 6)$$

$$A_2(t + 1) = \Sigma (1, 2, 5, 6)$$

$$y(A_1, A_2, x) = \Sigma (3, 7)$$

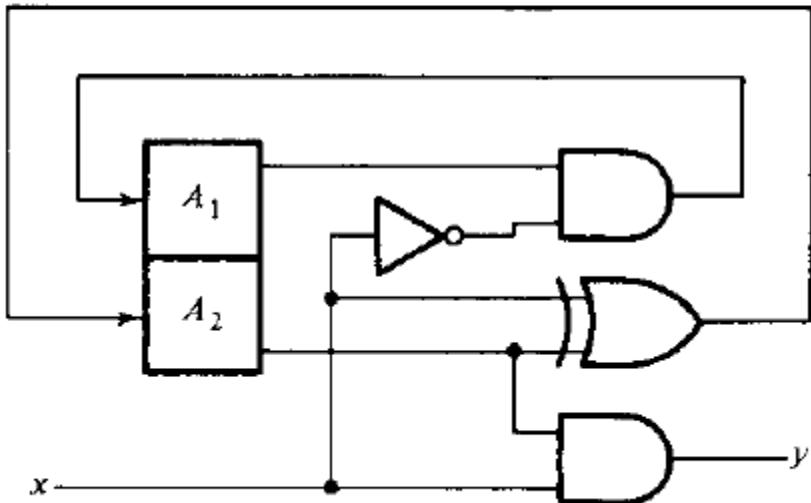
$$A_1(t + 1) = A_1 x'$$

$$A_2(t + 1) = A_2 \oplus x$$

$$y = A_2 x$$

Present state		Input	Next state		Output
A_1	A_2	x	A_1	A_2	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	0	1
1	0	0	1	0	0
1	0	1	0	1	0
1	1	0	1	1	0
1	1	1	0	0	1

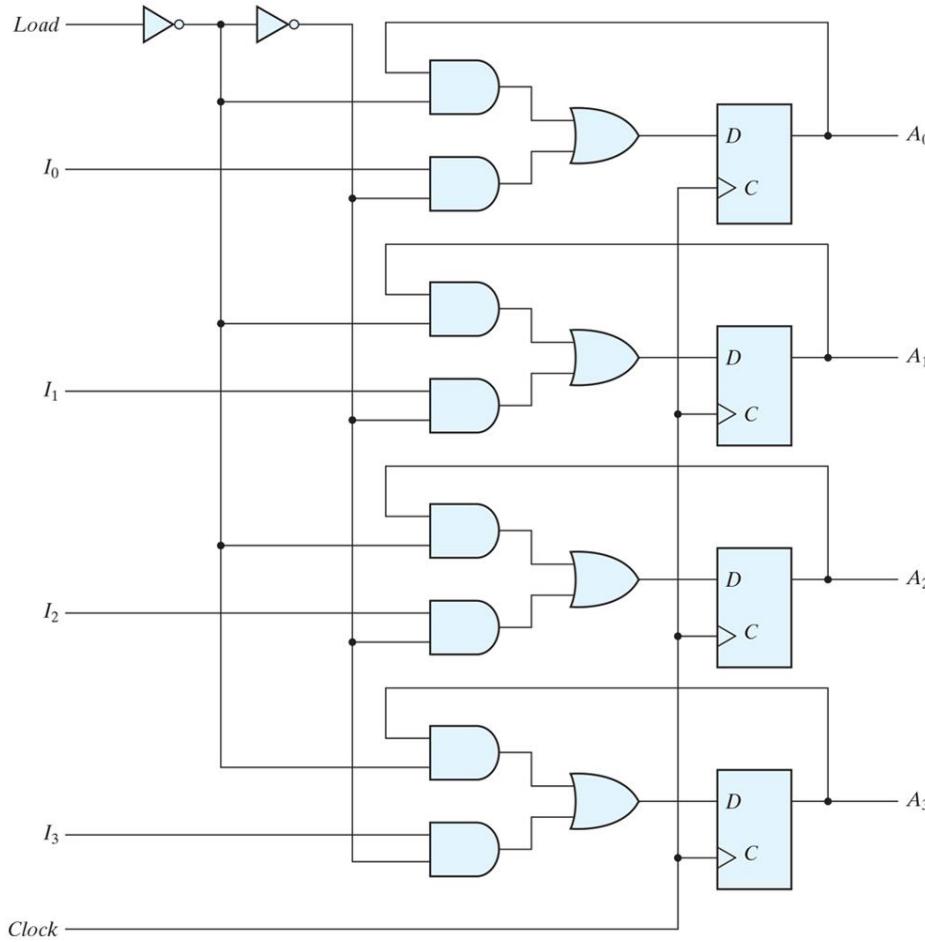
(a) State table



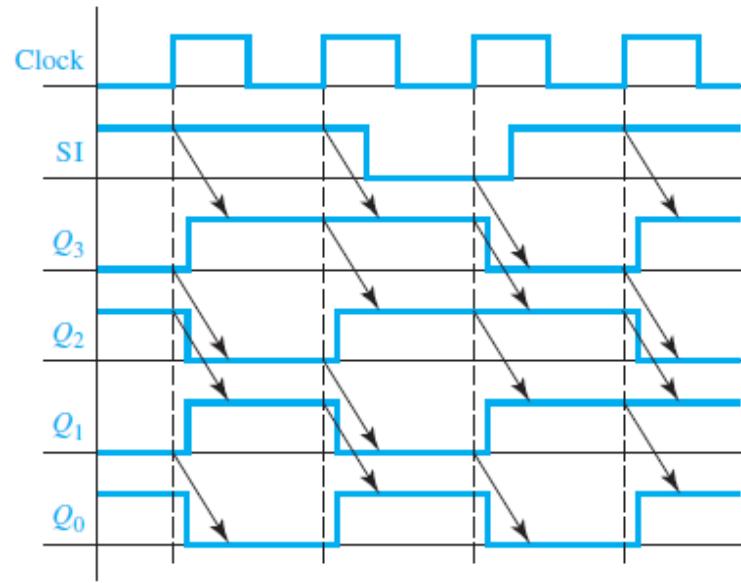
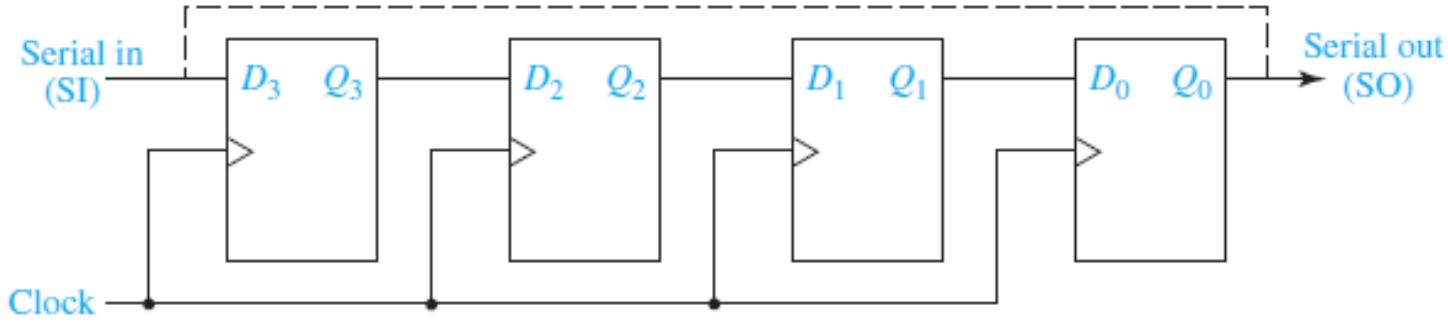
(b) Logic diagram



4-bit Register with Parallel Load



4-bit Shift Register

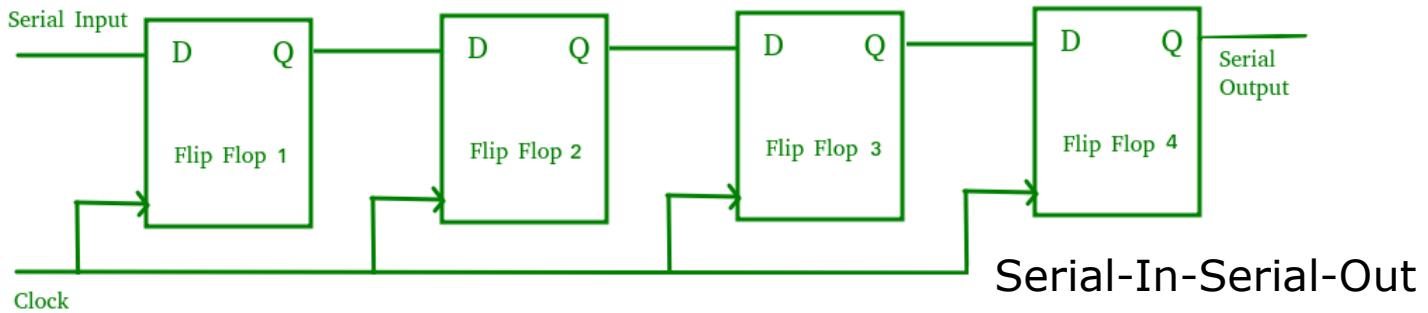


Types of Registers

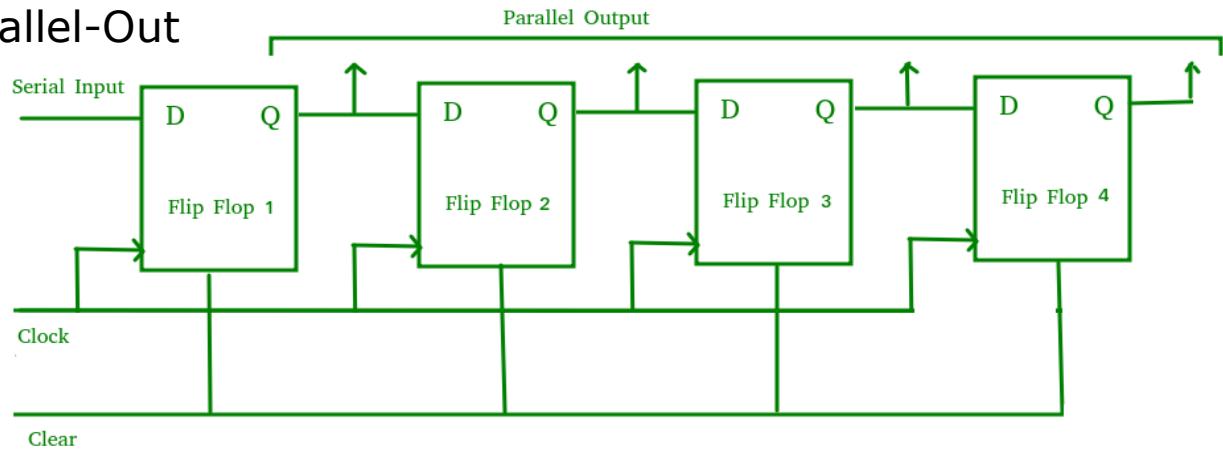
- SISO: Serial In Serial Out
- SIPO: Serial In Parallel Out
- PISO: Parallel In Serial Out
- PIPO: Parallel In Parallel Out



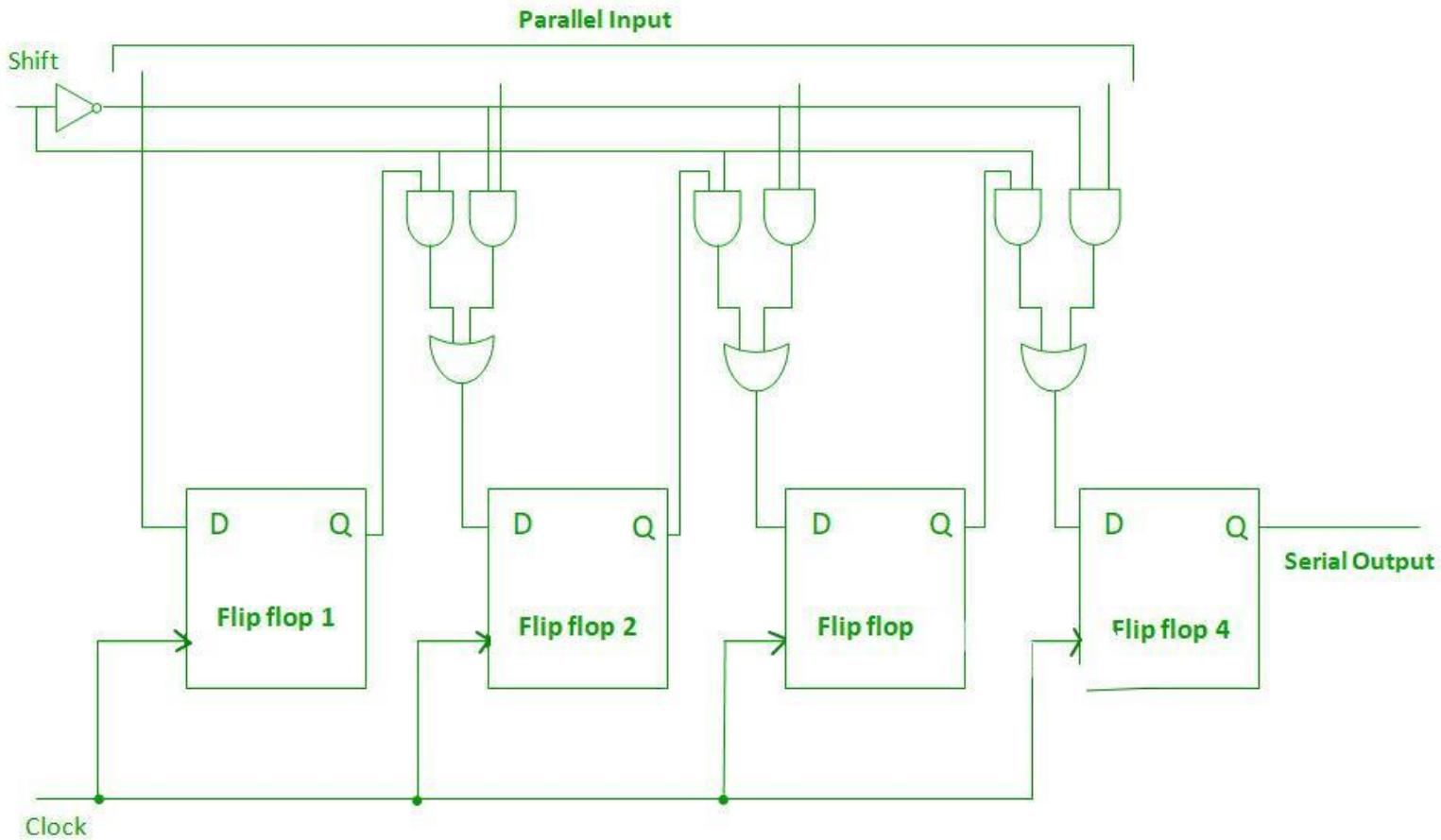
SISO vs. SIPO Registers



Serial-In-Parallel-Out

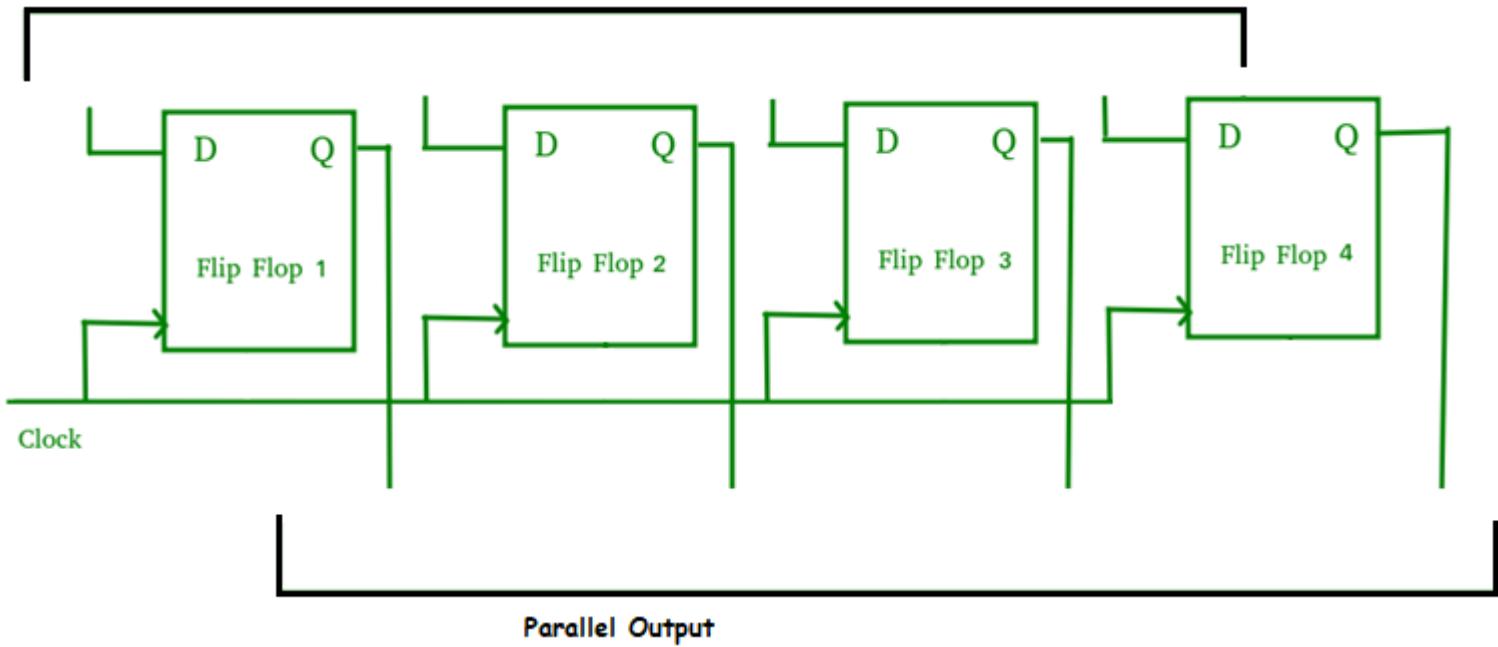


PISO Register

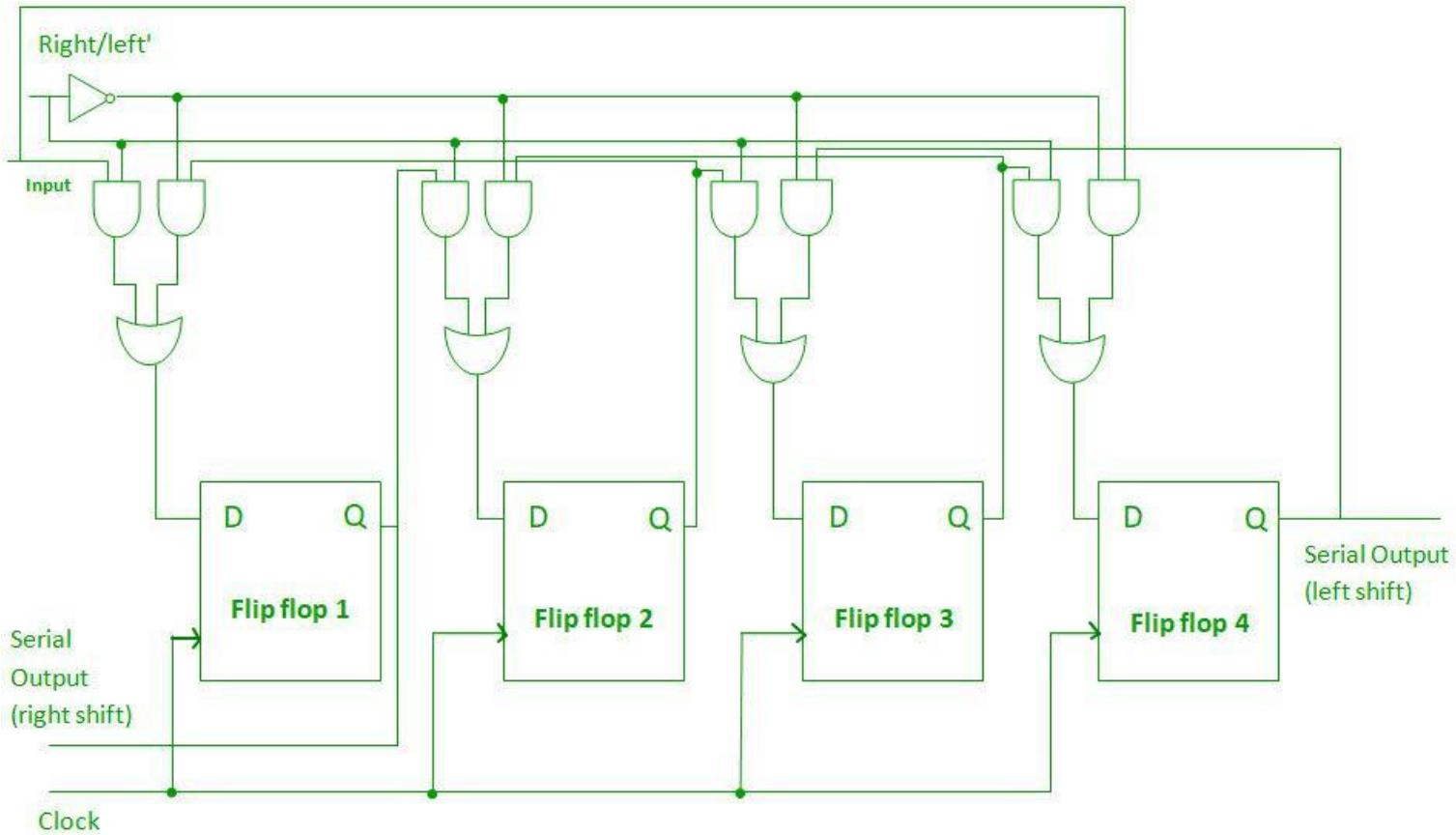


PIPO Register

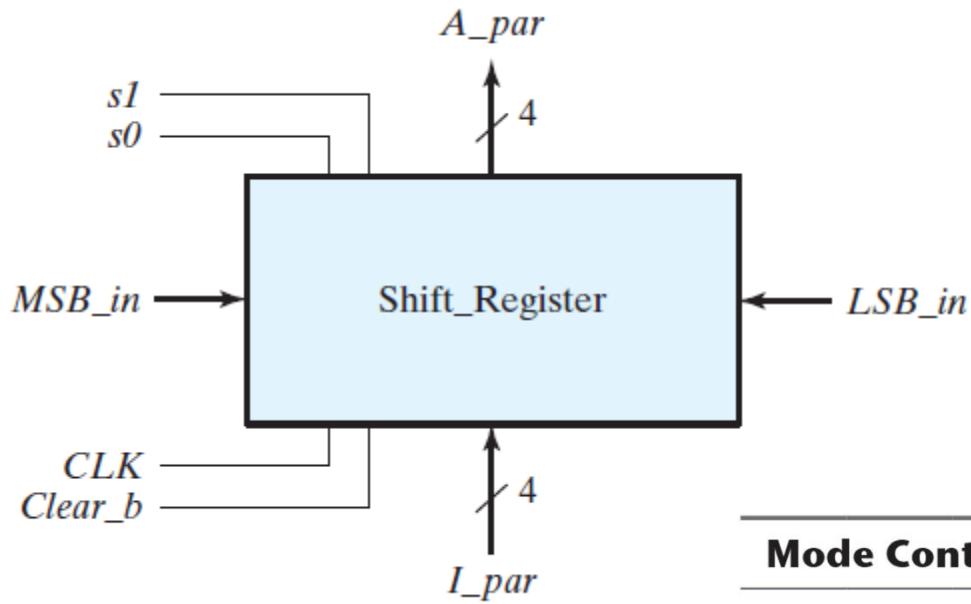
Same combinational logic as the PISO register



Bidirectional Shift Register



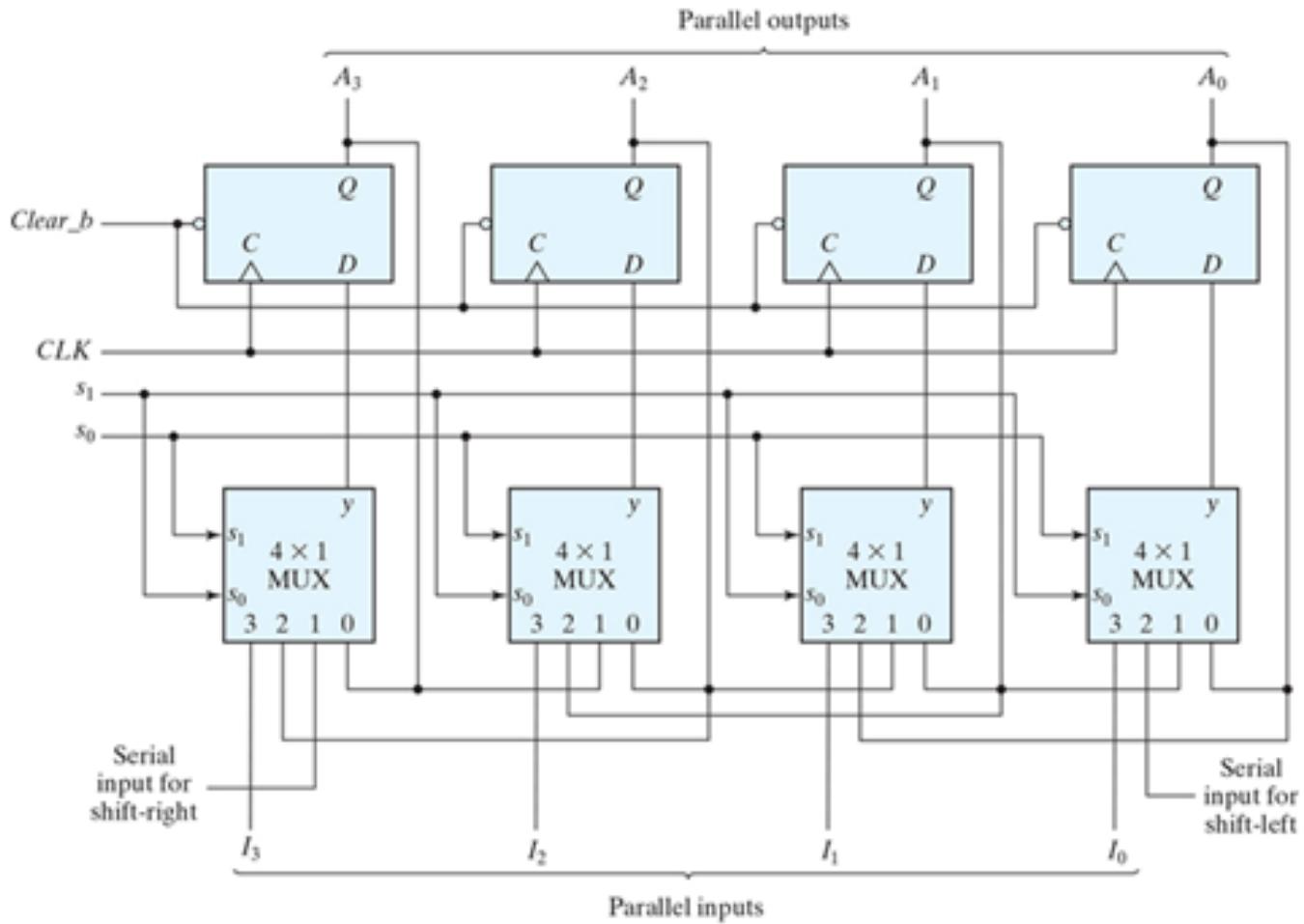
Universal Shift Register



Mode Control

s₁	s₀	Register Operation
0	0	No change
0	1	Shift right
1	0	Shift left
1	1	Parallel load

Four-bit Universal Shift Register

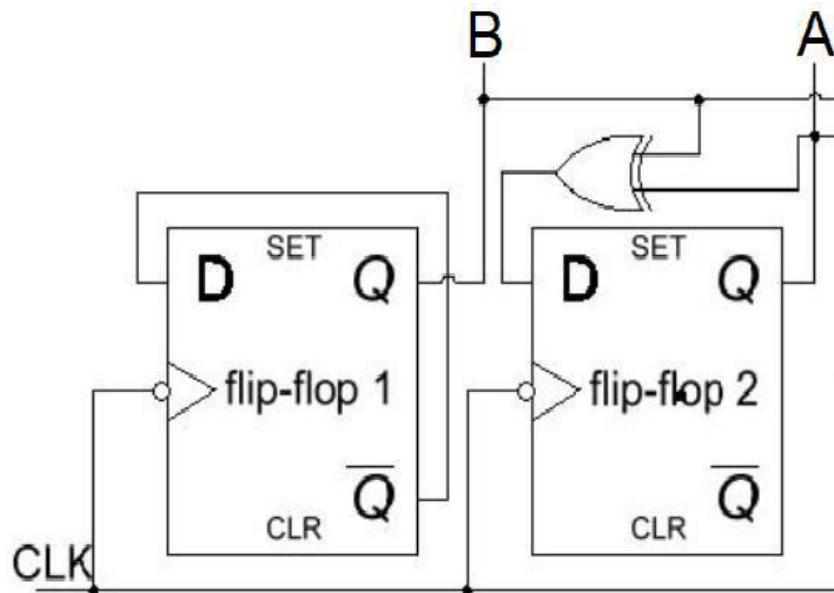


شمارنده (Counter)

یک مدار ترتیبی که به ازای هر clock pulse یک رشته از قبل تعیین شده از حالت ها را طی می کند



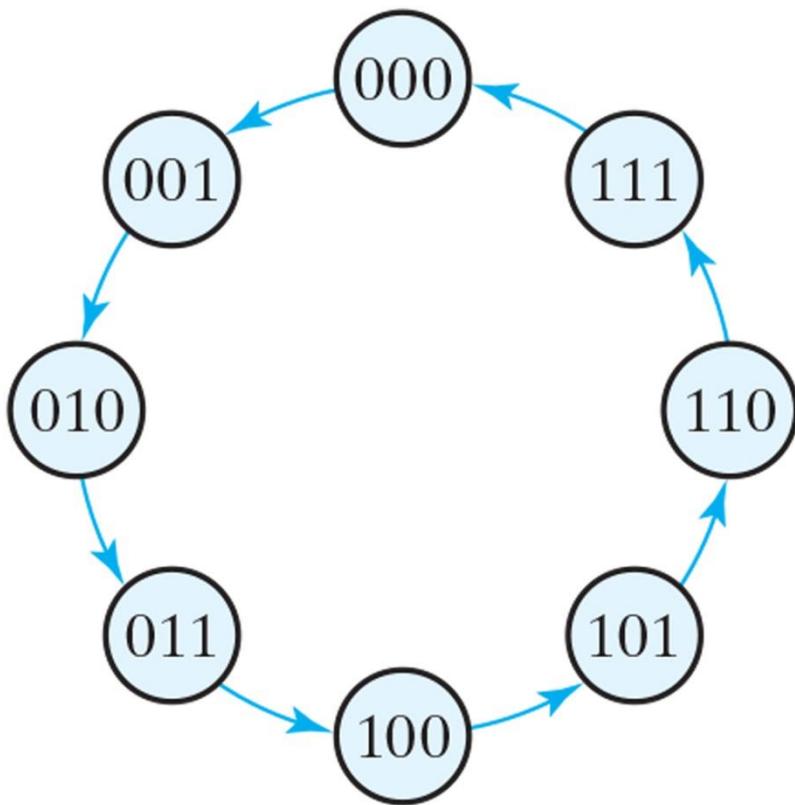
شمارنده دو بیتی



A	B	A^+	B^+
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

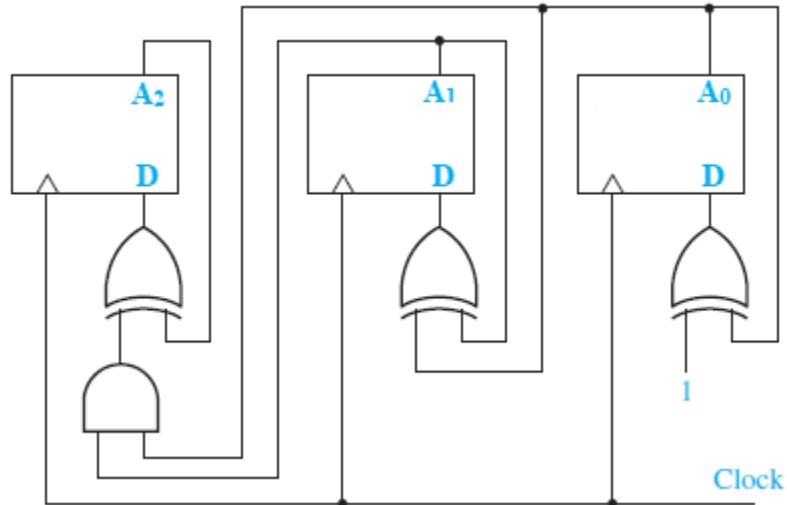


شمارنده سه بیتی



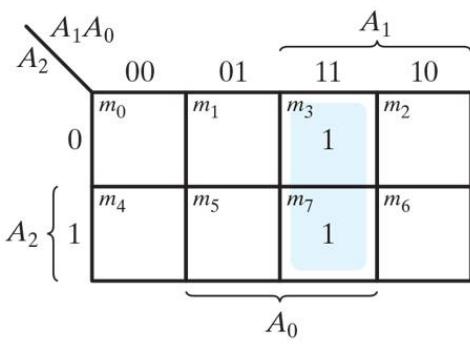
شمارنده سه بیتی (ادامه)

Present State			Next State		
A_2	A_1	A_0	A_2	A_1	A_0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

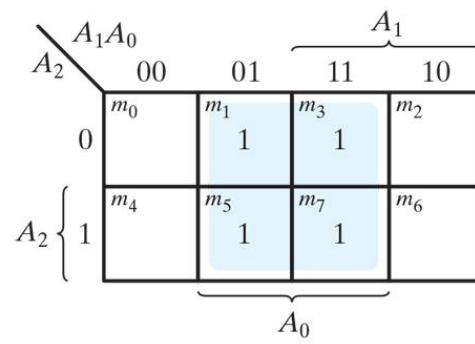


شمارنده سه بیتی (ادامه)

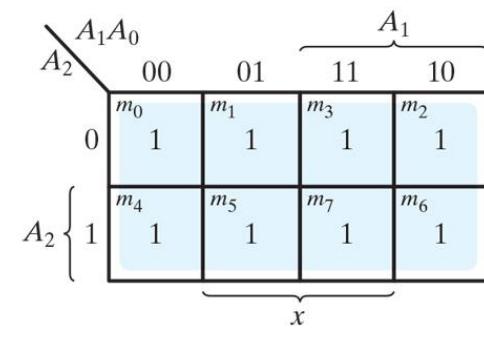
Present State			Next State			Flip-Flop Inputs		
A_2	A_1	A_0	A_2	A_1	A_0	T_{A2}	T_{A1}	T_{A0}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1



$$T_{A2} = A_1A_0$$



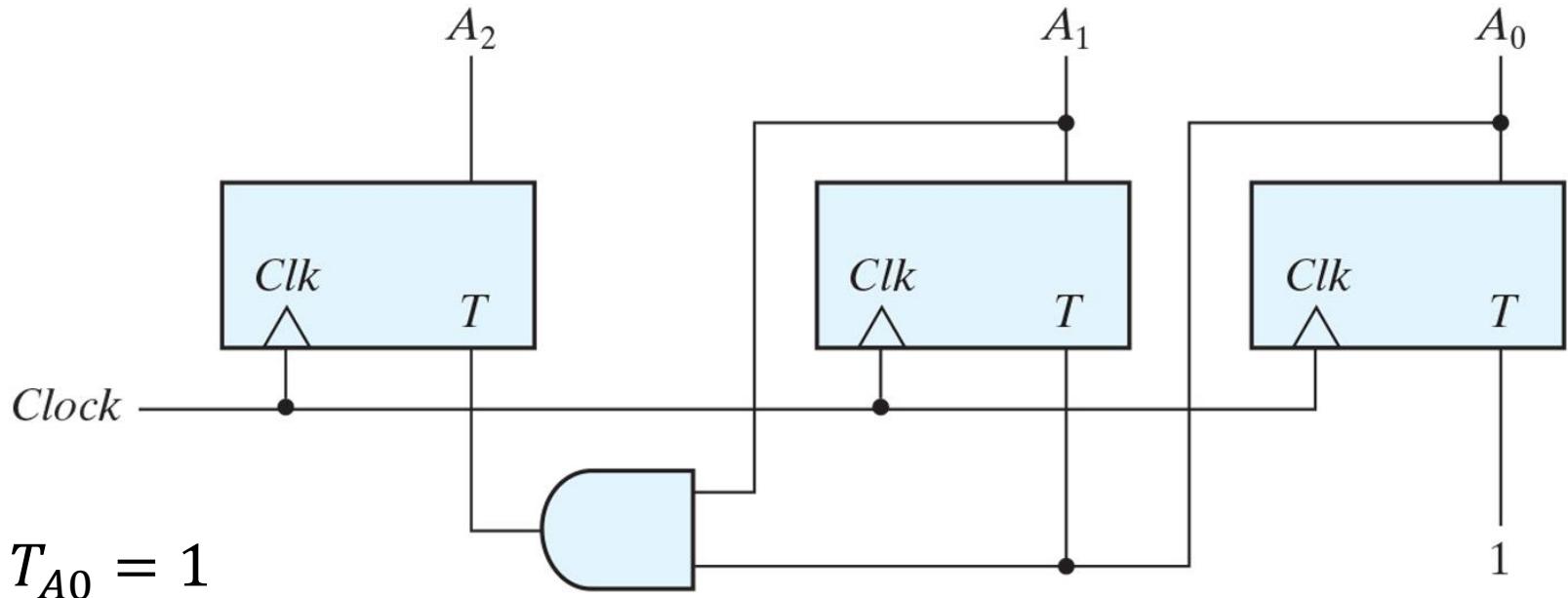
$$T_{A1} = A_0$$



$$T_{A0} = 1$$

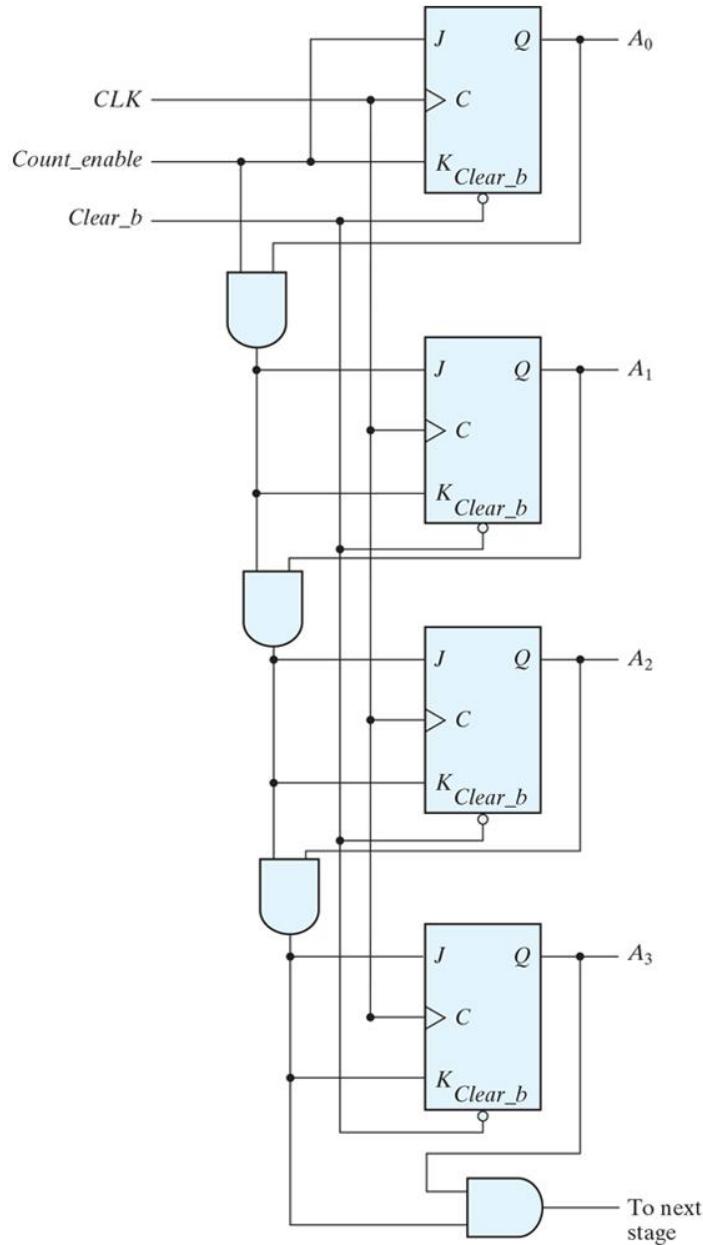


شمارنده سه بیتی (ادامه)



$$T_{A1} = A_0$$

$$T_{A2} = A_1 \cdot A_0$$



شمارنده پها ریتی

با فعال ساز

$$J_{A0} = K_{A0} = 1 \cdot E$$

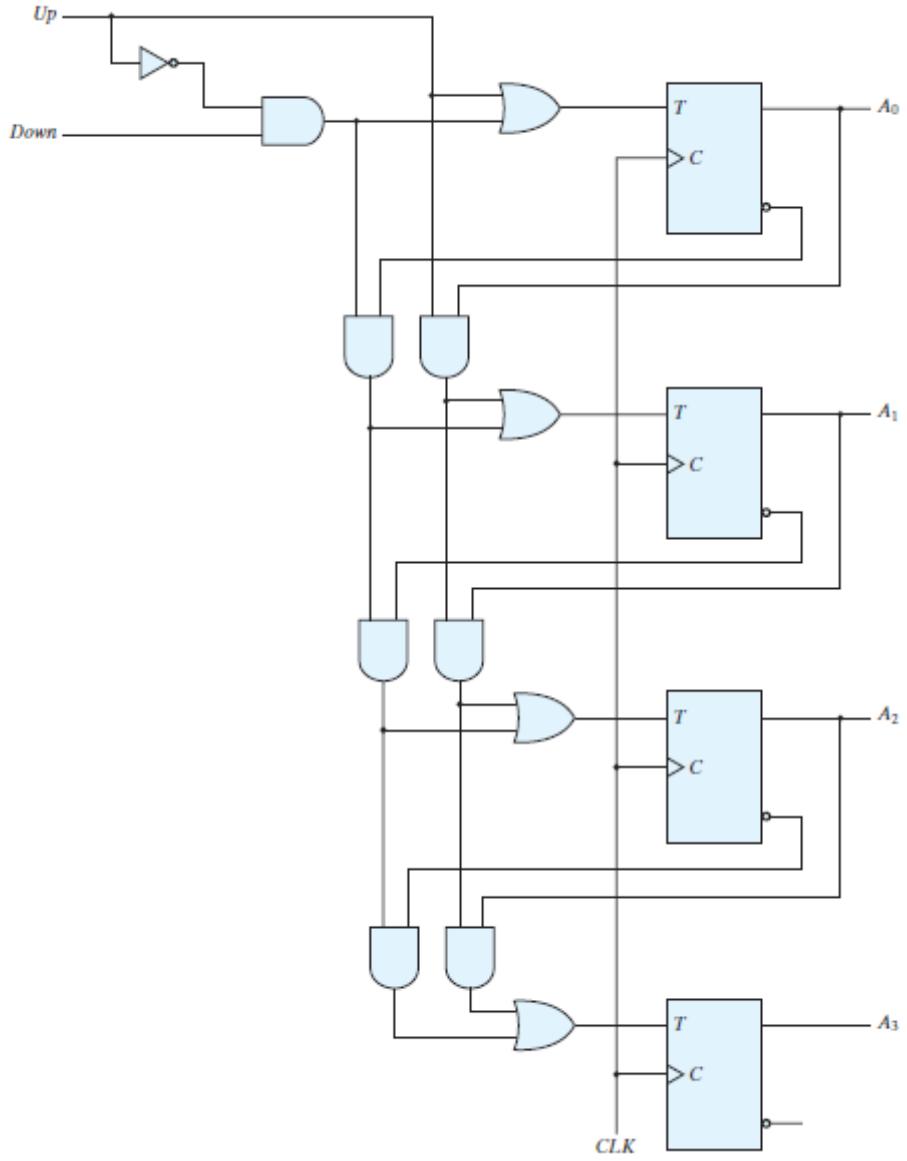
$$J_{A1} = K_{A1} = A_0 \cdot E$$

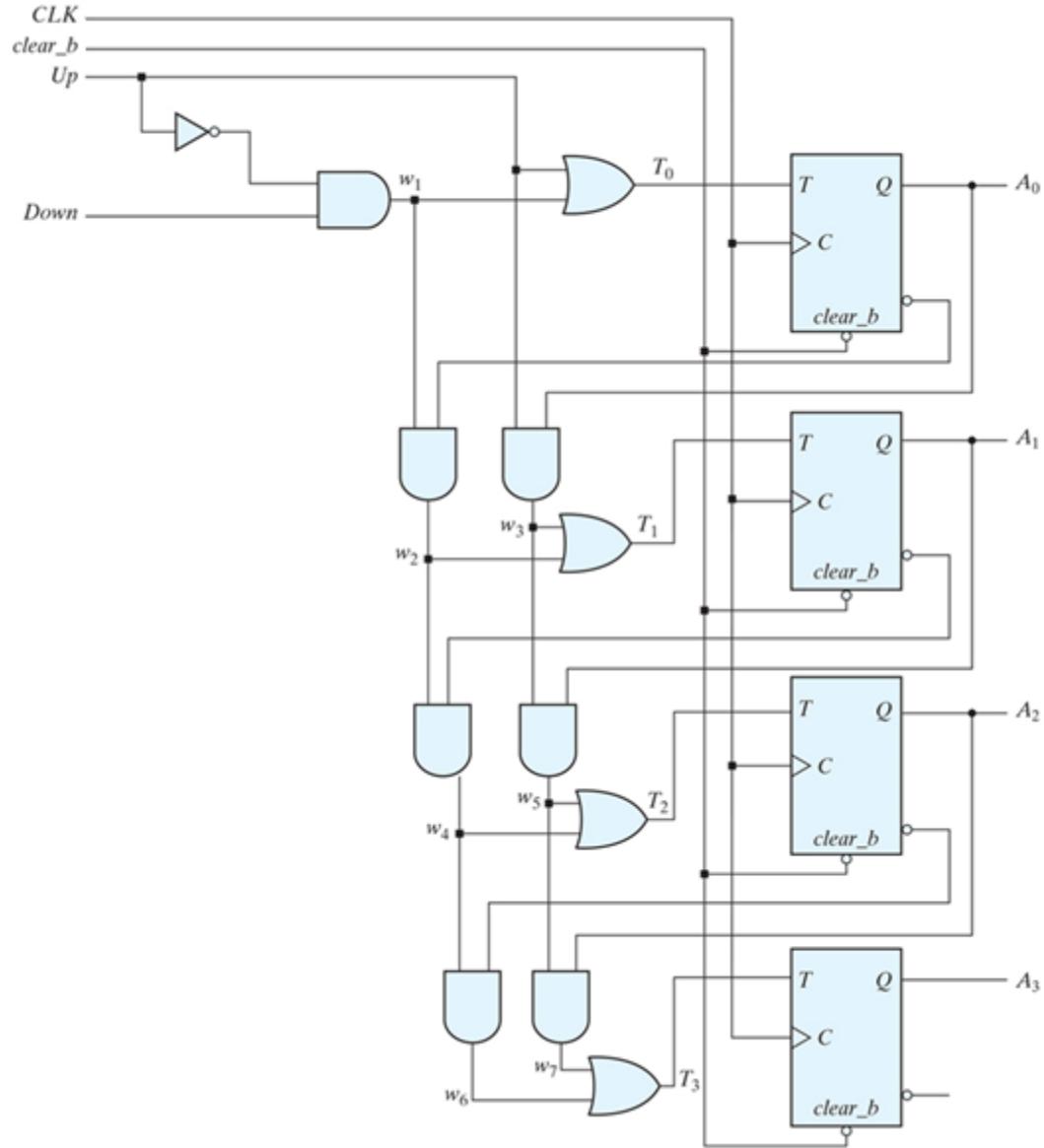
$$J_{A2} = K_{A2} = A_0 \cdot A_1 \cdot E$$

$$J_{A3} = K_{A3} = A_0 \cdot A_1 \cdot A_2 \cdot E$$

بالا/پایین شمار

(up/down
Counter)

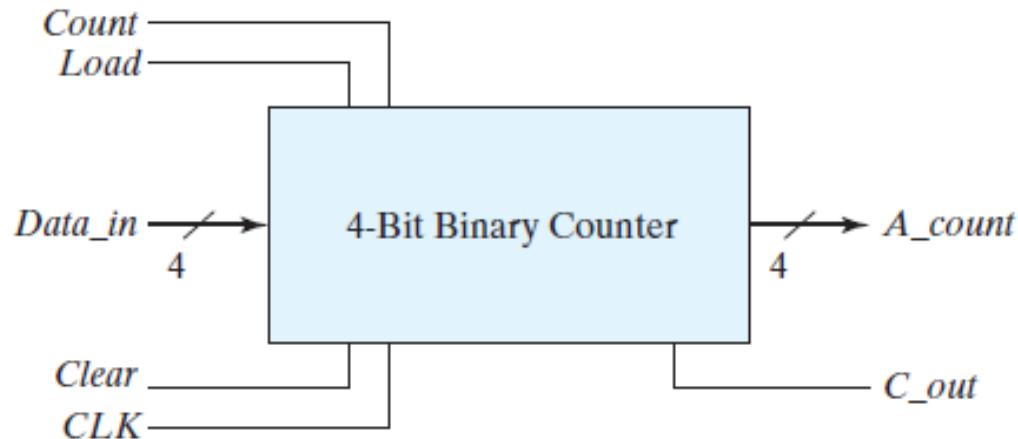




بالا/پایین شمار (up/down Counter with clear)

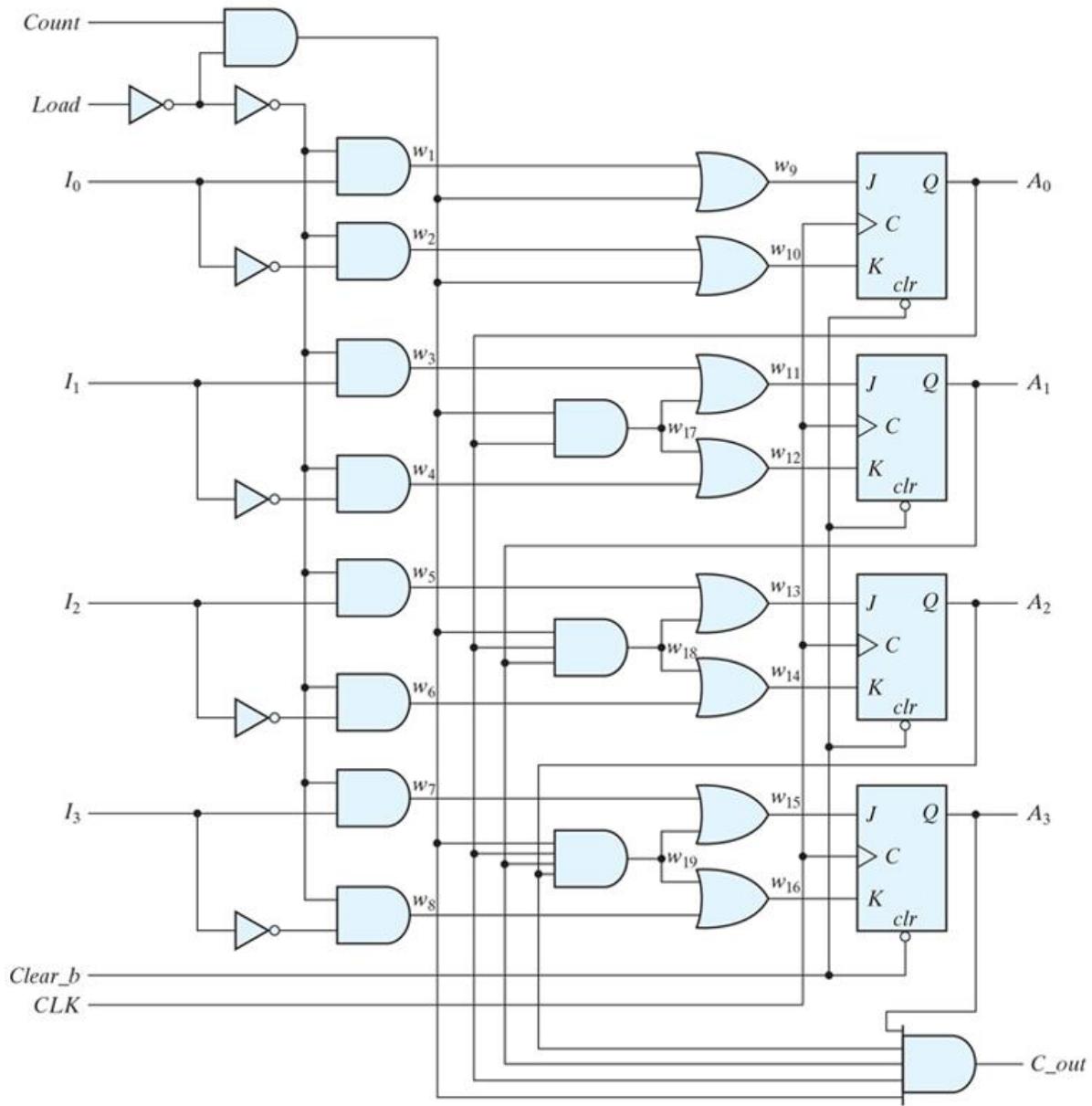


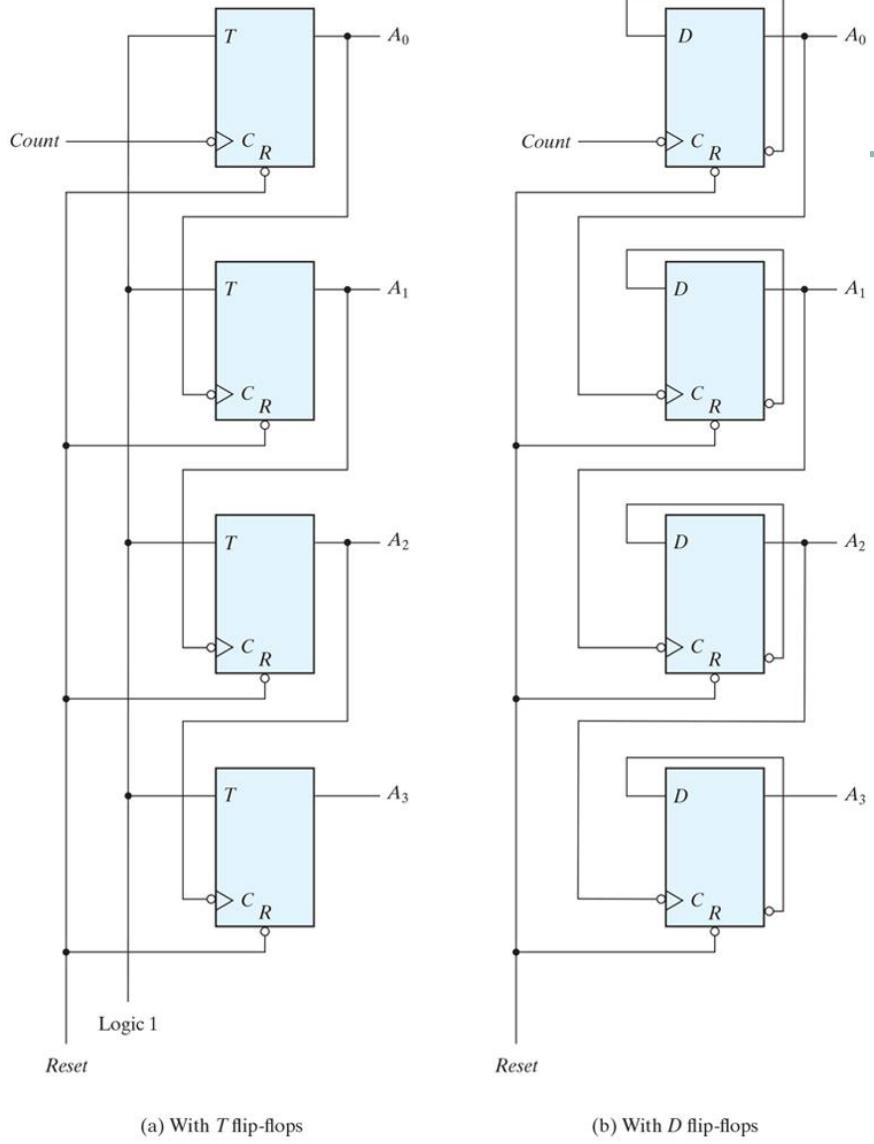
Binary Counter with Parallel Load



Clear_b	CLK	Load	Count	Function
0	X	X	X	Clear to 0
1	↑	1	X	Load inputs
1	↑	0	1	Count next binary state
1	↑	0	0	No change

(cnt.)



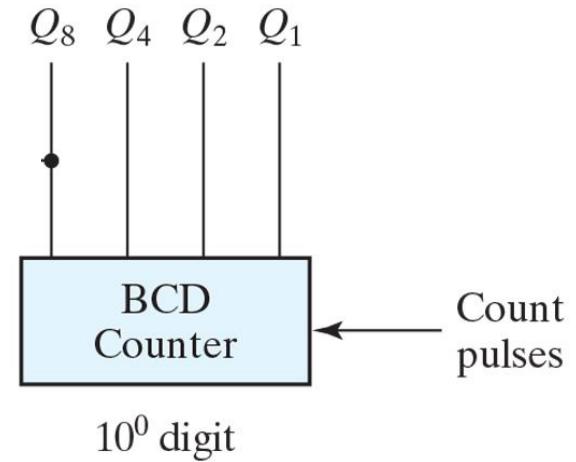
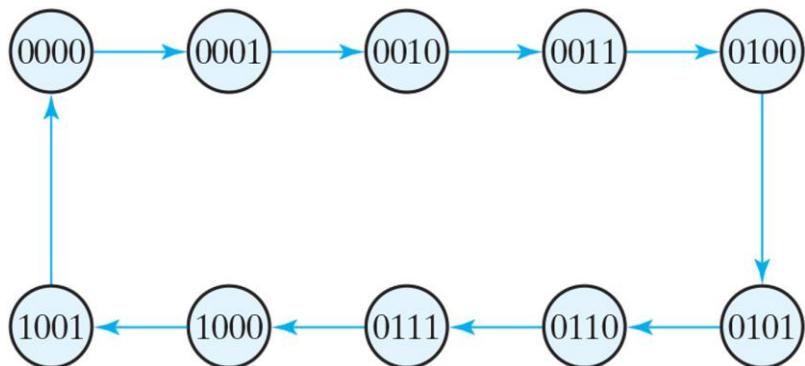


شمارنده زاهمکام

(Ripple Counter)

A₃	A₂	A₁	A₀
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1
0	0	0	0

BCD Counter



BCD Synchronous Counter

Present State				Next State				Output	Flip-Flop Inputs			
Q_8	Q_4	Q_2	Q_1	Q_8	Q_4	Q_2	Q_1	y	T_{Q8}	T_{Q4}	T_{Q2}	T_{Q1}
0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	1	0	0	0	0	1	1
0	0	1	0	0	0	1	1	0	0	0	0	1
0	0	1	1	0	1	0	0	0	0	1	1	1
0	1	0	0	0	1	0	1	0	0	0	0	1
0	1	0	1	0	1	1	0	0	0	0	1	1
0	1	1	0	0	1	1	1	0	0	0	0	1
0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	0	0	1	0	0	0	0	1
1	0	0	1	0	0	0	0	1	1	0	0	1



BCD Synchronous Counter (cnt.)

$$T_{Q1} = 1$$

$$T_{Q2} = Q'_8 \cdot Q_1$$

$$T_{Q4} = Q_2 \cdot Q_1 + Q_4 \cdot Q_2 \cdot Q_1$$

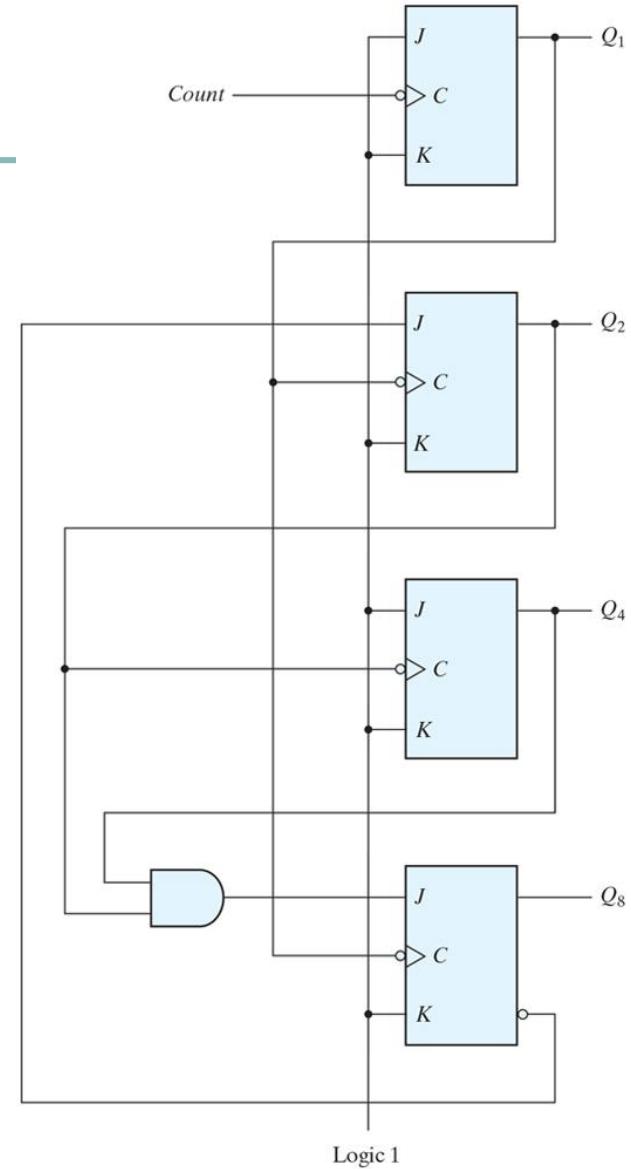
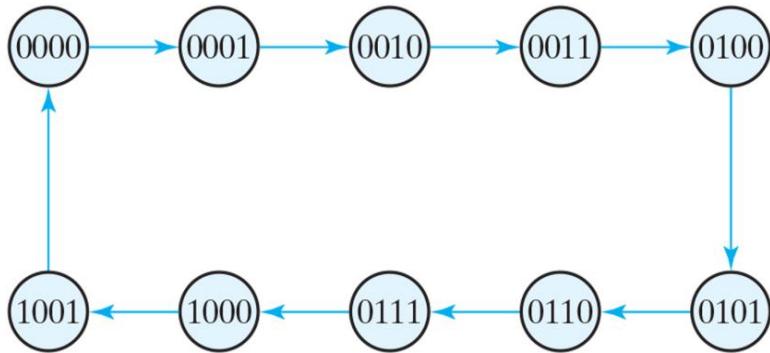
$$T_{Q8} = Q_8 \cdot Q_1 + Q_4 \cdot Q_2 \cdot Q_1$$

$$y = Q_8 \cdot Q_1$$

Present State				Output	Flip-Flop Inputs			
Q_8	Q_4	Q_2	Q_1	y	T_{Q8}	T_{Q4}	T_{Q2}	T_{Q1}
0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	1	1
0	0	1	0	0	0	0	0	1
0	0	1	1	0	0	1	1	1
0	1	0	0	0	0	0	0	1
0	1	0	1	0	0	0	1	1
0	1	1	0	0	0	0	0	1
0	1	1	1	0	1	1	1	1
1	0	0	0	0	0	0	0	1
1	0	0	1	1	1	0	0	1

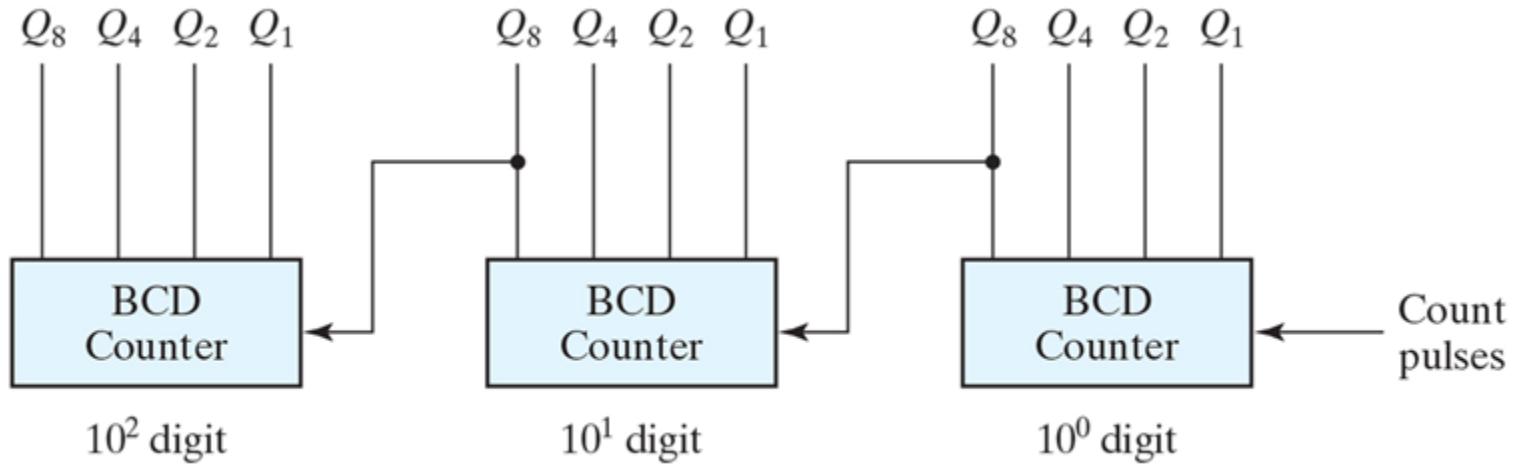


BCD Asynchronous (Ripple) Counter

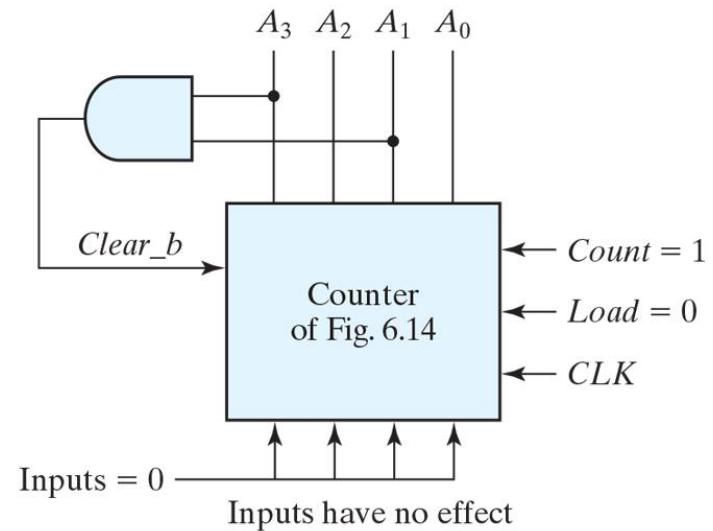
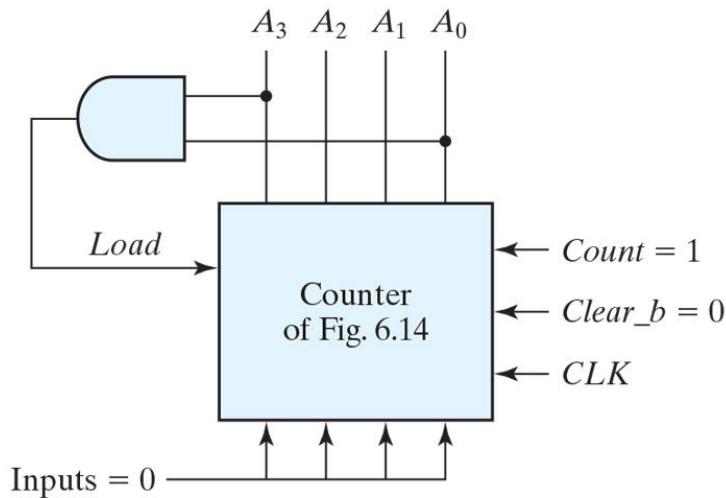


Three-decade decimal BCD counter

(formed by 3 BCD ripple counters)



More on BCD Counter



Clear_b	CLK	Load	Count	Function
0	X	X	X	Clear to 0
1	↑	1	X	Load inputs
1	↑	0	1	Count next binary state
1	↑	0	0	No change

لشمانده غیردودویی

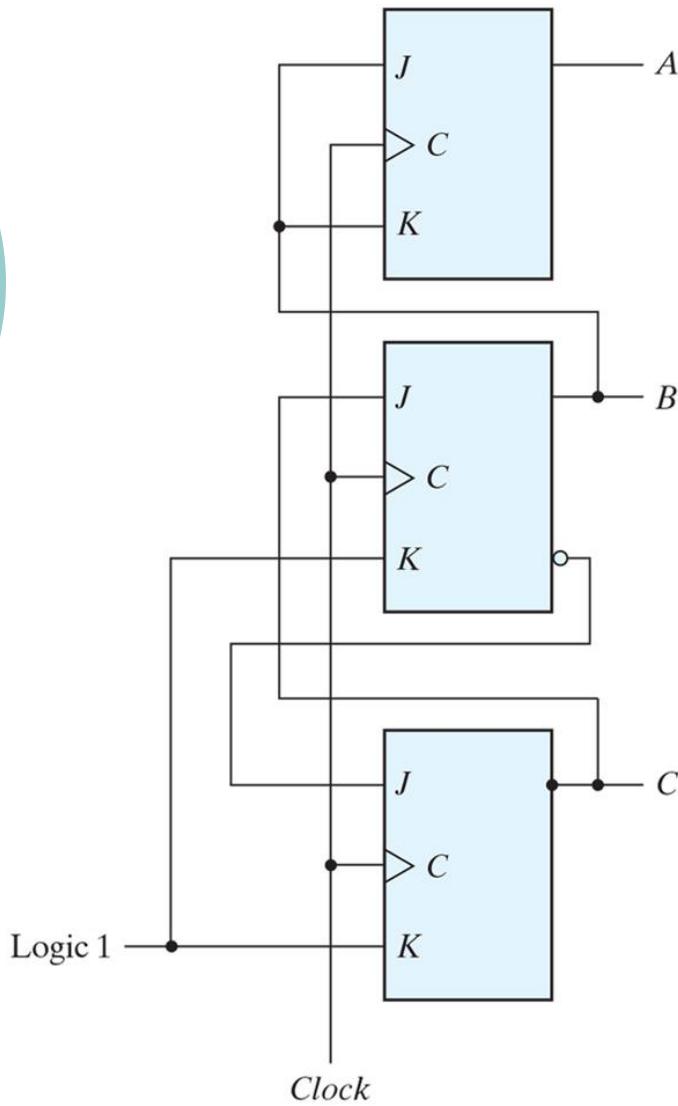
$0 \rightarrow 1 \rightarrow 2 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 0 \dots$

Present State			Next State			Flip-Flop Inputs					
A	B	C	A	B	C	J _A	K _A	J _B	K _B	J _C	K _C
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	1	0	0	1	X	X	1	0	X
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	0	0	0	X	1	X	1	0	X

Q(t)	Q(t = 1)	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

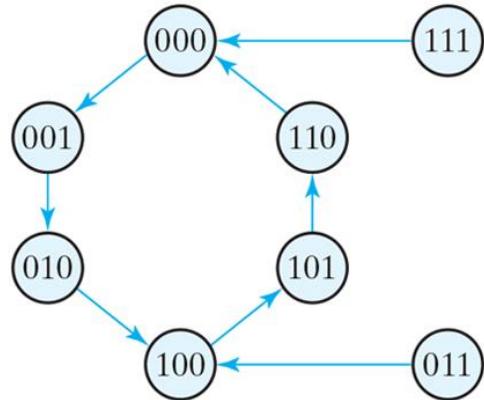
$$\begin{aligned} J_A &= B & K_A &= B \\ J_B &= C & K_B &= 1 \\ J_C &= B' & K_C &= 1 \end{aligned}$$



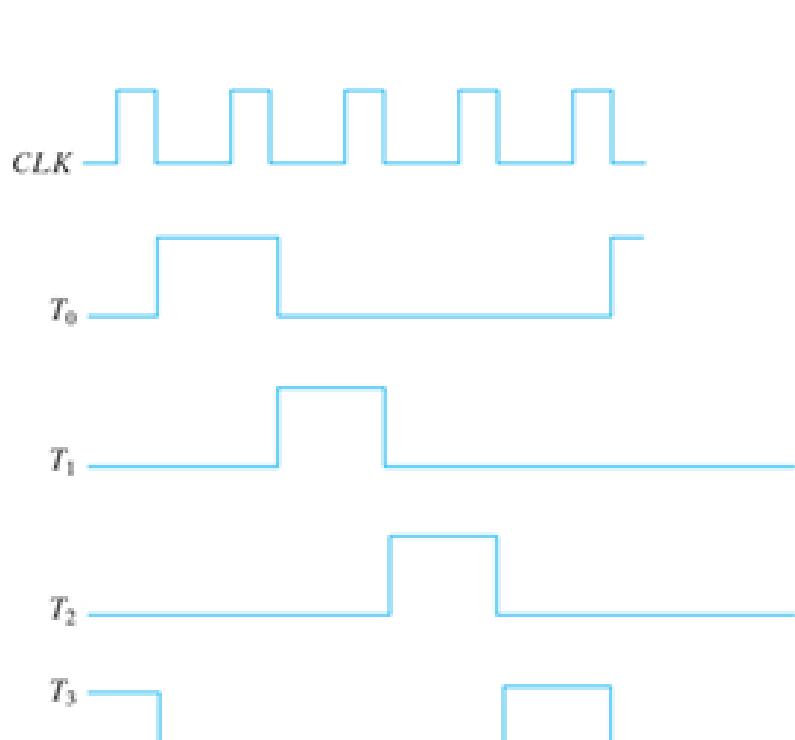


شمارنده غیردودویی (ادامه)

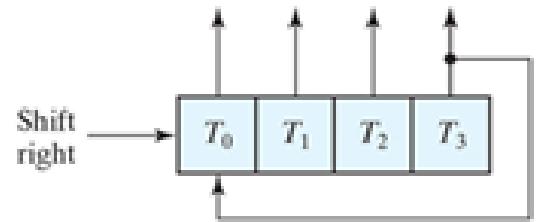
$$\begin{array}{ll}
 J_A = B & K_A = B \\
 J_B = C & K_B = 1 \\
 J_C = B' & K_C = 1
 \end{array}$$



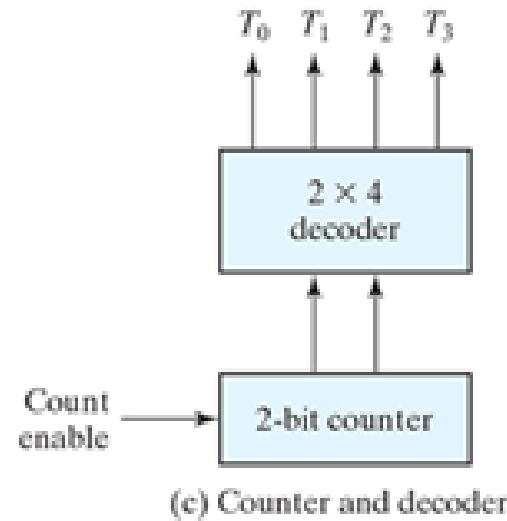
شمارنده حلقه



(b) Sequence of four timing signals



(a) Ring-counter (initial value = 1000)



(c) Counter and decoder

آنچه آموختیم

- واحدهای ذخیره‌کننده داره (مدارهای نگه‌دارنده و فلیپ‌فلاپ‌ها)
- تحلیل و طراحی مدارهای ترتیبی
- ثبات‌ها
 - انواع شیفت‌رجیسترها با قابلیت شیفت به پ، و راست و بارگذاری موازی
 - شمارندها
 - همگام/ناهمگام
 - دودویی/غیردودویی
 - با قابلیت بارگذاری موازی
 - شمارش BCD
 - شمارنده حلقه

