

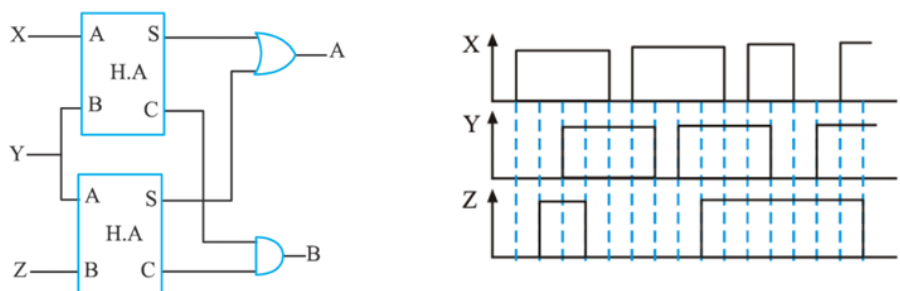


به موارد زیر توجه کنید:

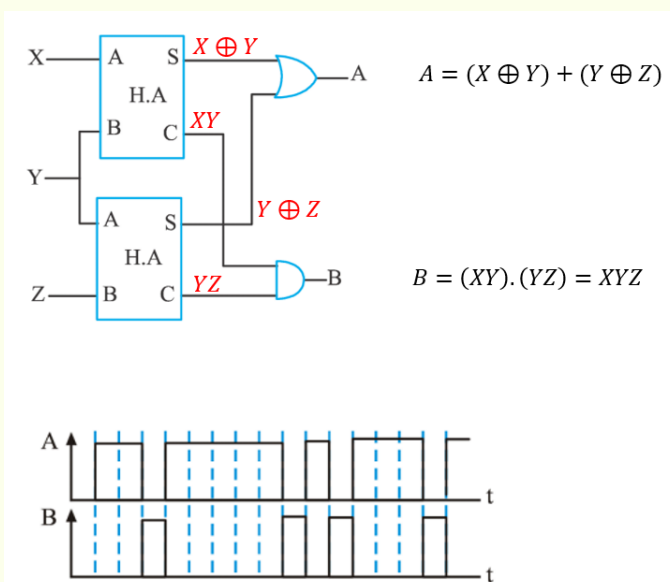
- ۱- حتما نام و شماره دانشجویی خود را روی پاسخ نامه بنویسید.
- ۲- در حل سوالات به نوشتن جواب آخر اکتفا نکنید. همه مراحل میانی را هم بنویسید.
- ۳- کل پاسخ تمرینات را در قالب یک فایل pdf با شماره دانشجویی خود نام گذاری کرده در سامانه CW بارگذاری کنید.
- ۴- در صورت مشاهده هر گونه مشابهت نامتعارف هر دو (یا چند) نفر کل نمره این تمرین را از دست خواهند داد.

سوالات:

- ۱- (۳ نمره) در مدار زیر ابتدا خروجی های A و B را بر حسب ورودی های X، Y و Z بنویسید و سپس با توجه به تغییرات ورودی ها در طول زمان، نمودار زمانی تغییرات خروجی ها را رسم کنید.



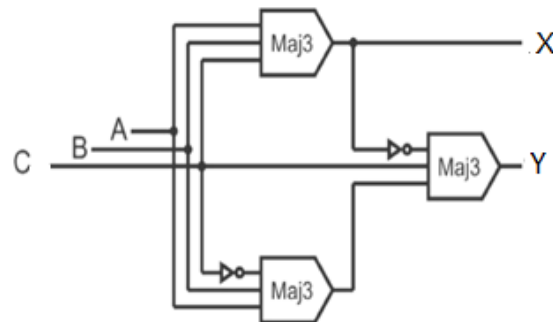
پاسخ:



۲- (۳ نمره)

الف- با استفاده از یک دیکودر ۳ به ۸ و حداقل گیت، مداری طرح کنید که سه بیت ورودی داشته باشد و خروجی آن برابر بیت اکثریت مشاهده شده باشد، یعنی چنانچه تعداد بیت های ۱ در ورودی بیشتر بود خروجی ۱ باشد و اگر تعداد بیت‌های صفر در ورودی بیشتر بود، خروجی صفر باشد.

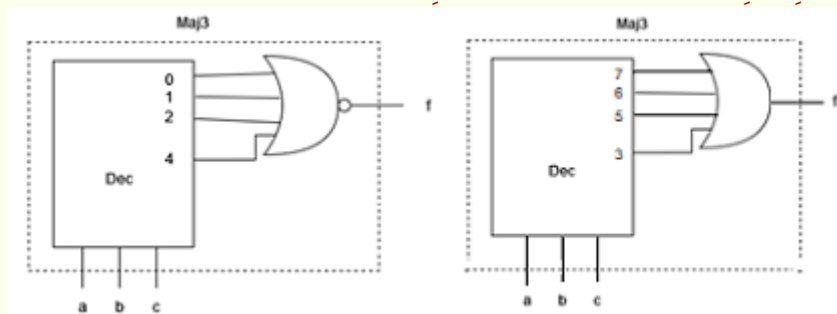
ب- عملکرد مدار شکل زیر را توضیح دهید. در این مدار هر یک از واحدهای Maj3 یک مدار اکثریت است که مطابق با بند الف عمل می‌کند.



پاسخ:

$$f = \text{Maj3}(a, b, c) = \sum m(3,5,6,7) = \sum \overline{m(0,1,2,4)}$$

با توجه به رابطه جبری تابع اکثریت، هر یک از دو پاسخ زیر درست است:

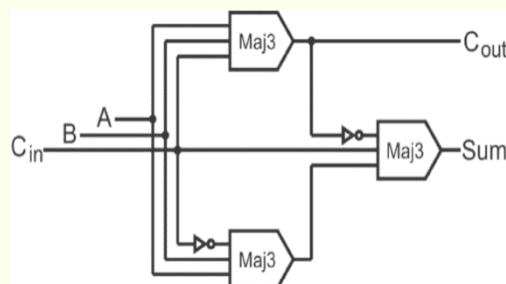


شکل موردنظر در واقع یک Full adder است، زیرا:

$$X = \text{Maj3}(A, B, C) = AB + AC + BC = \text{Cout}(A, B, C)$$

$$X' = (AB + AC + BC)' = (A' + B')(A' + C')(B' + C') = (A' + B'C')(B' + C') = A'B' + A'C' + B'C'$$

$$\begin{aligned} Y &= \text{Maj3}(X', C, \text{Maj3}(A, B, C')) = \text{Maj3}((A'B' + A'C' + B'C'), C, (AB + AC' + BC')) = \\ &= (A'B' + A'C' + B'C')C + (A'B' + A'C' + B'C')(AB + AC' + BC') + (AB + AC' + BC')C = \\ &= A'B'C + A'BC' + AB'C' + ABC = \text{XOR}(A, B, C) = \text{Sum}(A, B, C) \end{aligned}$$



۳- (۲ نمره) به کمک یک دیکودر ۳ به ۸ با خروجی‌های active-low و کمترین گیت اضافه، مداری بسازید که یک عدد ۳ بیتی را دریافت و حاصل جمع مقسوم‌علیه‌هایش را تولید کند.

پاسخ: ابتدا جدول درستی را می‌کشیم:

X Y Z	A B C D
0 0 0	0 0 0 0
0 0 1	0 0 0 1
0 1 0	0 0 1 1
0 1 1	0 1 0 0
1 0 0	0 1 1 1
1 0 1	0 1 1 0
1 1 0	1 1 0 0
1 1 1	1 0 0 0

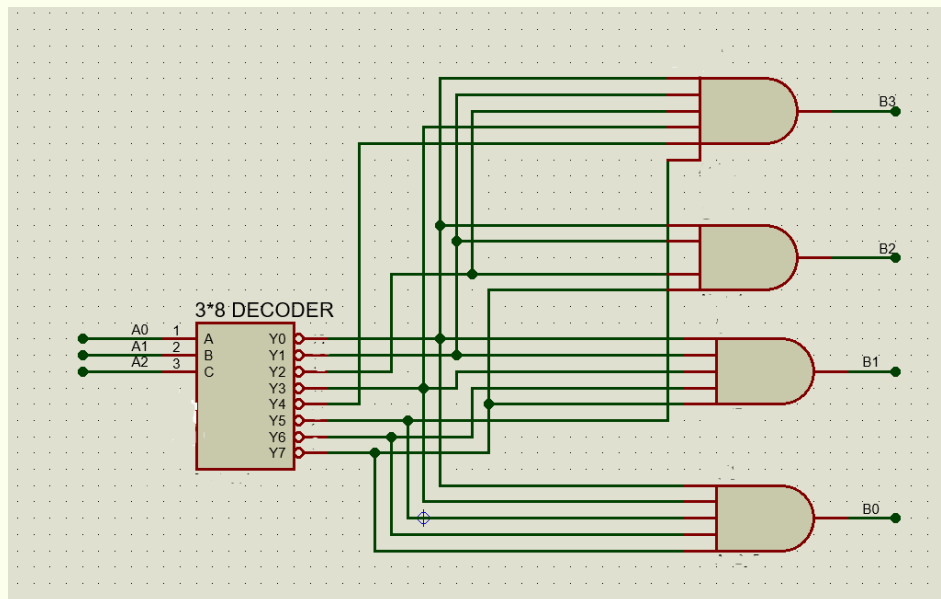
$$A = \prod M(0,1,2,3,4,5)$$

$$B = \prod M(0,1,2,7)$$

$$C = \prod M(0,1,3,6,7)$$

$$D = \prod M(0,3,5,6,7)$$

خروجی‌های دیکودر در واقع ماکسترها هستند، بنابراین با استفاده از یک دیکودر و چهار گیت AND می‌توانیم توابع A و B و C و D را بسازیم.



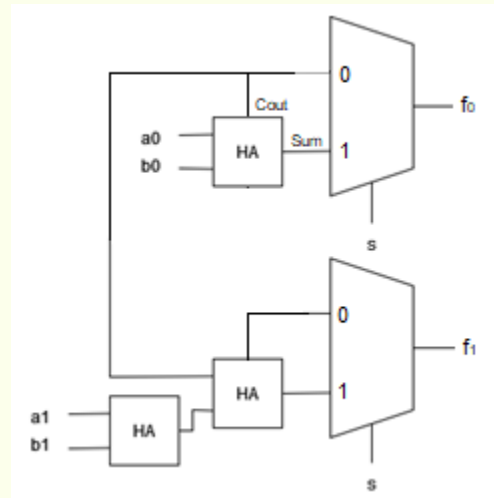
۴- (۴ نمره) دو ورودی دو بیتی a و b (به صورت a_1a_0 و b_1b_0) و یک ورودی یک بیتی s داریم. می‌خواهیم مداری بسازیم که خروجی دو بیتی f_1f_0 در حالتی که $s=0$ برابر حاصل AND بیت به بیت a و b و در صورتی که $s=1$ برابر جمع a و b باشد. به خروجی c_{out} حاصل از جمع دو عدد نیازی نداریم.

الف- این مدار را با استفاده از دو مالتی پلکسر ۲ به ۱ و حداقل تعداد نیم‌افزا (half-adder) بسازید.

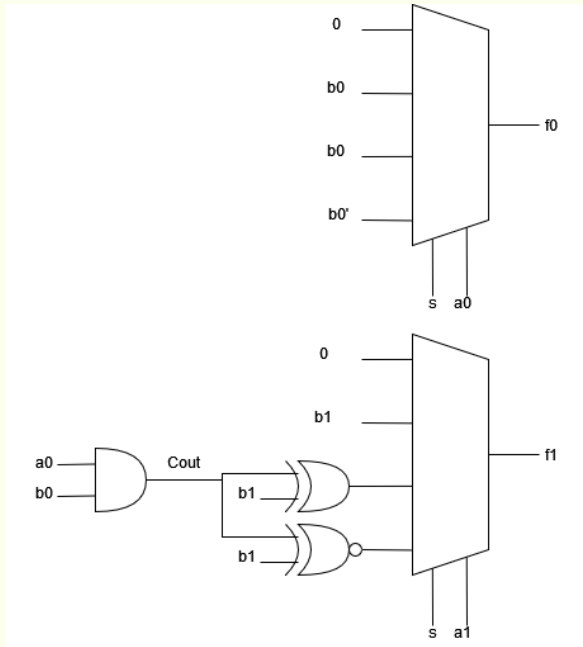
ب- این مدار را با استفاده از دو مالتی پلکسر ۴ به ۱ و حداقل تعداد گیت‌های پایه بسازید.

پاسخ:

الف



ب



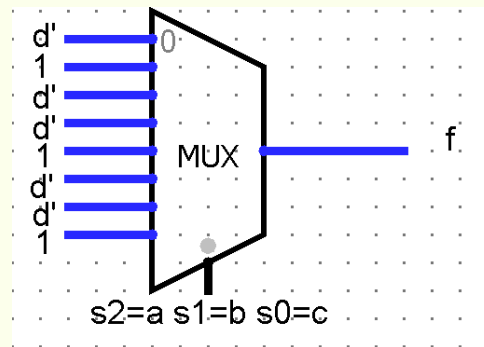
۵- (۴ نمره) می‌خواهیم مداری بسازیم که یک عدد چهار بیتی را دریافت کند و اگر این عدد مضربی از ۲ یا ۳ بود خروجی ۱ شود. (اگر ورودی صفر بود هم باید خروجی ۱ شود) با فرض اینکه مقدار و مکمل مقدار هر ۴ بیت ورودی به مدار داده شده است:

الف- این مدار را با استفاده از یک MUX دارای ۳ خط آدرس و کمترین تعداد گیت اضافه بسازید.

ب- این مدار را با استفاده از یک MUX دارای ۲ خط آدرس و کمترین تعداد گیت اضافه بسازید.

پاسخ:

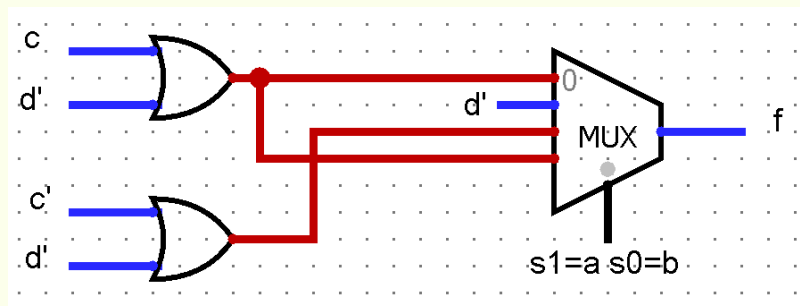
الف- مدار:



ب- جدول درستی:

a	b	c	d	f
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

مدار:



۶- (۲ نمره) با استفاده از یک 1×16 DMUX و حداقل تعداد گیت‌های OR و NOT یک کدگشای اولویت‌دار ۴ به ۲ (4×2 Priority Encoder) بسازید، طوری که اولویت بیشتر با ورودی‌های شماره کمتر باشد. کدگشای شما باید چهار ورودی D_0, D_1, D_2 و D_3 داشته باشد و سه خروجی x و y و v که xy شماره خط فعال ورودی را مشخص کند و v نشان‌دهندت معتبر (valid) بودن خروجی‌های x و y باشد.

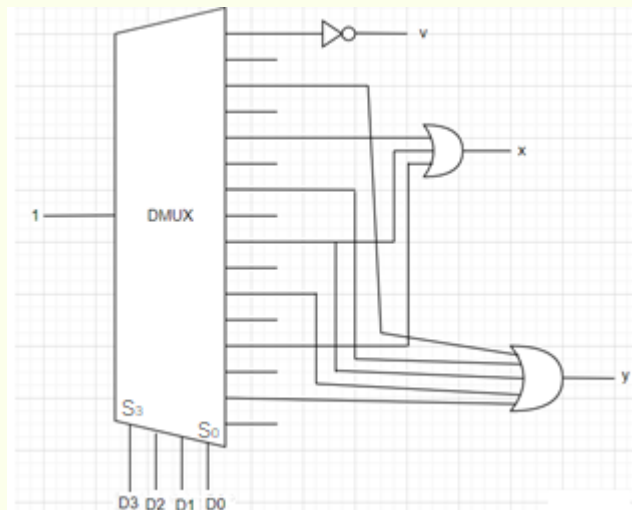
پاسخ:

ورودی اصلی DMUX را به ۱ و ورودی‌های انتخاب آن را به D_0, D_1, D_2 و D_3 وصل می‌کنیم و با توجه به جدول درستی، خروجی‌ها را به ترتیب زیر می‌سازیم:

$$x = \sum m(4,8,12)$$

$$y = \sum m(2,6,8,10,14)$$

$$v = \text{not}(m_0)$$



The logic circuit diagram implements the expression $(a+b)(c'+cd)$ using a 74148 3-to-8 decoder. The decoder has three inputs: a , b , and c . The output f is the result of the expression. The circuit uses the following logic:

- The OR gate output is $a + b$.
- The NOT gate output is c' .
- The AND gate output is cd .
- The OR gate output is $(a + b)'$.
- The AND gate output is $(a + b)'c$.
- The final output f is the result of the expression $(a + b)(c' + cd)$.

$$f = ac' + bc' + dc + a'b'c$$