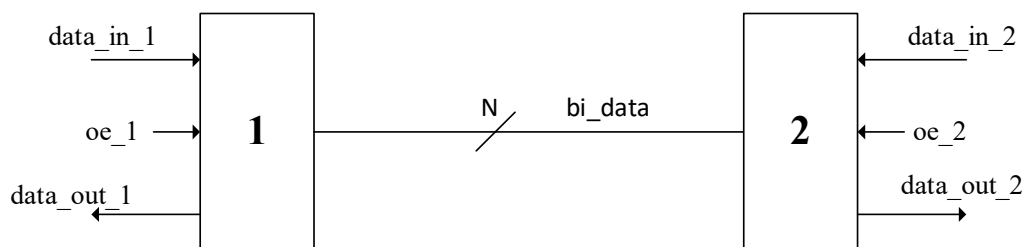


تمرین دوم

۱- گذرگاه دوطرفه زیر را به عرض N بیت با روش مدل‌سازی جریان داده^۱ طراحی کنید (اگر OE یک باشد داده روی گذرگاه ارسال می‌شود و اگر OE صفر باشد داده از گذرگاه دریافت می‌شود).

راهنمایی: برای اینکه پیاده‌سازی خود را برای N بیت امکان‌پذیر کنید؛ از پارامتر در زبان ورایلاگ استفاده کنید.



۲- این گذرگاه را با مدل‌سازی سطح گیت^۲ هم طراحی کنید. اگر تأخیر گیت‌های وارون و بافرسه‌حالت مطابق با جدول ۱ باشند، با استفاده از شبیه‌سازی، تأخیر برای انتقال ۸ بیت را در سه حالت کمینه، عمومی^۳ و بیشینه به دست آورید.

جدول ۱- جدول تأخیر گیت‌ها⁺

کمینه		عمومی		بیشینه	
Not	Tristate Buffer	Not	Tristate Buffer	Not	Tristate Buffer
2,1	5,4,4	3,2	6,5,5	4,3	7,6,6

+ به ترتیب از چپ به راست تأخیرها برابر است با Rise، Fall و Turn off

۳- با استفاده از گزارش‌های تأخیر در روش مدل‌سازی سطح گیت، تأخیرهای مناسب برای انتقال ۸ بیت را در طراحی مدل‌سازی جریان داده خود اعمال کنید و طراحی خود را شبیه‌سازی نمایید.

۴- باتوجه به تجربیات خود در این تمرین، مدل‌سازی سطح گیت و مدل‌سازی جریان داده را با هم مقایسه کنید.

¹ Dataflow Modeling

² Gate-Level Modeling

³ Typical