

تمرین شماره ۱.

مهلت ارسال: سه‌شنبه، ۲۹ اسفند ۱۴۰۲، ۱۱:۵۹ عصر

توصیف یک جمع‌کننده با الگوریتم Shift And Add را به زبان ASM بنویسید.

سپس جدول شبیه‌سازی را رسم کنید.

در نهایت Control Unit و Data Path را سنتز کنید.

تمرین شماره ۲.

مهلت ارسال: جمعه، ۱۰ فروردین ۱۴۰۳، ۱۱:۵۹ عصر

یک جمع‌کننده انتشاری ۸ بیتی را پیاده‌سازی کنید.

در این تمرین بایستی واحد اصلی جمع‌کننده و واحد FullAdder به صورت ساختاری طراحی شده اما واحد HalfAdder به صورت رفتاری باشد.

تأخیر واحدهای مختلف به صورت مقابل است (تأخیرها بر حسب نانو ثانیه هستند): Carry:2 - Sum:3 - OR: 0
ابتدا تأخیر جمع‌کننده را به صورت تئوری محاسبه نمایید سپس برای پیاده‌سازی خود یک تست‌بنچ بنویسید که در آن بیشترین تأخیر جمع‌کننده را نشان دهد. کد verilog پیاده‌سازی شده به همراه خروجی شبیه‌سازی ModelSim در گزارش خود ارسال کنید. نتایج شبیه‌سازی و محاسبات تئوری خود را مقایسه نمایید.

تمرین شماره ۳.

مهلت ارسال: دوشنبه، ۲۷ فروردین ۱۴۰۳، ۱۱:۵۹ عصر

با استفاده از توصیف رفتاری یک حافظه با ظرفیت ۱ کیلوبایت طراحی نمایید.

این حافظه دارای ۱۰ بیت خط آدرس و ۸ بیت خط داده می‌باشد.

خط داده‌ی این واحد از نوع inout است. برای این طراحی یک تست‌بنچ بنویسید تا عملکرد خواندن و نوشتن داده روی/از حافظه بررسی شود.