

سؤالات میان ترم - ترم دوم سال تحصیلی ۱۴۰۲-۱۴۰۳ - درس طراحی سیستم‌های دیجیتال

از بین سؤالات زیر را به فقط ۲ سؤال پاسخ دهید که مجموع آن بین ۱۰۰ تا ۱۲۰ نمره شود و تا روز شنبه ۲۹ اردیبهشت‌ماه ساعت ۲۳:۵۹ پاسخ را به همراه کد و مستندات پیاده‌سازی و ارائه توضیحات کامل در کوئرا آپلود نمایید. نمره ۱۰۰ نمره کامل این آزمون است و نمره بین ۱۰۰ تا ۱۲۰ به‌عنوان نمره تشویقی محسوب خواهد شد. لطفاً در انتخاب سؤالات دقت نمایید؛ زیرا حل بیش از ۲ سؤال منجر به افزایش نمره شما نخواهد شد. برای حل برخی سؤالات نیاز است مفاهیمی را از اینترنت مطالعه کرده و با آن‌ها آشنا شوید، این روند معمول امتحانات take-home است.

سؤال ۱:

یک ماژول وریلاگ با نام STACK_BASED_ALU برای اعداد صحیح علامت‌دار n بیتی طراحی کنید. ماژول باید دارای ورودی‌ها و خروجی‌های زیر باشد:

input_data: ورودی n بیتی

output_data: خروجی n بیتی

opcode: ورودی 3-bit (مشخص کردن عملیاتی که باید انجام شود)

overflow: خروجی بیت سرریز

(توجه: اگر خروجی/ورودی دیگری هم نیاز است به ماژول بیفزایید)

ماژول باید از عملیات زیر پشتیبانی کند:

Opcode '100': Addition

Opcode '101': Multiply

Opcode '110': PUSH

Opcode '111': POP

Opcode '0xx': No Operation (the term 'x' means 0 or 1)

عملوندهای Opcode ضرب و جمع دو عدد بالایی پشته است. دقت کنید نتیجه عملیات ضرب/جمع در خروجی ماژول در دسترس خواهند بود و تغییری در پشته ایجاد نخواهند کرد.

الف) برای طراحی خود testbench نوشته و آن را برای نه‌های ۴، ۸، ۱۶ و ۳۲ شبیه‌سازی کنید تا از صحت کارکرد آن مطمئن شوید. در آزمون خود بررسی صحت بیت‌سرریز را فراموش نکنید (۴۰ نمره).

ب) با استفاده از ماژول STACK_BASED_ALU ماژول دیگری نوشته که بتواند عباراتی مانند عبارات زیر را ابتدا به پسوندی تبدیل کند و سپس نتیجه آن را محاسبه کند (۲۰ نمره).

$$2 * 3 + (10 + 4 + 3) * -20 + (6 + 5)$$

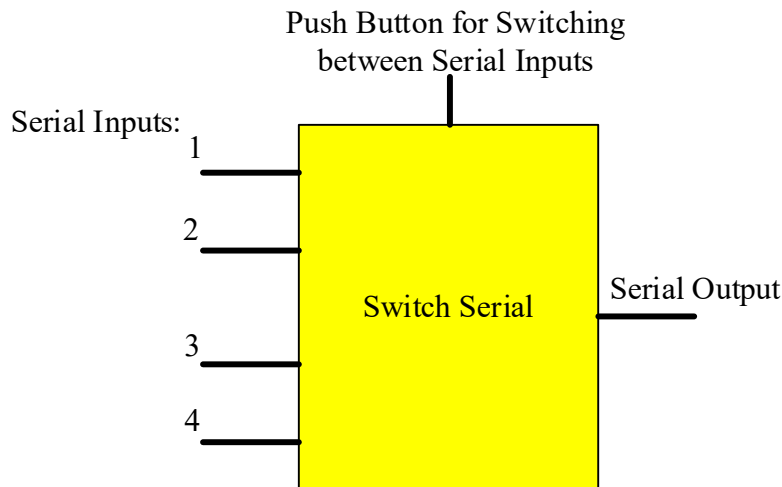
سؤال ۲:

الف) با استفاده از مدار Linear-feedback shift register (LFSR) یک ماژول تولید اعداد شبه‌تصادفی طراحی کنید که بتواند شبیه‌سازی مناسبی از عمل پرتاب یک جفت طاس در اختیار کاربر قرار دهد. برای ماژول خود Stimulus Block نوشته و طراحی خود را شبیه‌سازی کنید (۴۰ نمره)

ب) مدار خود را برای یک FPGA به انتخاب خود سنتز کنید. از گزارش‌های سنتز، بیشترین فرکانس ممکن برای این مدار را با ذکر دلیل مشخص کنید (۱۰ نمره).

سؤال ۳:

یک سوئیچ پورت RS-232 با قابلیت سوئیچ بین ۴ پورت RS-232 مانند شکل طراحی کنید. در این سوئیچ ۴ ورودی RS-232 وجود دارد که فقط یکی از آن‌ها می‌تواند به خروجی متصل شود. تغییر اتصال ورودی‌ها به خروجی توسط کلید فشاری قابل انجام است. به این صورت که از پورت ۱ شروع می‌کند و با هر بار فشار به پورت بعدی متصل می‌شود (بعد از پورت ۴ دوباره به پورت ۱ متصل می‌گردد). طراحی خود را برای baudrate های ۹۶۰۰ و ۱۱۵۲۰۰ و با تنظیم 8-N-1 مورد آزمون قرار دهید (۵۰ نمره).



سؤال ۴:

الف) یک ماژول حافظه با دسترسی تصادفی (RAM) هم‌زمان برای یک پردازنده با طول کلمه ۳۲ بیت با استفاده از زبان وریلاگ طراحی کنید که داده‌های یک کلمه به صورت Big-Endian ذخیره‌سازی شوند. ماژول باید دارای ورودی و خروجی‌های زیر باشد:

data_in: داده ورودی ۳۲ بیتی

address: آدرس ورودی ۱۶ بیتی

write_enable: ورودی ۱ بیتی برای فعال کردن نوشتن

read_enable: ورودی ۱ بیتی برای فعال کردن خواندن

data_out: داده خروجی ۳۲ بیتی

(توجه: اگر خروجی/ورودی دیگری هم نیاز است به ماژول بیفزایید)

برای طراحی خود testbench نوشته و آن را شبیه‌سازی کنید تا از صحت کارکرد آن مطمئن شوید (۴۰ نمره).

ب) طراحی خود را تغییر دهید تا داده‌های یک کلمه به صورت Little-Endian ذخیره‌سازی شوند. برای طراحی خود testbench نوشته و آن را شبیه‌سازی کنید تا از صحت کارکرد آن مطمئن شوید (۱۰ نمره).

سؤال ۵:

مدار کنترل یک آسانسور برای یک ساختمان چهارطبقه (همکف + ۴ طبقه) را طراحی کنید. ورودی‌های این مدار به ازای هر طبقه و همکف یک حسگر ورود به طبقه و یک حسگر خروج از طبقه است. زمانی آسانسور در یک طبقه یا همکف متوقف می‌شود که هر دو حسگر حضور آسانسور را تشخیص دهند. همچنین در همکف و هر طبقه یک دکمه فشاری جهت درخواست آسانسور و درون آسانسور ۵ دکمه فشاری جهت تعیین مقصد آسانسور تعبیه شده است. موتور این آسانسور با دو خروجی یکی برای تعیین جهت حرکت

(بالا/پایین) و دیگری برای تعیین وضعیت آسانسور (توقف/حرکت)، کنترل می‌گردد. در این آسانسور اولویت بر اساس زمان فشرده شدن دکمه‌ها تعیین می‌شود. با این حال در مسیر حرکت اگر دکمه‌ای فشرده شود؛ آسانسور در آن طبقه هم توقف می‌کند. به این معنا که اگر آسانسور طبقه ۲ باشد و دکمه طبقه ۵ و طبقه ۱ هر دو فشرده شوند. با این تفاوت که دکمه طبقه ۵ زودتر فشرده شده باشد. آسانسور به سمت بالا می‌رود. در این فاصله و قبل از گذر از طبقه ۴، اگر دکمه طبقه ۴ هم فشرده شود. آسانسور در طبقه ۴ هم توقف می‌کند؛ ولی همچنان به سمت بالا می‌رود و پس از توقف در طبقه ۵ به سمت پایین می‌رود. زمان توقف در هر طبقه را برابر با ۱۰۰ پالس ساعت در نظر بگیرید. نیاز به کنترل درب ورودی آسانسور نیست. مدار خود را برای سناریوهای متفاوت مورد آزمون قرار دهید. دقت کنید اگر تمامی سناریوهای ممکن را مدنظر قرار ندهید؛ نمره کامل را نخواهید گرفت (۶۰ نمره).

سؤال ۶:

یک مازول وریلاگ برای فلیپ‌فلاپ نوع D طراحی کنید و با استفاده از آن یک شمارنده حلقوی جانشون N بیتی طراحی بسازید. مدار خود را برای Nهای ۴، ۸، ۱۶ و ۳۲ مورد آزمون قرار دهید. دقت کنید در این سؤال از ویژگی پارامتر برای تعیین N و دستور generate برای ساخت شمارنده با N فلیپ‌فلاپ نوع D استفاده کنید (۵۰ نمره).

سؤال ۷:

یک پردازنده آرایه‌ای^۱ ۵۱۲ بیتی برای اعداد صحیح طراحی کنید که دارای ۳ بخش زیر است:

- یک رجیستر فایل با قابلیت ذخیره‌سازی ۴ آرایه ۵۱۲ بیتی با نام‌های A1 تا A4
- یک واحد ریاضی که قابلیت انجام ضرب و جمع را دارا باشد. ورودی این واحد ریاضی A1 و A2 و خروجی کم‌ارزش آن در A3 و پرارزش آن در A4 است.
- دارای یک حافظه با عمق ۵۱۲ و عرض ۳۲ بیت. این پردازنده امکان بارگزاری/ذخیره‌سازی ۱۶ خانه پشت‌سر هم از حافظه را دارا است.

مجموعه دستورات این پردازنده شامل: (۱) بارگزاری از حافظه در یکی از ثبات‌ها (۲) ذخیره‌سازی از یکی از ثبات‌ها به حافظه (۳) جمع واحد ریاضی (۴) ضرب واحد ریاضی است.

این پردازنده را با زبان وریلاگ طراحی کنید و برای اطمینان از صحت طراحی مدار خود را برای حالات مرزی مورد آزمون قرار دهید. دقت کنید اگر ورودی‌ها/خروجی‌های دیگری مانند پرچم‌های وضعیت نیاز است به پردازنده بیفزایید (۶۰ نمره).

سؤال ۸:

مداری برای مدیریت پارکینگ دانشگاه طراحی کنید که امکانات زیر را داشته باشد:

- اولویت فضای پارکینگ با اساتید و کارمندان دانشگاه است و این ظرفیت بر اساس آمار حداکثر ۵۰۰ خودرو تعیین گردیده است.
- باتوجه به اینکه فضای کل پارکینگ ۷۰۰ خودرو است از ساعت ۸ تا ۱۳ فقط ۲۰۰ ظرفیت خالی برای ورود آزاد موجود است.
- از ساعت ۱۳ تا ۱۶ به ازای هر ساعت ظرفیت ورود آزاد ۵۰ خودرو افزایش می‌یابد و در ساعت ۱۶ ظرفیت ورود آزاد به ۵۰۰ خودرو می‌رسد.

الف) اگر در هنگام ورود/خروج خودرو یک سیگنال ورودی به مدار نوع آن را مشخص کند (دانشگاه/آزاد)؛ با زبان وریلاگ مداری را توصیف کنید که دارای ورودی‌ها/خروجی‌های زیر باشد:

خروجی‌ها	
تعداد خودروهایی متعلق به دانشگاه که در پارکینگ پارک شده‌اند.	uni_parked_car

¹ Vector Processor

parked_care	تعداد خودروهای پارک شده در پارکینگ مربوط به ظرفیت آزاد
uni_vacated_space	تعداد فضای خالی متعلق به دانشگاه
vacated_space	تعداد فضاهای خالی مربوط به ظرفیت آزاد
uni_is_vacated_space	آیا فضای خالی برای دانشگاه موجود است؟
is_vacated_space	آیا فضای خالی برای ظرفیت آزاد موجود است؟
ورودی‌ها	
car_entered	ورود یک خودرو
is_uni_car_entered	آیا خودرو وارد شده متعلق به دانشگاه است؟
car_exited	خروج یک خودرو
is_uni_car_exited	آیا خودرو خارج شده متعلق به دانشگاه است؟

در صورتی که نیاز به ورودی‌ها/خروجی‌های دیگری هم است آن را با ذکر دلیل به طراحی خود بیفزایید و جهت اطمینان از صحت عملکرد مدار، مدار خود را مورد آزمون قرار دهید (۵۰ نمره).

ب) مدار خود را برای یک FPGA به انتخاب خود سنتز کنید. از گزارش‌های سنتز، بیشترین فرکانس ممکن برای این مدار را با ذکر دلیل مشخص کنید (۱۰ نمره).