

تمرین سوم

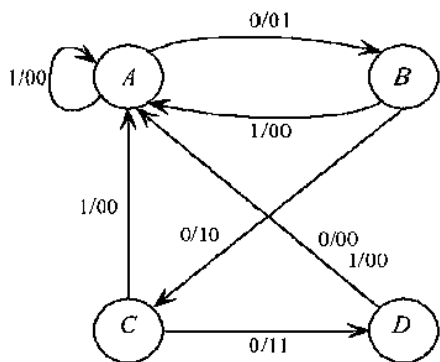
توجه: انجام تمرینات به صورت انفرادی است.

بخش اول:

(۱) یک حافظه هم‌زمان به عمق ۵۱۲ و عرض ۱۶ طراحی کنید که دارای دو پورت دوطرفه A و B با قابلیت خواندن/نوشتن در هر دو پورت باشد. در حافظه‌های دو پورت در یک پالس ساعت امکان دارد یک پورت خانه‌ای از حافظه که پورت دیگر می‌خواهد بر روی آن بنویسد را بخواند. در این حالت باید ابتدا داده خوانده شود و سپس بر روی آن خانه از حافظه نوشته شود. اگر هر دو پورت در یک پالس ساعت بخوانند در یک خانه از حافظه بنویسند باید داده پورت B در خانه حافظه نوشته شود و سیگنال w_race یک گردد. در این سوال پالس ساعت پورت A و B با هم یکسان است. برای طراحی خود testbench نوشته تا از صحت طراحی خود مطمئن شوید.

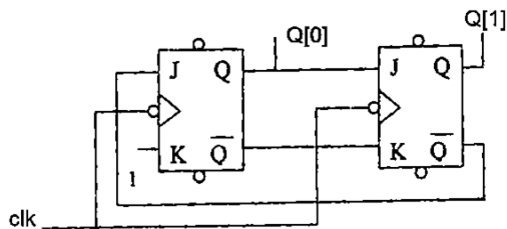
بخش دوم: با ذکر دلیل به سوالات زیر پاسخ دهید.

(۲) کدام توصیف وریلاگ زیر معادل ماشین حالت متناهی مقابل است؟ (i ورودی و o خروجی است)



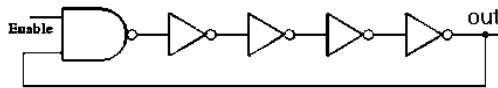
<p>(ب) <code>reg i; reg [1:0] o;</code> <code>always @(posedge clock) begin</code> <code>if (i == 1'b1)</code> <code>o = 2'b00;</code> <code>else</code> <code>o = o + 1'b1;</code> <code>end</code></p> <p>(ت) <code>reg i; reg [2:0] o;</code> <code>always @(posedge clock, i) begin</code> <code>if (i == 1'b1)</code> <code>o = 2'b00;</code> <code>else</code> <code>o = o + 1'b1;</code> <code>end</code></p>	<p>(الف) <code>reg i; reg [2:0] o;</code> <code>always @(i) begin</code> <code>if (i == 1'b1)</code> <code>o = 2'b00;</code> <code>else</code> <code>o = o + 1'b1;</code> <code>end</code></p> <p>(پ) <code>reg i; reg [1:0] o;</code> <code>always @(posedge clock) begin</code> <code>case (o)</code> <code>2'b00 : o = 2'b01;</code> <code>2'b01 : o = i ? 2'b00 : 2'b10;</code> <code>2'b10 : o = i ? 2'b00 : 2'b11;</code> <code>2'b11 : o = 2'b00;</code> <code>endcase</code> <code>end</code></p>
--	---

(۳) کدام توصیف وریلاگ زیر معادل مدار مقابل است؟ (مقدار ابتدایی فلیپ فلاپ‌ها صفر است)



<pre> reg [1:0]q = 2'b00; always @(negedge clk) begin q[0] <= ~q[1]; q[1] <= ~q[0]; end </pre>	(ب)	<pre> reg [1:0]q = 2'b00; always @(negedge clk) begin q[0] <= ~q[1]; q[1] <= q[0]; end </pre>	(الف)
<pre> reg [1:0]q = 2'b00; always @(negedge clk) begin q[0] <= ~q[1]; @(negedge clk) q[0] <= q[1]; q[1] <= q[0]; end </pre>	(ت)	<pre> reg [1:0]q = 2'b00; always @(negedge clk) begin q[0] <= ~q[1]; @(negedge clk) q[0] <= q[1]; q[1] <= q[0]; @(negedge clk) q[1] <= q[0]; end </pre>	(پ)

(۴) اگر هر گیت تأخیری برابر با ۲ داشته باشد؛ کدام توصیف وریلاگ زیر، معادل مدار مقابل است؟



<pre> reg out = 1'b0; always @(enable, out) begin out <= #2 (enable ? ~out : 1'b0); end </pre>	(ب)	<pre> reg out = 1'b0; always @(enable, out) begin out = #10 (enable ? ~out : 1'b0); end </pre>	(الف)
<pre> reg out = 1'b0; always @(enable, out) begin out <= #10 (enable ? ~out : 1'b1); end </pre>	(ت)	<pre> reg out = 1'b0; always @(enable, out) begin out = #2 (enable ? ~out : 1'b1); end </pre>	(پ)

(۵) کدام توصیف زیر بدون خطا است؟

<pre> module a(x, y); input x, y; always @(x, y) x <= 0; endmodule </pre>	(ب)	<pre> module a(output reg x, y); always y <= 0; endmodule </pre>	(الف)
<pre> module a(x, y); output x, y; assign x = y; endmodule </pre>	(ت)	<pre> module a(input reg x, y); always @(x, y) #10 y <= 0; endmodule </pre>	(پ)