

امکان مایه‌ری در معماری - سیمال اول ۰۲ - ۱۴۰۱

حل سوالات :

۱۱-۱۵ ۱۶-۲۰ ۲۱-۲۵ ۲۶-۳۱

LWI	RS	RT	Rd	shamt	f
-----	----	----	----	-------	---

الف - ۲ نمره

دیت بالای رستد داده و کنترل می شود
دو بیت که باید با هم جمع شوند: Rd و RS
هشت بیت ۲۱-۲۵ وارد ReadReg
می شود و باید ۱۱-۱۵ وارد ReadReg²
شود و write-reg باید ۶-۲۰ باشد
بسیار دیکر mux دیت ۲ RReg اضافه
شود که باید سینال ترک جدید کنترلی شود
بقیه سیردیه نقدی با LW کاری ندارد

ب- اضافه کردن mux - ۱ نمره

ج - ۷ نمره

RegDst / Branch / MRead / MtoReg / MWrite / ALUSrc / RegWrite
0 0 1 1 0 0 1

۱- (۱۰ نمره) بلوک دیاگرام مسیر داده و کنترل پردازنده ساده شده MIPS را در شکل ۱ مشاهده می کنید. می خواهیم دستور زیر را به مجموعه دستورات این پردازنده اضافه کنیم:

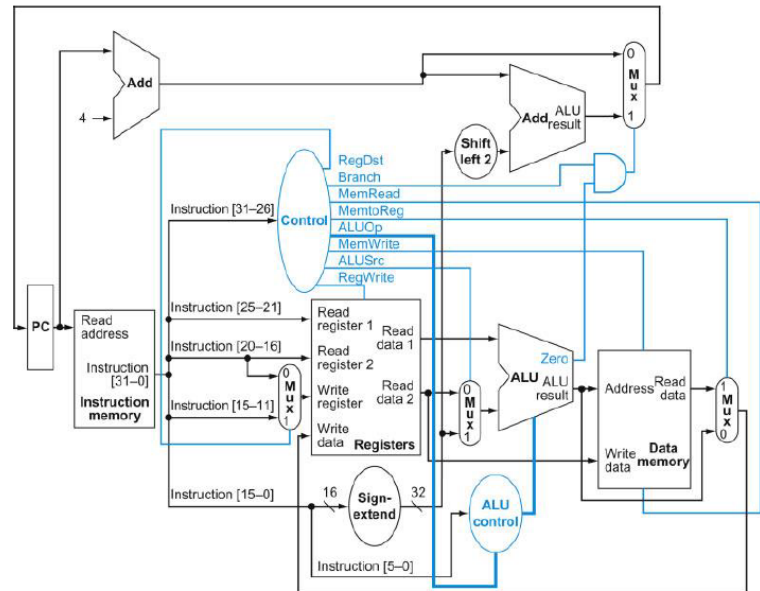
LWI Rt, Rd(Rs) # Reg[Rt] = Mem[Reg[Rd] + Reg[Rs]]

الف- مسیر داده اجرای این دستور را بر مبنای شکل مشخص کنید.

ب- آیا لازم است برای اجرای این دستور در شکل زیر تغییری بدهیم؟ توضیح دهید.

ج- برای اجرای این دستور، مقادیر هر یک از سیگنال های کنترلی زیر چه باید باشد؟

RegDst, Branch, MemRead, MemtoReg, MemWrite, ALUSrc, RegWrite



شکل ۱- بلوک دیاگرام مسیر داده و کنترل پردازنده ساده MIPS

$$\begin{cases} p_i = a_i \oplus b_i \\ g_i = a_i \cdot b_i \end{cases} \quad \begin{aligned} P_k &= P_i P_{i+1} P_{i+2} P_{i+3} \\ G_k &= \text{AND-OR}(P_i, g_i, C) \end{aligned}$$

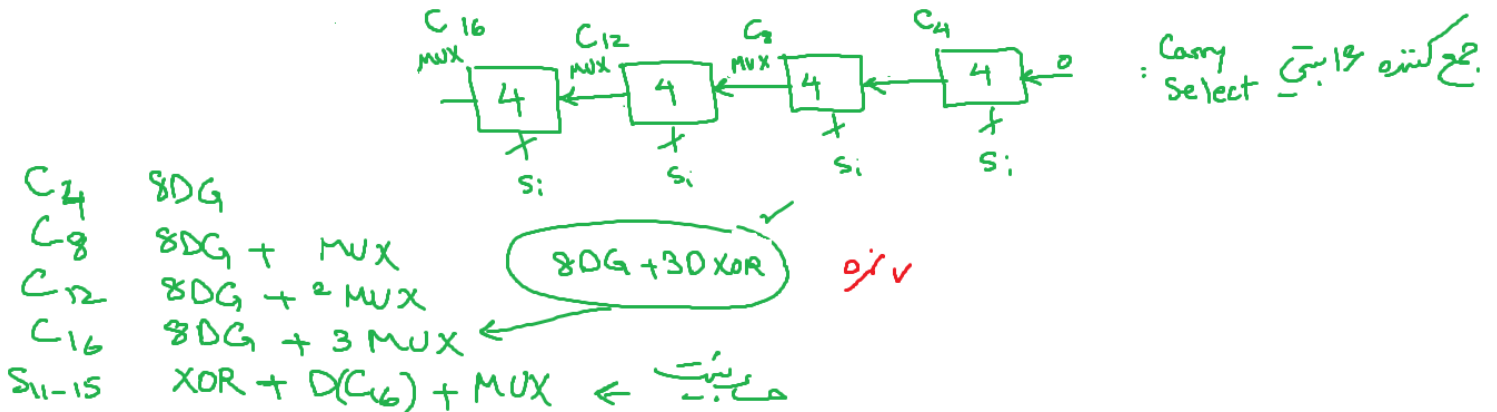
۲- (۱۵ نمره) تاخیر یک جمع کننده ۱۶ بیتی را که از دو لایه CLA (Carry-look-ahead) استفاده می کند یا تاخیر یک جمع کننده Carry Select که از چهار لایه هر کدام با ۴ تمام افزا (Full-Adder) تشکیل شده مقایسه کنید. در محاسبات خود تاخیر هر مالتی پلکسر را DMUX، تاخیر هر گیت XOR را DXOR و تاخیر هر گیت AND یا OR را DG بنامید و فرض کنید همیشه $2DG < DXOR < DMUX$ باشد.

جمع کننده ۱۶ بیتی با دو لایه CLA

$$a_i \xrightarrow{\text{XOR AND}} \begin{matrix} p_i \\ g_i \end{matrix} \xrightarrow{\text{AND-OR}} \begin{matrix} P_k \\ G_k \end{matrix} \xrightarrow{\text{AND-OR}} C_k \xrightarrow{\text{AND-OR}} C_i \xrightarrow{\text{XOR}} s_i$$

$$DXOR + 2DG + 2DG + 2DG + DXOR = 2DXOR + 6DG \quad \leftarrow \text{نمره ۸}$$

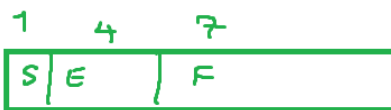
معدی کرد در تمرین بود، با این سوال تفاوت طرد. در تمرین دو عدد ۳۲ بیتی را جمع می کنیم. برای جمع ۱۲ بیت اول و دوم و سوم از دو لایه CLA استفاده می کنیم، اما خود ۱۲ بیت اول، ۱۲ بیت دوم و ۸ بیت سوم به صورت ripple به هم وصل هستند.



۳- (۱۰ نمره) شکل ۲ مدار جمع کننده دو عدد ممیز شناور را نشان می دهد. فرض کنید قالب نمایش اعداد ممیز شناور مشابه با استاندارد IEEE 754 است، اما در یک فرمت ۱۲ بیتی، شامل یک بیت علامت، چهار بیت نما (Exponent) و هفت بیت کسری (Fraction).

الف- عدد ۰.۰۱ را با این فرمت نمایش دهید.

ب- توضیح دهید سیگنال های کنترلی s0، s1، s2 و shamt در چه شرایطی فعال می شوند؟



$$0.1 \times 2 = 0.2 \quad 0.00011$$

$$0.2 \times 2 = 0.4$$

$$0.4 \times 2 = 0.8$$

$$0.8 \times 2 = 1.6$$

$$0.6 \times 2 = 1.2$$

$$0.2 \times 2 = 0.4 \quad \leftarrow \text{کنترل}$$

$$\begin{aligned} \text{exp1} < \text{exp2} & \quad s_0 = 1 \\ \text{exp1} > \text{exp2} & \quad s_0 = 0 \end{aligned}$$

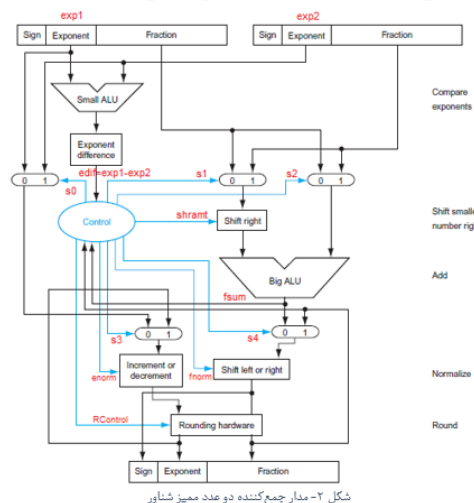
$$\begin{aligned} \text{exp1} < \text{exp2} & \quad s_1 = 0 \\ \text{exp1} > \text{exp2} & \quad s_1 = 1 \end{aligned}$$

s_0 : انتخاب نمایی بزرگتر (بزرگتر)

s_1 : انتخاب نمایی کوچکتر بزرگتر

s_2, s_1'

shamt: تعداد بیت سبقت - (عدد نمایی)



شکل ۲- مدار جمع کننده دو عدد ممیز شناور

۴- (۲۵ نمره) در یک پردازنده مبتنی بر خط لوله ۵ مرحله‌ای (IF, ID, EX, MEM و WB)، زمان لازم برای اجرای هر مرحله به ترتیب ۲۰۰، ۱۱۰، ۱۲۰، ۱۹۰ و ۱۰۰ پیکوثایه است.

الف- فرض کنید در همه برنامه‌هایی که روی این پردازنده اجرا می‌شوند، اولاً دستورات پرش به درستی پیش‌بینی می‌شوند و ثانیاً حافظه داده و دستور یکی است و اولویت با دسترسی به حافظه داده است. در این صورت چه نوعی از مخاطره (hazard) رخ نخواهد داد؟ چه نوعی از مخاطره حتماً رخ خواهد داد؟ چه نوعی از مخاطره ممکن است در شرایط خاصی رخ دهد؟

ب- زمان اجرای قطعه برنامه زیر را بر حسب تعداد چرخه ساعت و نیز بر حسب نانو ثانیه محاسبه کنید. برای پاسخ به این سوال با رسم جدول دقیقاً مشخص کنید در هر چرخه ساعت هر دستور در کدام مرحله از خط لوله قرار دارد.

```
sw r16, 12(r6).
lw r16, 8(r6).
beg r5, r4, Label # Assume r5!=r4.
add r5, r1, r4.
slt r5, r15, r4.
```

ج- فرض کنید با اعمال تغییراتی در فرمت دستورات **lw** و **sw**، دو مرحله **MEM** و **EX** را با هم ترکیب کنیم. بیشتر عملیات این دو مرحله را می‌توان به صورت موازی انجام داد، بنابراین می‌توان فرض کرد زمان اجرای این مرحله از خط لوله برابر خواهد شد با ماگزیمم زمان اجرای هر یک از این دو مرحله به علاوه ۲۰ پیکوثایه برای انجام کارهایی که حتماً باید به صورت غیرموازی انجام شود. در چنین شرایطی و با در نظر گرفتن شرایط بند الف، مجدداً به سوال بند ب پاسخ دهید.

د- این بار فرض کنید در همان پردازنده با خط لوله ۵ مرحله‌ای حافظه داده و دستور از هم جدا است و امکان پیش‌بینی دستورات پرش وجود ندارد و شرط پرش در مرحله **EX** محاسبه می‌شود. یک بار دیگر به سوال بند ب پاسخ دهید.

ه- بدون در نظر گرفتن تعلیق‌های ناشی از انواع مخاطرات، تسریع حاصل از به‌کارگیری یک خط لوله ۵ مرحله‌ای در مقایسه با مسیر داده بدون خط لوله برای اجرای N دستور متوالی از چه رابطهای به دست می‌آید؟ وقتی $N \rightarrow \infty$ تسریع چند می‌شود؟

و- فرض کنید ۲۰٪ دستورات یک برنامه از نوع دستورات پرش هستند و امکان پیش‌بینی دستورات پرش وجود ندارد اما شرط پرش در فاز **ID** محاسبه می‌شود. در این صورت به سوال بند ه دوباره پاسخ دهید.

sw	F	D	E	M	W	$Y_{n+11} = Y_n$ $o/r + o/r$					
lw	-	F	D	E	M		W				
beg	-	-	F	D	E		M	W			
add	-	-	-	○	○		F	D	E	M	W
slt	-	-	-	-	-		-	F	D	E	M

$$20 \times 11 = 220$$

$$20 \times 4 = 80$$

sw	F	D	E	M	W	$Y_1 \cdot x_{10} = Y_{10}$ $0x4 + 0x2$					
lw	-	F	D	E	M		W				
beg	-	-	F	D	E		M	W			
add	-	-	-	○	○		F	D	E	M	W
slt	-	-	-	-	-		-	F	D	E	M

$$20 \times 10 = 200$$

$$20 \times 2 = 40$$

است

مخاطره کمتر رخ می‌دهد (۳ نمره)

مخاطره کمتر رخ می‌دهد

مخاطره دارد ممکن است در شرایطی رخ دهد

۱۰

$$S = \frac{720 \cdot N}{1000 + 200(N-1)} \Rightarrow \frac{N \rightarrow \infty}{S} \rightarrow \frac{720}{200} = 3.6$$

۳ نمره

۹

$$S = \frac{720 \cdot N}{1000 + 200(N-1) + 200 \times 12 \times N - 1}$$

$$= \frac{720 \cdot N}{1000 + 240(N-1)}$$

$$\Rightarrow \frac{N \rightarrow \infty}{S} \rightarrow \frac{720}{240} = 3$$

۲ نمره

sw	F	D	E	M	W	$y-x11=y2$ روز 3 + روز 4				
lw	-	F	D	E	M		W			
beg	-	-	F	D	E		M	W		
add	-	-	-	-	F		D	E	M	W
slt	-	-	-	-	-		F	D	E	M

$$20 \times 11 = 220$$

$$20 \times 2 + 20 \times 3$$

۱/۱

۸

۵- (۲۰ نمره) در کاربردهای چندرسانه‌ای معمولاً حجم بسیار زیادی داده به حافظه آورده می‌شود بدون آنکه مجدداً از آن استفاده شود. یک بار کاری ویدیویی در نظر بگیرید که به طور متوالی به آدرس پشته‌های زوج از یک مجموعه کاری ۵۱۲ کیلوبایتی مراجعه می‌کند. به عبارت دیگر، آدرس‌های زیر به ترتیب (و فقط یک بار) مورد دسترسی قرار می‌گیرند (آدرس‌ها، آدرس پشته هستند):

0, 2, 4, 6, 8, 10, 12, ...

یک حافظه نهان با نگاشت مستقیم به ظرفیت ۶۴ کیلوبایت و سطرهای (بلوک‌های) ۲۲ بایتی را در نظر بگیرید و به سوالات زیر پاسخ دهید.

الف- نرخ فقدان (miss rate) برای دنباله آدرس فوق چقدر است؟

ب- این نرخ فقدان تا چه اندازه به اندازه حافظه نهان یا اندازه مجموعه کاری حساس است؟

ج- فقدان‌هایی که رخ می‌دهد در شمار کدام یک از سه دسته فقدان موسوم به 3C محسوب می‌شوند؟

د- این بار کاری از کدامیک از انواع دسترسی موضعی بهره می‌برد؟

ه- نرخ فقدان را برای حافظه نهان با سطرهای ۱۶، ۶۴ و ۱۲۸ بایتی نیز محاسبه کنید.

حال فرض کنید حافظه نهان از نوع انجمنی دو انتخابی (2-way set associative) باشد و با همان ظرفیت ۶۴ کیلوبایت باشد. به سوالات زیر پاسخ دهید.

و- این حافظه نهان چند مجموعه دارد؟

ز- با فرض این که آدرس‌های حافظه اصلی ۲۲ بایتی باشد، هر یک از فیلدهای set-index, tag و block-offset چند بیت دارند؟

ح- حجم کل حافظه نهان، با احتساب برچسب‌ها و بیت‌های valid چند بیت است؟

ط- نرخ فقدان برای همان مجموعه کاری با ویژگی‌هایی که دارد چه تغییری می‌کند؟ چرا؟

۱-
$$\frac{64 \times 1024 \text{ Byte}}{2 \times 32 \text{ Byte}} = 1024 \text{ بیتی}$$
 نمره ۱

۲-
$$32 - 15 = 17 \quad 10 \quad 5$$

tag	index	offset
-----	-------	--------

نمره ۳

$$2^6 + 3 = 512$$

۳- هر سطر
$$2 \times (1 + 17 + 32 \times 8) \text{ bit} = 548 \text{ bit}$$
 نمره ۵

حجم کل
$$548 \times 1024 = 561152 \text{ bit}$$

ط- هیچ فرقی نمی‌کند + توضیح نمره ۲

الف- هر سطر که وارد شود ۶۴ بار مورد دسترسی

قرار می‌گیرد، بنابراین نرخ فقدان $\frac{1}{16}$ است نمره ۲

ب- به هیچ کدام نمی‌رسند نمره ۲

ج- فقدان‌ها را به سه دسته (Compulsary) نمره ۱

۴- تمرکز موضعی در مکان نمره ۱
spatial locality

۵-
$$\frac{1}{8} + \frac{1}{16} + \frac{1}{32} = \frac{7}{32}$$
 نمره ۳