



## معماری کامپیوتر

نام و نام خانوادگی:

شماره دانشجویی:

## آزمون میان ترم - آذر ۱۴۰۱

سوال اول- در شکل ۱ بخشی از مسیر داده یک پردازنده را می بینید.

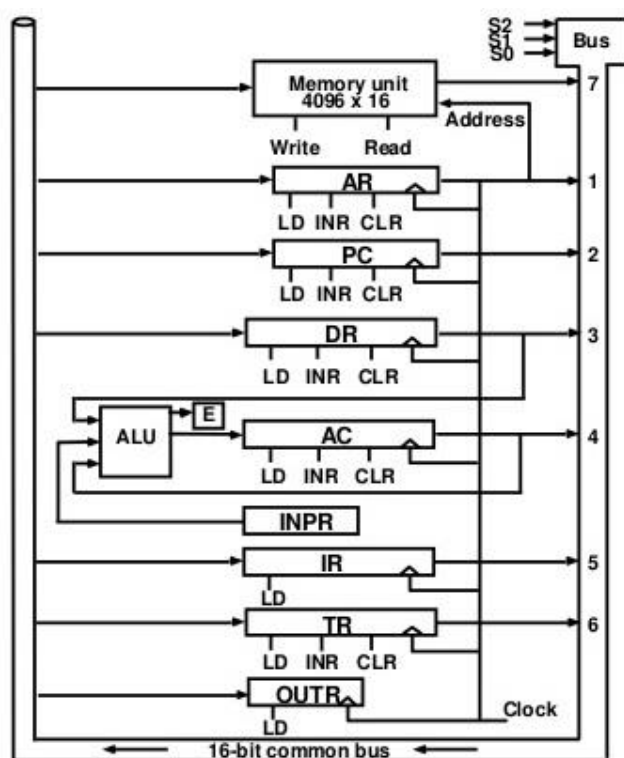
در هر زمان یکی از ثبات های AR، PC، DR، AC، IR و TR یا حافظه می توانند داده خود را روی گذرگاه قرار دهند. کنترل این گذرگاه (انتخاب داده ای که روی آن قرار می گیرد) توسط سه بیت  $s_2, s_1, s_0$  انجام می شود. برای مثال، اگر  $s_2s_1s_0=100$  محتوای AC روی گذرگاه قرار می گیرد.

انتخاب آدرس حافظه توسط ثبات AR انجام می شود. بنابراین اگر  $s_2s_1s_0=111$  محتوای خانه ای از حافظه که آدرس آن در AR است ( $M[AR]$ ) روی گذرگاه قرار می گیرد.

با فعال کردن ورودی LD (load) می توان محتوای گذرگاه را روی همه حافظه و ثبات ها (به جز AC) ذخیره کرد.

بعضی از ثبات ها (از جمله AR، PC، TR و AC) قابلیت شمارش رو به بالا هم دارند که با فعال کردن بیت INC (increment) انجام می شود. محتوای همین ثبات ها را می توان با فعال کردن بیت CLR (clear) صفر کرد.

نام کامل هر ثبات و توصیف RTL عمل دستور CMA در شکل دیده می شود. در این توصیف عملیاتی که در  $T_2$  انجام می شود مربوط به کدگشایی دستورات است که جزییات آن اینجا اهمیتی ندارد. تنها مورد قابل اعتنا این است که بیت های  $r$  و  $Di$  و  $Bi$  براساس نوع دستور مقداری می شوند.



شکل ۱- مسیر داده یک پردازنده

AR (Address Register)  
PC (Program Counter)  
DR (Data Register)  
AC (Accumulator)  
IR (Instruction Register)  
TR (Temporary Register)  
INPR (Input Register)  
OUTR (Output Register)  
E (Extended Bit)

RTL for CMA (Complement Accumulator):

$T_0: AR \leftarrow PC$   
 $T_1: IR \leftarrow M[AR], PC \leftarrow PC+1$   
 $T_2: \dots ; \text{decode the instruction}$   
 $rB_9T_3: AC \leftarrow \text{not}(AC)$

الف- توضیح دهید که در  $T_0$  و  $T_1$  (در مجموع) چه کاری انجام می شود؟

ب- توصیف RTL خط بعد از  $T_2$  را در هر یک از دستورات زیر بنویسید و توضیح دهید با اجرای این خط کدامیک از خطوط کنترلی در شکل فعال می شوند.

یکی از این دو:

دستور CLA: Clear AC (وقتی انجام می شود که r و B<sub>11</sub> فعال شود)

دستور INC: Increment AC (وقتی انجام می شود که r و B<sub>5</sub> فعال شود)

یکی از این سه:

دستور SZA: Skip next instruction if AC is Zero (وقتی انجام می شود که r و B<sub>2</sub> فعال شود)

دستور SNZ: Skip next instruction if AC is negative (وقتی انجام می شود که r و B<sub>3</sub> فعال شود)

دستور SPA: Skip next instruction if AC is positive (وقتی انجام می شود که r و B<sub>4</sub> فعال شود)

ج- توضیح دهید آیا ممکن است RTL های زیر در یک clock انجام شود؟ چرا؟

یکی از این چند مورد:

TR ← DR+1

DR ← TR+1

PC ← AR+1

AR ← PC+1

یکی از این چند مورد:

DR ← DR+1

TR ← TR+1

AR ← AR+1

یکی از این چند مورد:

AC ← TR

AC ← IR

AC ← PC

یکی از این چند مورد:

PC ← 0, PC ← AC

DR ← 0, DR ← AC

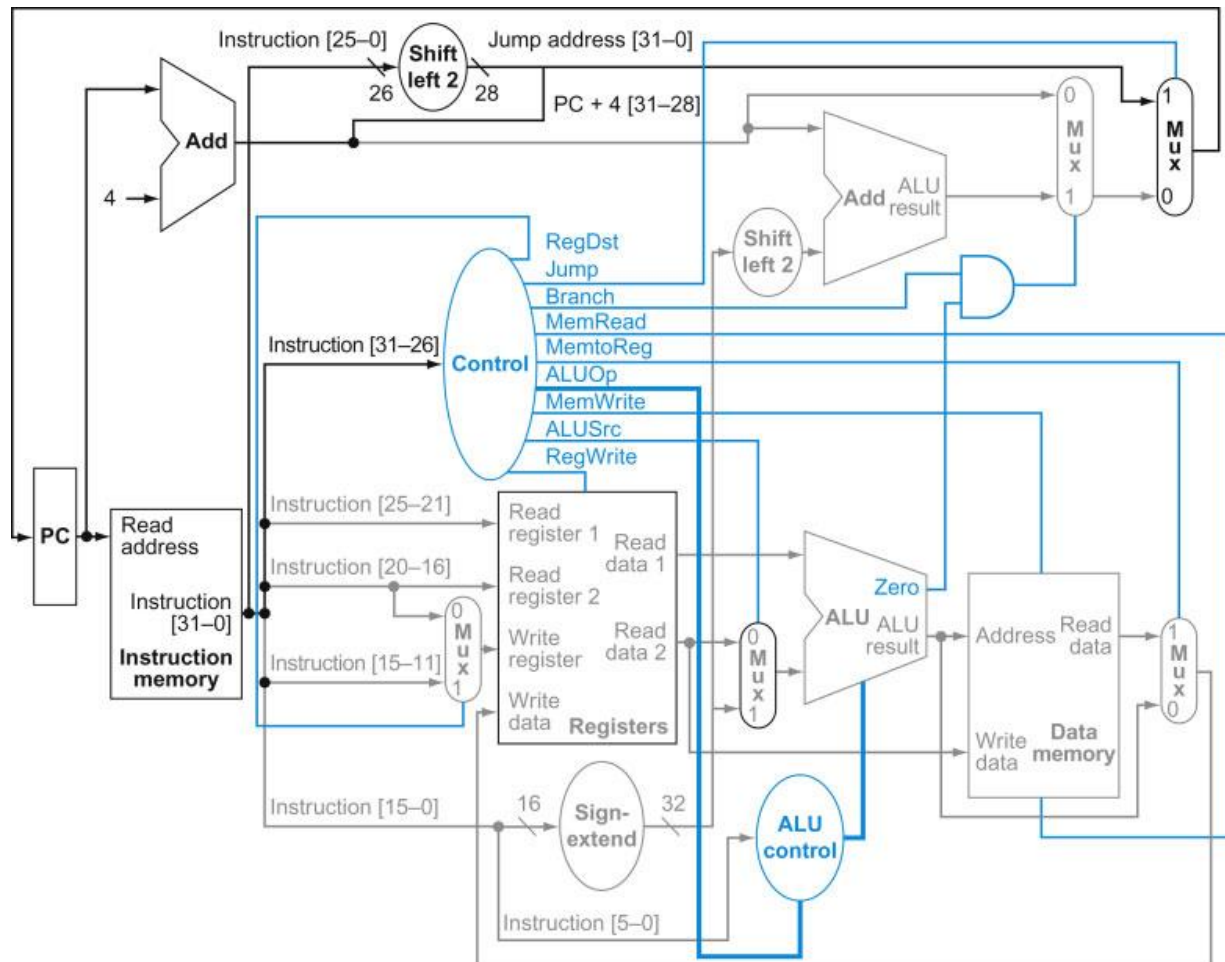
AR ← 0, AR ← AC

TR ← 0, TR ← AC

سوال دوم - بلوک دیاگرام مسیر داده و کنترل پردازنده MIPS را در شکل ۲ مشاهده می‌کنید. عملیات کنترل در این شکل توسط تعدادی سیگنال کنترلی انجام می‌شود که در جداول ۱ و ۲ آمده است. اگر بخواهیم دستورالعمل sll را هم به مجموعه دستورالعمل‌ها اضافه کنیم، چه تغییراتی باید در شکل و جداول بدهیم؟ چه قابلیت‌هایی باید به ALU اضافه کنیم؟

توجه کنید فرمت دستور sll به شکل زیر است:

000000	00000	Rt	Rd	shamt	000000
--------	-------	----	----	-------	--------



شکل ۲- بلوک دیاگرام مسیر داده و کنترل پردازنده ساده MIPS

جدول ۱- شرح ارتباط سیگنال‌های واحد ALU Control در شکل ۲

Instruction opcode	ALUOp	Instruction operation	Funct field	Desired ALU action	ALU control input
LW	00	load word	XXXXXX	add	0010
SW	00	store word	XXXXXX	add	0010
Branch equal	01	branch equal	XXXXXX	subtract	0110
R-type	10	add	100000	add	0010
R-type	10	subtract	100010	subtract	0110
R-type	10	AND	100100	AND	0000
R-type	10	OR	100101	OR	0001
R-type	10	set on less than	101010	set on less than	0111

جدول ۲- شرح ارتباط سیگنال‌های واحد Control در شکل ۲

Input or output	Signal name	R-format	lw	sw	beq
Inputs	Op5	0	1	1	0
	Op4	0	0	0	0
	Op3	0	0	1	0
	Op2	0	0	0	1
	Op1	0	1	1	0
	Op0	0	1	1	0
Outputs	RegDst	1	0	X	X
	ALUSrc	0	1	1	0
	MemtoReg	0	1	X	X
	RegWrite	1	1	0	0
	MemRead	0	1	0	0
	MemWrite	0	0	1	0
	Branch	0	0	0	1
	ALUOp1	1	0	0	0
	ALUOp0	0	0	0	1

سوال سوم - دو پیاده‌سازی مختلف M1 و M2 از یک مجموعه دستورات یکسان را در نظر بگیرید. این مجموعه دستورات شامل سه رده دستورالعمل A، B و C است. جدول ۳ تعداد متوسط چرخه‌های ساعت را برای هر کدام از این رده‌ها در هر یک از ماشین‌های M1 و M2 نشان می‌دهد. نرخ ساعت در M1 و M2 به ترتیب ۶ و ۳ گیگاهرتز است.

جدول ۳

Class	CPI on M1	CPI on M2	C1 usage	C2 Usage	C3 Usage
A	2	1	40%	40%	50%
B	3	2	40%	20%	25%
C	5	2	20%	40%	25%

علاوه بر این، جدول ۳ درصد استفاده از دستورات هر یک از رده‌های A، B و C را توسط سه کامپایلر C1، C2 و C3 نشان می‌دهد. کامپایلر C1 توسط سازندگان M1، کامپایلر C2 توسط سازندگان M2 و کامپایلر C3 توسط یک گروه مستقل ارائه شده است. فرض کنید تعداد دستورات برنامه‌هایی که با این کامپایلرها تولید می‌شود، برابر است و تنها تفاوت آنها درصد استفاده از دستورات هر رده است. با توجه به این نکته، به سوالات زیر پاسخ دهید.

- ۳-۱- متوسط اجرای یک دستور از یک برنامه که با C1 کامپایل شده است، روی M1 چند نانو ثانیه طول می‌کشد؟
- ۳-۲- متوسط اجرای یک دستور از یک برنامه که با C1 کامپایل شده است، روی M2 چند نانو ثانیه طول می‌کشد؟
- ۳-۳- متوسط اجرای یک دستور از یک برنامه که با C2 کامپایل شده است، روی M1 چند نانو ثانیه طول می‌کشد؟
- ۳-۴- متوسط اجرای یک دستور از یک برنامه که با C2 کامپایل شده است، روی M2 چند نانو ثانیه طول می‌کشد؟
- ۳-۵- متوسط اجرای یک دستور از یک برنامه که با C3 کامپایل شده است، روی M1 چند نانو ثانیه طول می‌کشد؟
- ۳-۶- متوسط اجرای یک دستور از یک برنامه که با C3 کامپایل شده است، روی M1 چند نانو ثانیه طول می‌کشد؟
- ۳-۷- اگر همه عوامل دیگر از جمله قیمت یکسان باشد، شما کدام ماشین و کدام کامپایلر را انتخاب می‌کنید، چرا؟