



به موارد زیر توجه کنید:

- ۱- حتما نام و شماره دانشجویی خود را روی پاسخ نامه بنویسید.
- ۲- کل پاسخ تمرینات را در قالب یک فایل pdf با شماره دانشجویی خود نام گذاری کرده در سامانه CW بارگذاری کنید.
- ۳- این تمرین ۶۰ نمره دارد که معادل ۰,۶ نمره از نمره کلی درس است.
- ۴- در صورت مشاهده هر گونه مشابهت نامتعارف هر دو (یا چند) نفر کل نمره این تمرین را از دست خواهند داد.

۱- (۱۰ نمره) مداری بسازید که مکمل یک عدد ورودی چهار بیتی را بر اساس دو بیت کنترلی  $S_1S_0$ ، به ترتیب زیر تولید کند.

$S_1S_0$	Operation
00	No Complement do nothing
01	1's Complement bitwise NOT
10	2's Complement bitwise NOT, then increment
11	9's Complement add with 6, then bitwise NOT

پاسخ: برای ساخت مکمل ۹ باید عدد از ۹ کم شود. اگر عدد را  $x$  فرض کنیم، داریم:

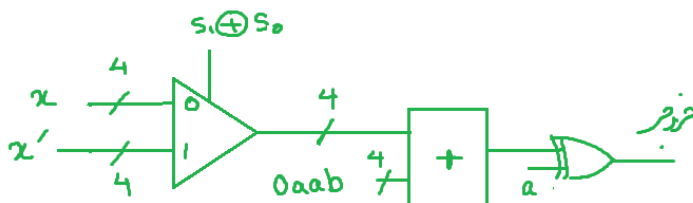
$$9 - x = 15 - (x + 6)$$

بنابراین می توانیم ابتدا عدد را با ۶ جمع کنیم و سپس بیت به بیت مکمل کنیم.

دو متغیر کمکی  $a$  و  $b$  تعریف می کنیم، طوری که:

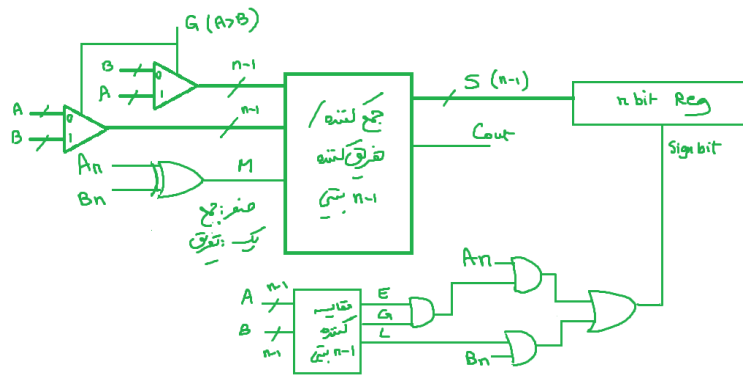
$$a = S_1S_0 \quad b = S_1S'_0$$

به این ترتیب عدد چهاربیتی  $0aab$  اگر  $S_1S_0=10$  برابر با 0001 و اگر  $S_1S_0=11$  برابر با 0110 خواهد بود. بنابراین مداری که مورد نظر ما است به این ترتیب ساخته می شود:



۲- (۱۰ نمره) مداری بسازید که دو عدد  $n$  بیتی علامت دار را که با روش مقدار-علامت (Signed-magnitude) نمایش داده شده اند، با هم جمع کند. برای ساخت این مدار از یک جمع کننده/تفریق کننده  $n-1$  بیتی، یک مقایسه کننده  $n-1$  بیتی و حداقل تعداد گیت استفاده کنید. فرض کنید جمع کننده/تفریق کننده شما یک ورودی کنترلی  $M$  دارد که اگر یک باشد تفریق و اگر صفر باشد جمع می کند.

پاسخ: مدار شکل زیر قدرمطلق دو عدد را با هم جمع (یا از هم کم) می کند و همزمان با هم مقایسه می کند تا علامت نتیجه را به دست آورد.



۳- (۲۰ نمره)

الف- یک تفریق کننده بسازید که سه بیت  $x$  و  $y$  و  $Bin$  (بیت قرضی ورودی) را دریافت و دو خروجی  $D$  (تفاضل) و  $Bout$  (بیت قرضی خروجی) را تولید کند.

ب- بر مبنای مداری که در بخش الف ساختید، روابطی مشابه با روابط Carry Look Ahead برای محاسبه بیت‌های قرضی در یک تفریق کننده چهار بیتی به دست آورید. نام این روش را Borrow Look Ahead (BLA) می‌گذاریم.

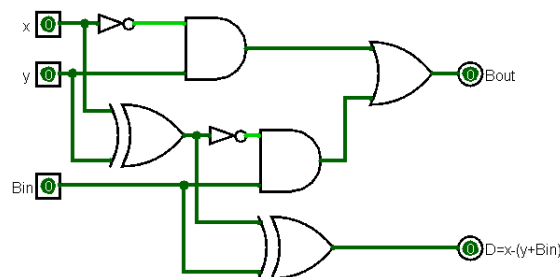
ج- یک جمع کننده/تفریق کننده چهار بیتی بسازید که بسته به یک یا صفر بودن یک ورودی کنترلی به نام  $M$ ، دو عدد ورودی را به صورت CLA یا با هم جمع یا به صورت BLA از هم کم کند.

پاسخ: برای ساخت تفریق کننده ابتدا جدول درستی سمت چپ را رسم کرده و از روی آن توابع  $D$  و  $Bout$  را به دست می‌آوریم و مدار را رسم می‌کنیم.

$x$	$y$	$Bin$	$Bout$	$D$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

$$Bout = x'y + Bin(x \odot y)$$

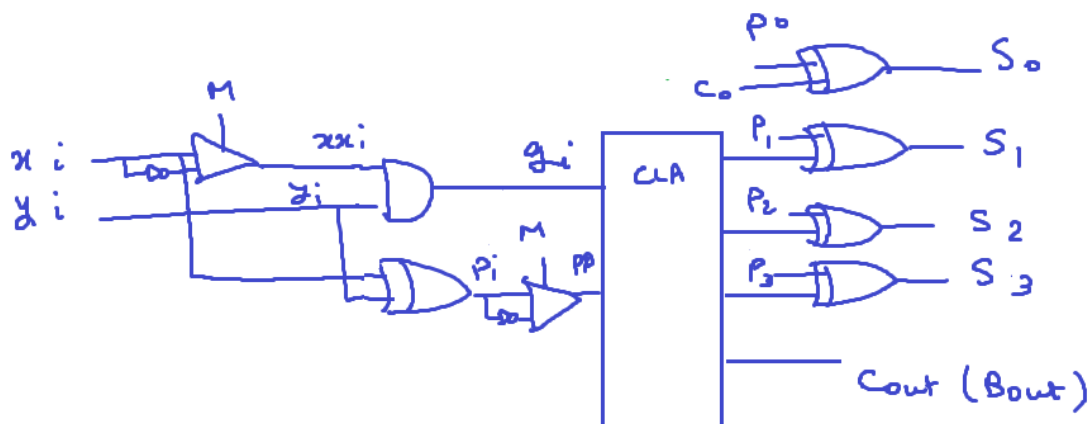
$$D = (x \oplus y) \oplus Bin$$



با توجه به روابط بالا می‌توانیم روابط زیر را برای مدار Borrow Look Ahead به دست آوریم:

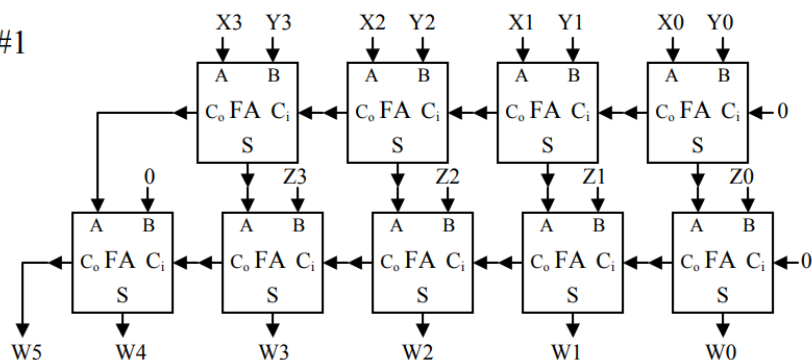
$$B_{out} = g + Bin p, \quad g = x'y, \quad p = x \odot y$$

$$B_1 = g_0 + B_0 p_0 \quad B_2 = g_1 + B_1 p_1 = g_1 + g_0 p_1 + B_0 p_0 p_1 \quad \dots$$

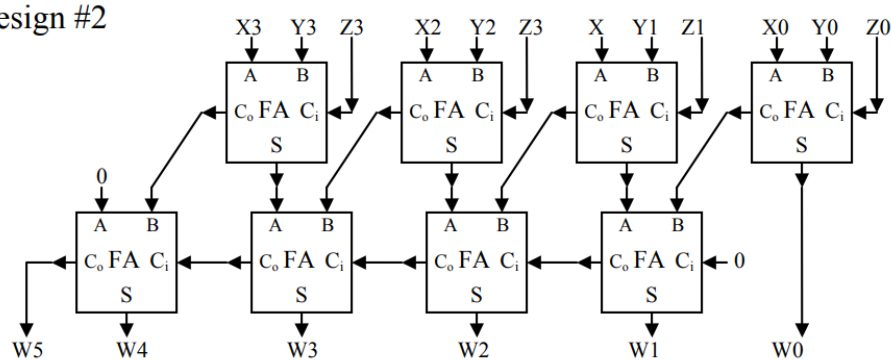


۴- (۲۰ نمره) دو مدار شکل زیر را در نظر بگیرید.

Design #1



Design #2



الف- توضیح دهید خروجی هر یک از این دو مدار چیست.

ب- با فرض اینکه هر FA مقدار دو واحد (۲d) تاخیر داشته باشد، هر مدار نتیجه نهایی را در چند واحد تاخیر به دست می‌آورد؟

کدام مدار مقدار نهایی کم‌ارزش‌ترین بیت را زودتر به دست می‌آورد؟

ج- مدار اول از یک FA بیشتر نسبت به مدار دوم استفاده می‌کند. با حذف یک FA از مدار اول و ایجاد تغییرات مختصر در این مدار،

این مدار را ساده‌تر کنید. با ایجاد این تغییرات، مدار اصلاح‌شده مقدار نتیجه نهایی را با چند واحد تأخیر محاسبه می‌کند؟

د- هر دو مدار را می‌توان به گونه‌ای تغییر داد که به جای استفاده از Ripple Carry Adder از Carry LookAhead Adder چهار

بیتی استفاده کنیم. با فرض اینکه تاخیر این نوع جمع‌کننده چهار بیتی پنج واحد (۵d) باشد، تاخیر هر دو مدار اصلاح شده چند

واحد خواهد بود؟

ه- هر دو مدار را به گونه‌ای تغییر دهید که بتواند دو عملیات زیر را پوشش دهد:

$$W = X + Y + Z$$

$$W = X + Y - Z$$

پاسخ:

الف- هر دو مدار سه عدد چهاربیتی X و Y و Z را با هم جمع می‌کنند، به عبارتی  $W = X + Y + Z$

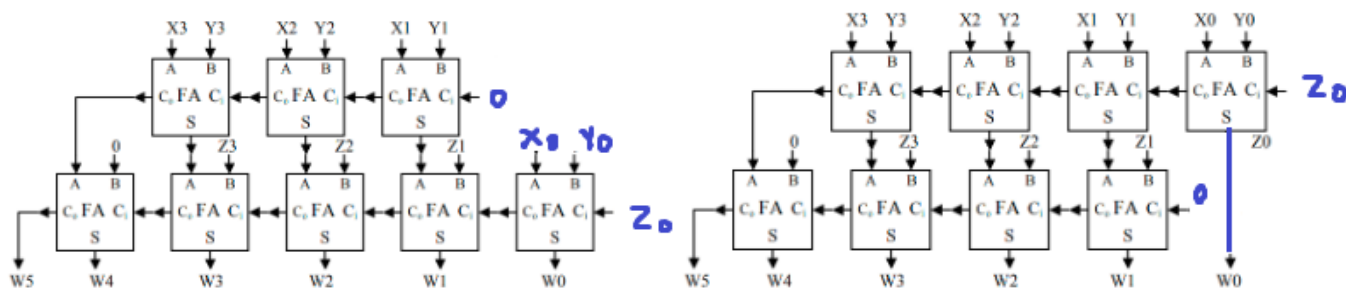
ب- در مدار طرح یک، خروجی نهایی (W5) بعد از ۱۲d تاخیر حاضر می‌شود، چون مسیر بحرانی از ۶ جمع‌کننده

عبور می‌کند. کم‌ارزش‌ترین بیت هم بعد از ۴d حاضر می‌شود.

در مدار طرح دو، خروجی نهایی (W5) بعد از ۱۰d تاخیر حاضر می‌شود، چون مسیر بحرانی از ۵ جمع‌کننده عبور

می‌کند. کم‌ارزش‌ترین بیت هم بعد از ۲d حاضر می‌شود.

ج- برای کم کردن یکی از جمع‌کننده‌های طرح یک می‌توانیم یکی از دو تغییر زیر را بدهیم. تفاوت در این است که در مدار سمت چپ، تاخیر نسبت به قبل تغییری نمی‌کند (همان ۱۲d) اما در مدار سمت راست تاخیر دو واحد کم می‌شود.



د- در مدار طرح یک می‌توانیم به جای هر دو مسیر بالا و پایین از جمع‌کننده CLA استفاده کنیم. البته بهتر است که این اصلاح را در مدار سمت راست بند ج انجام بدهیم که به یک FA اضافه نیاز نداشته باشیم. در این صورت تاخیر ۱۰d خواهد شد.

در مدار طرح دو فقط به جای مسیر پایین می‌توانیم از CLA استفاده کنیم. در این صورت تاخیر کل به ۷d می‌رسد.

ه- برای این که بتوانیم عمل  $X+Y-Z$  را انجام بدهیم، در طرح یک می‌توانیم ورودی‌های  $Z_i$  را  $\text{not}$  کنیم و به جای بیت نقلی اول یک وارد کنیم. در طرح دو هم باید ورودی‌های  $Z_i$  را  $\text{not}$  کنیم و یک نیم‌افزا (HalfAdder) در ابتدای مسیر پایین قرار بدهیم که "1" را با خروجی S جمع‌کننده سمت راست بالا جمع کند و به ورودی بیت نقلی جمع‌کننده مسیر پایین بدهد. یک راه دیگر این است که ورودی  $Z_0$  را بدون  $\text{not}$  کردن به جمع‌کننده سمت راست بالا بدهیم و به ورودی بیت نقلی جمع‌کننده سمت راست پایین  $Z_0$  بدهیم.