



معماری کامپیوتر

آزمون پایان ترم

نام و نام خانوادگی:

شماره دانشجویی:

دی ماه ۱۴۰۲

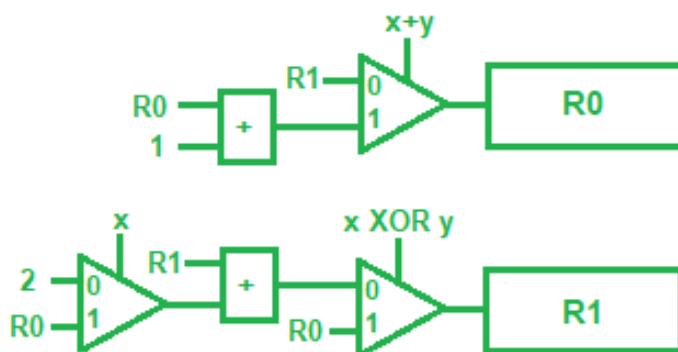
زمان آزمون: ۱۲۰ دقیقه

مدرس: لاله ارشدی

 $x \oplus y: R0 \leftarrow R0 + 1, R1 \leftarrow R0$ $x \cdot y: R0 \leftarrow R0 + 1, R1 \leftarrow R0 + R1$ $x' \cdot y': R0 \leftarrow R1, R1 \leftarrow R1 + 2$

۱- (۵ نمره) دو سیگنال ورودی x و y را در نظر بگیرید. برای دو ثبات هشت بیتی $R0$ و $R1$ ، نمودار بلوکی توصیف روبرو را رسم کنید.

پاسخ:



۲- (۵ نمره) در یک پردازنده، ۶۴٪ زمان اجرای برنامه صرف محاسبات و بقیه آن صرف عملیات I/O می شود. می دانیم CPI برای دستورات صحیح، ممیز شناور و سایر دستورات محاسباتی به ترتیب ۲، ۵ و ۴ چرخه است و نیز می دانیم ۵۰٪ دستورات از نوع صحیح، ۲۰٪ از نوع ممیز شناور است. اگر CPI دستورات صحیح، ممیز شناور و سایر دستورات محاسباتی را به ترتیب به ۱، ۳ و ۳ چرخه کاهش دهیم، ناچاریم دوره تناوب ساعت (clock time) را ۱،۲ برابر کنیم. تسریع کل اجرای برنامه در این پردازنده چقدر خواهد بود؟

پاسخ:

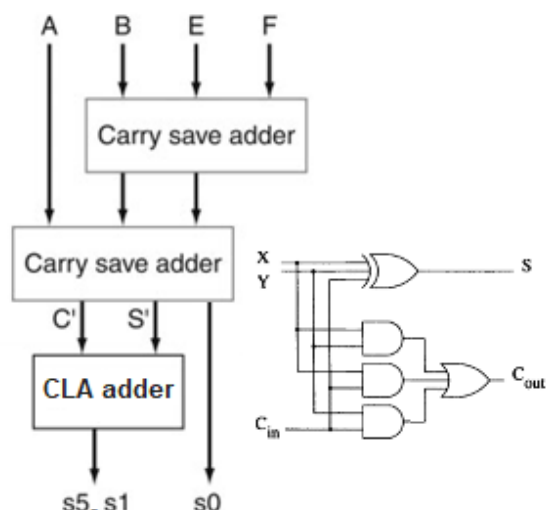
$$ArithTime_1 = (2 \times 0.5 + 5 \times 0.2 + 4 \times 0.3) \times CR = 3.2 CR$$

$$ArithTime_2 = (1 \times 0.5 + 3 \times 0.2 + 3 \times 0.3) \times 1.2CR = 2.4 CR$$

$$\frac{ArithTime_1}{ArithTime_2} = \frac{3.2 CR}{2.4 CR} = \frac{4}{3}$$

$$ExecTime_2 = 0.36 T_1 + \frac{0.64 T_1}{4/3} = 0.36 T_1 + 0.48 T_1 = 0.84 T_1$$

$$speedup = \frac{T_1}{0.84 T_1} \approx 1.2$$



۳- (۱۰ نمره) برای جمع چهار عدد ۴ بیتی از مدار شکل روبرو استفاده می‌کنیم. در این شکل، همچنین مدار داخلی یک Full-Adder هم رسم شده است. در این باره به این سوالات پاسخ دهید.

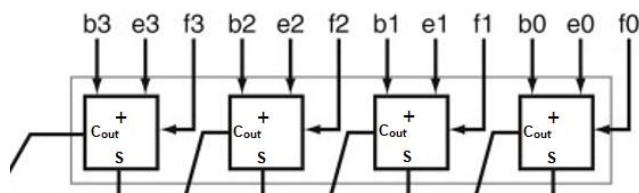
الف- مدار داخلی یک Carry-Save-Adder را با استفاده از تعداد کافی Full-Adder رسم کنید.

ب- روابطی را که منجر به تولید نتیجه در یک جمع‌کننده Carry-Look-Ahead می‌شود، بنویسید.

ج- اگر تاخیر گیت‌های AND، OR و XOR (با هر تعداد ورودی) به ترتیب d ، $2d$ و d باشد، نتیجه نهایی پس از چه مدت آماده خواهد شد؟

پاسخ:

الف- (۳ نمره) چهار Full adder که هر کدام سه بیت ورودی را با هم جمع می‌کنند و دو بیت در خروجی تولید می‌کنند.



ب- (۳ نمره)

$$p_i = a_i \oplus b_i \quad g_i = a_i \cdot b_i$$

$$c_1 = g_0 + p_0 c_0$$

$$c_2 = g_1 + p_1 g_0 + p_1 p_0 c_0$$

$$c_3 = g_2 + p_2 g_1 + p_2 p_1 g_0 + p_2 p_1 p_0 c_0$$

$$c_4 = g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 g_0 + p_3 p_2 p_1 p_0 c_0$$

$$s_i = p_i \oplus c_i$$

ج- (۴ نمره) با توجه به شکل بند الف، تاخیر هر CSA به اندازه $2d$ است، بنابراین ورودی‌های C' و S' بعد از $4d$ حاضر هستند. تاخیر CLA هم $6d$ است، بنابراین نتیجه نهایی بعد از $10d$ آماده است.

۴- (۱۵ نمره) به قطعه برنامه زیر توجه کنید.

```
1. lw $t0, 0($s0)
2. add $s0, $t0, $t1
3. sll $s1, $s0, 2
4. lw $s2, 0($s0)
5. lw $s2, 0($s1)
6. sw $s1, 0($s0)
7. add $s0, $s2, $s2
```

الف- وابستگی‌های داده این قطعه برنامه را مشخص کنید.

ب- با رسم جدول نشان دهید اجرای این قطعه روی یک خط لوله ۵ مرحله‌ای،

بدون مدارهای هدایت به جلو (forwarding) چند چرخه طول می‌کشد؟

ج- با رسم جدول نشان دهید، اگر مدارهای هدایت به جلو از ثبات‌های

EX/MEM و MEM/WB به ورودی ALU داشته باشیم، اجرای این قطعه برنامه

چند چرخه طول می‌کشد؟ موارد هدایت به جلو را مشخص کنید.

د- با رسم جدول نشان دهید، اگر مدارهای هدایت به جلو فقط برای دستورات بلافاصله بعدی کار کند، اجرای این قطعه

برنامه چند چرخه طول می‌کشد؟

ه- در یک پردازنده هر دستور، بدون تعلیق، در یک چرخه اجرا می‌شود. فرض کنید درصد انواع وابستگی‌های داده در یک برنامه طبق جدول زیر است. اگر فقط از مدارهای هدایت به جلو از ثبات MEM/WB به ورودی ALU استفاده کنیم، تسریع حاصل چقدر خواهد بود؟

	EX to 1 st Only	MEM to 1 st only	EX to 2 nd Only	MEM to 2 nd Only	EX to 1 st and EX to 2 nd
	10%	10%	5%	10%	5%
Stalls without forwarding	2	2	1	1	2
Stalls with forwarding	1	1	0	0	1

پاسخ:

الف- (۵ نمره) خط ۲ به ۱، خط ۳ به ۲، خط ۴ به ۲، خط ۵ به ۳، خط ۷ به ۵

ب- (۲ نمره) ۱۷ چرخه

1	lw	IF	ID	EX	MEM	WB												
2	add		-	-	IF	ID	EX	MEM	WB									
3	sll					-	-	IF	ID	EX	MEM	WB						
4	lw								IF	ID	EX	MEM	WB					
5	lw									-	IF	ID	EX	MEM	WB			
6	sw											IF	ID	EX	MEM	WB		
7	add											-	IF	ID	EX	MEM	WB	

ج- (۲ نمره) ۱۲ چرخه

1	lw	IF	ID	EX	MEM	WB												
2	add		-	IF	ID	EX	MEM	WB										
3	sll				IF	ID	EX	MEM	WB									
4	lw					IF	ID	EX	MEM	WB								
5	lw						IF	ID	EX	MEM	WB							
6	sw							IF	ID	EX	MEM	WB						
7	add								IF	ID	EX	MEM	WB					

د- (۲ نمره) ۱۴ چرخه

1	lw	IF	ID	EX	MEM	WB												
2	add		-	IF	ID	EX	MEM	WB										
3	sll				IF	ID	EX	MEM	WB									
4	lw					-	IF	ID	EX	MEM	WB							
5	lw							IF	ID	EX	MEM	WB						
6	sw								IF	ID	EX	MEM	WB					
7	add								-	IF	ID	EX	MEM	WB				

ه- (۴ نمره) با توجه به ردیف‌های جدیدی که به جدول صورت سوال اضافه کردیم، چرخه متوسط هر دستور را در دو حالت بدون مدارهای هدایت به جلو و با آنها محاسبه می‌کنیم و تسریع را به دست می‌آوریم:

$$speedup = \frac{1 + 2 \times (0.1 + 0.1 + 0.05) + 1 \times (0.05 + 0.1)}{1 + 1 \times (0.1 + 0.1 + 0.05)} = \frac{1.65}{1.25} = 1.32$$

۵- (۵ نمره) در یک طرح حافظه نهان با نگاشت مستقیم و آدرس‌های ۳۲ بیتی، از هر کلمه آدرس بیت‌های زیر برای دسترسی به حافظه نهان مورد استفاده قرار گرفته‌اند:

Tag	Index	Offset
31-10	9-5	4-0

الف- اندازه هر سطر (بلوک) از حافظه نهان چند بایت است؟ چرا؟

ب- این حافظه نهان چند سطر دارد؟ چرا؟

ج- نسبت بین تعداد کل بیت‌های موردنیاز برای ساخت این حافظه نهان و تعداد بیت‌هایی که واقعا داده‌ای در آن ذخیره شده است، چند است؟

د- فرض کنید بدون تغییر ظرفیت کل و اندازه بلوک، ساختار حافظه را به حافظه کاملاً انجمنی تبدیل کنیم. در این صورت بار دیگر به سوال بند ج پاسخ دهید.

پاسخ:

الف- (۱ نمره) اندازه هر سطر ۳۲ بایت است چون ۵ بیت برای offset داریم.

ب- (۱ نمره) حافظه ما ۳۲ سطر دارد چون برای اندیس هم ۵ بیت داریم.

ج- (۲ نمره)

$$\frac{AllBits}{DataBits} = \frac{32 \times (1 + 22 + 32 \times 8)}{32 \times 32 \times 8} = \frac{279}{256}$$

د- (۱ نمره)

$$\frac{AllBits}{DataBits} = \frac{32 \times (1 + 27 + 32 \times 8)}{32 \times 256} = \frac{284}{256}$$

۶- (۵ نمره) با توجه به اطلاعات جدول زیر، به این سوالات پاسخ دهید.

Data Mem Access per 1000 instruction	Instruction Cache Miss Rate	Data Cache Miss Rate	Memory Access Time	Base CPI
350	0.3%	2%	100 Cycle	1

الف- چرخه متوسط اجرای دستورات در این پردازنده چند است؟

ب- برای کاهش چرخه متوسط، یک لایه حافظه نهان دیگر برای دسترسی به داده‌ها اضافه می‌کنیم که زمان دسترسی آن ۲ چرخه است. نرخ فقدان این حافظه چقدر باید باشد که چرخه متوسط اجرای دستورات برابر با ۱,۵ چرخه شود؟

پاسخ:

الف- (۳ نمره) در هر چرخه یک بار باید به سراغ حافظه دستور برویم و به احتمال ۰,۳۵۰ هم باید سراغ حافظه داده برویم.

$$CPI_{avg} = 1 + 0.003 \times 100 + 0.35 \times 0.02 \times 100 = 1 + 0.3 + 0.7 = 2$$

ب- (۲ نمره) در این صورت زمان دسترسی به حافظه دستور تغییر نمی‌کند، بنابراین باید زمان دسترسی به حافظه داده را به ۰,۲ چرخه برسانیم:

$$0.35 \times 0.02 \times (2 + mr \times 100) = 0.2 \Rightarrow mr = \frac{10}{35} - 0.02 \approx 0.27$$

۷- (۵ نمره) در یک ساختار حافظه دو سطح حافظه نهان L1 و L2 داریم که سازوکار نوشتن روی آنها, write through, non-write allocate برای L1 و write-back, write allocate برای L2 است.

الف- پیشنهاد می کنید برای کاهش تاخیر دسترسی چه بافرهایی میان لایه های مختلف حافظه قرار دهیم؟

ب- توضیح دهید در شرایط مختلف اگر یک L1 write-miss رخ دهد، چه روالی برای دسترسی به داده طی می شود. (دقت کنید امکان جایگزین شدن یک بلوک داده را که محتوایش تغییر کرده (dirty block) هم در نظر بگیرید).

۸- یکی از سوالات یا ابهام هایی را که در طول ترم در زمینه معماری کامپیوتر داشته اید و هنوز پاسخ آنها را نیافته اید، بنویسید. (این سوال نمره خاصی ندارد، اما قطعاً تاثیر مثبتی بر نمره نهایی شما خواهد داشت).

موفق باشید