



دانشگاه صنعتی امیرکبیر

دانشکده مهندسی کامپیوتر

مدارهای منطقی

پاییز ۱۴۰۳

استاد: دکتر صدیقی، دکتر صاحب‌الزمانی

تدریس یاران: رضا آدینه پور، مرتضی عادل‌خانی

پاسخ‌نامه تمرین هارم مدارهای ترکیبی، تأخیر و محاسبات و مدارهای ترتیبی مهلت ارسال: ۲۹ آبان

- مهلت ارسال پاسخ تا ساعت ۲۳:۵۹ روز مشخص شده است. برای انجام تمرین زمان کافی اختصاص داده شده است. انجام آن را به هیچ وجه به روزهای پایانی موکول نکنید.
- سوالات خود را از طریق ایمیل‌های adinepour@aut.ac.ir و madelkhani@aut.ac.ir و یا در کلاس حل تمرین از تدریس یاران بپرسید.
- صرفاً تمرین آپلود شده در سامانه **courses** تصحیح می‌شوند.
- حتماً در نام‌گذاری فایل‌های آپلودی خود از قالب $\{HWx\}_{STD_Number}_{Name}$ تبعیت کنید.
- پاسخ‌های ارسالی منحصراً باید حاصل تلاش‌های فردی شما باشد. در صورت استفاده از منابع خارجی یا هم‌فکری، حتماً این موارد را ذکر کنید.
- در صورت مشاهده هرگونه تقلب، نمره ۳ سری تمرین برای تمام افراد شرکت‌کننده، صفر لحاظ خواهد شد.

سوالات اصلی (۹۰ نمره)

۱. (۱۰ نمره)

حل.

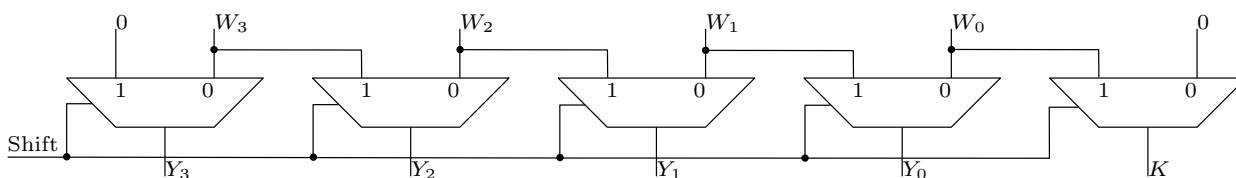
(الف) زمانی که فعال‌ساز پایین است. چون در latch ها زمانی که سیگنال enable پایین است، داده‌ها در latch ذخیره می‌شوند و ثابت باقی می‌مانند. این به این معناست که latch هنگامی که فعال‌ساز پایین است، دیگر تغییرات جدید داده را نمی‌پذیرد و داده‌های موجود در آن ثابت باقی می‌مانند. اگر سیگنال فعال‌ساز بالا باشد، داده‌ها می‌توانند تغییر کنند.

بنابراین، در زمانی که فعال‌ساز پایین است، داده‌ها باید ثابت باقی بمانند و این گزینه صحیح است.

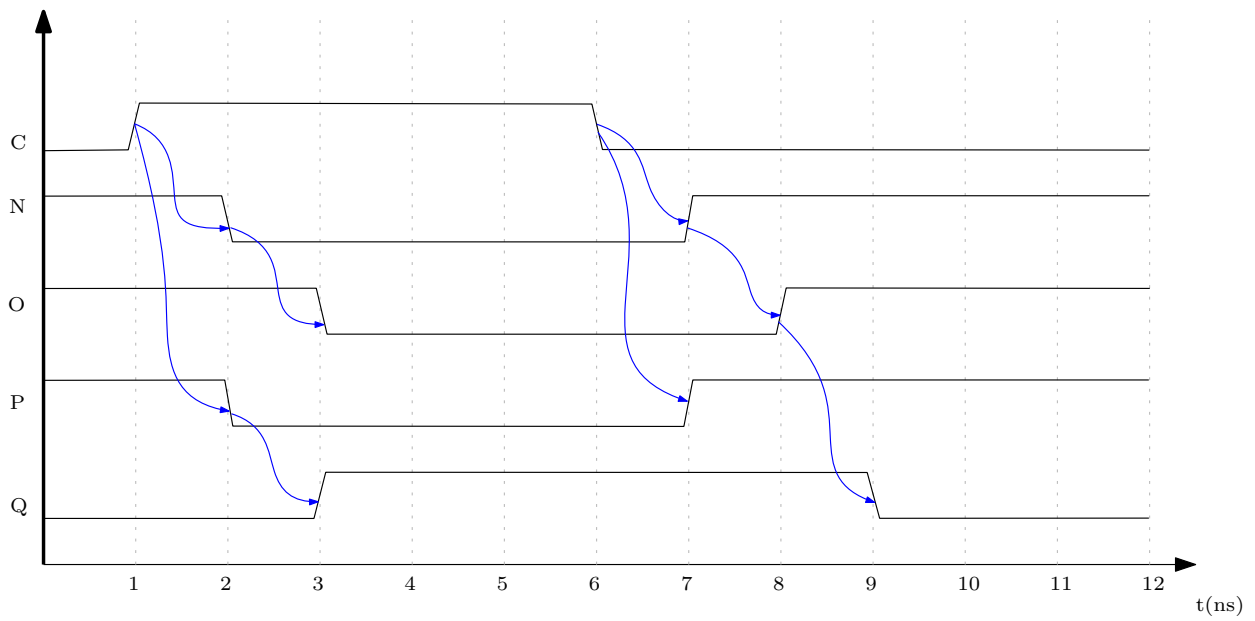
(ب) گزینه‌های ۱ و ۳

۲. (۱۰ نمره)

حل.



شکل ۱: مدار طراحی شده برای سوال ۲



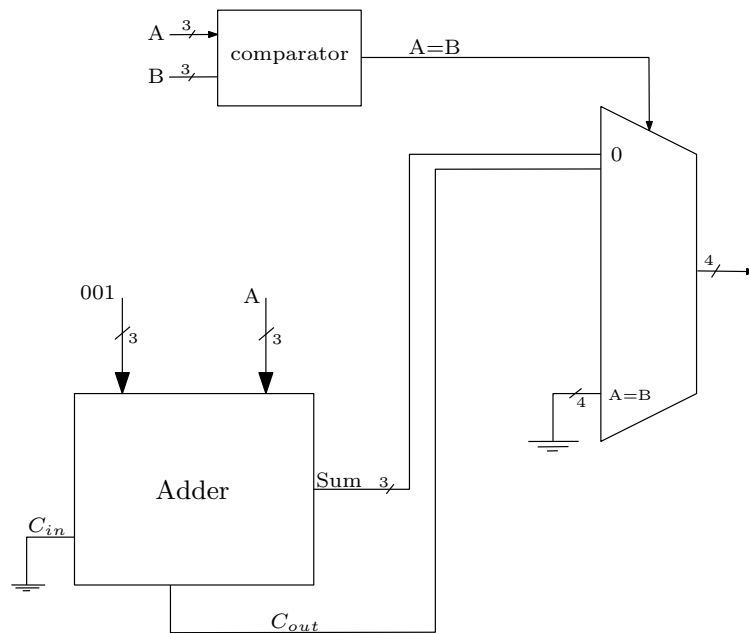
شکل ۲: نمودار زمانی سوال ۳

۳. (۳۰ نمره)

حل.

۴. (۳۰ نمره)

حل.

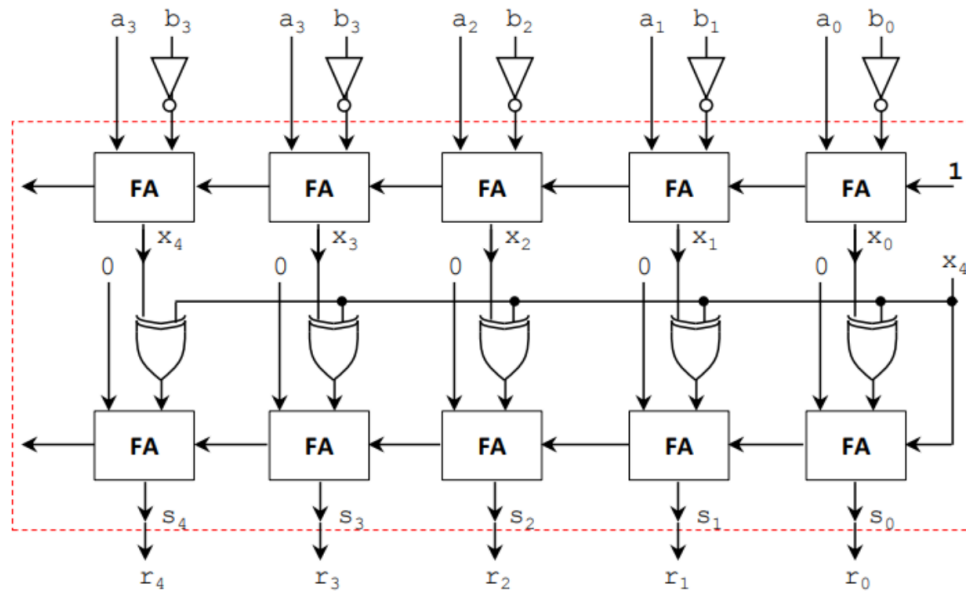


شکل ۳: مدار طراحی شده برای سوال ۴

۵. (۳۰ نمره)

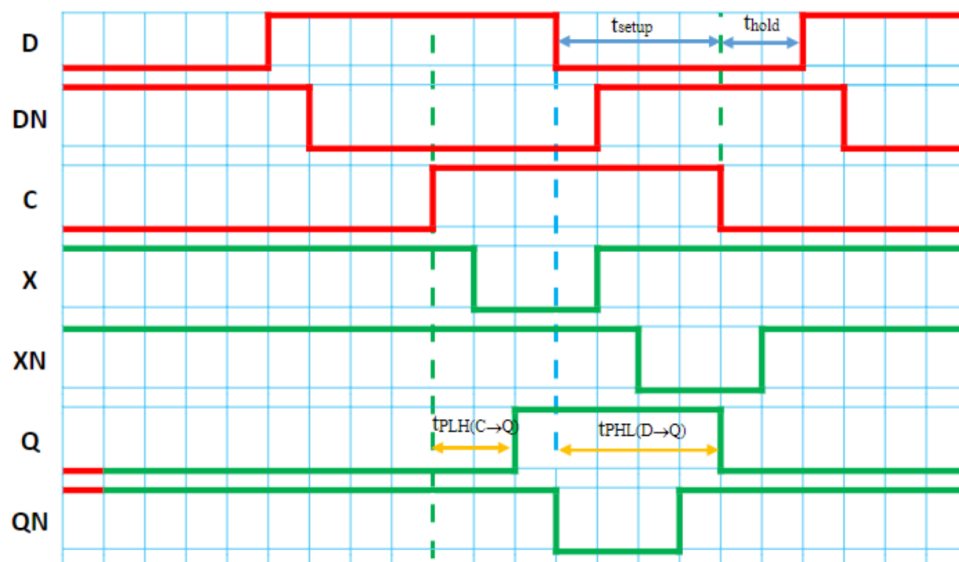
حل. $A = a_3a_2a_1a_0$, $B = b_3b_2b_1b_0$.
 $A, B \in [-8, 7]$ بنابراین برای نمایش A و B در سیستم مکمل ۲ به ۴ بیت نیاز داریم.

- $X = A - B \in [-15, 15]$ به ۵ بیت نیاز است
 $|X| = |A - B| \in [0, 15]$ به ۵ بیت نیاز داریم
 اگر $x_4 = 1 \rightarrow X < 0$ بنابر این محاسبه می‌شود: $-X$
 اگر $x_4 = 0 \rightarrow X \geq 0$ بنابر این محاسبه می‌شود: $+X$
 $R = |A - B| \in [0, 15]$ به ۵ بیت نیاز است.



شکل ۴: مدار طراحی شده برای سوال ۵

۶. (۴۵ نمره)
 حل.



شکل ۵: نمودار زمانی سوال ۶

(الف) ۲۰ نانو ثانیه

(ب) ۴۰ نانوثانیه

(ج) ۲۰ نانوثانیه

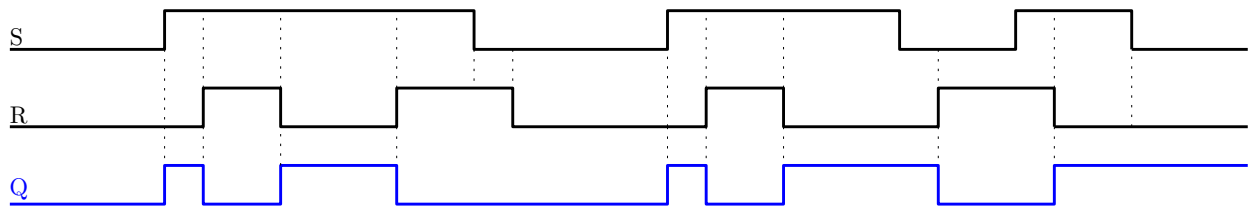
(د) ۲۰ نانوثانیه

(ر) ۴۰ نانوثانیه

۷. (۳۰ نمره)

حل.

با در نظر گرفتن R و S به عنوان ورودی‌های NOR Only SR Latch و S' و R' به عنوان ورودی‌های NAND Only SR Latch نمودارهای خروجی یکسان می‌شوند.



شکل ۶: نمودار زمانی سوال ۷

۸. (۲۰ نمره)

حل.

(a)

$$s_i = a_i \oplus b_i \oplus E'_1 c_i \oplus E_1 E_0 a_i b_i \quad \text{and} \quad c_{i+1} = (E_0 \oplus a_i) b_i + (E_0 \oplus a_i) c_i + b_i c_i$$

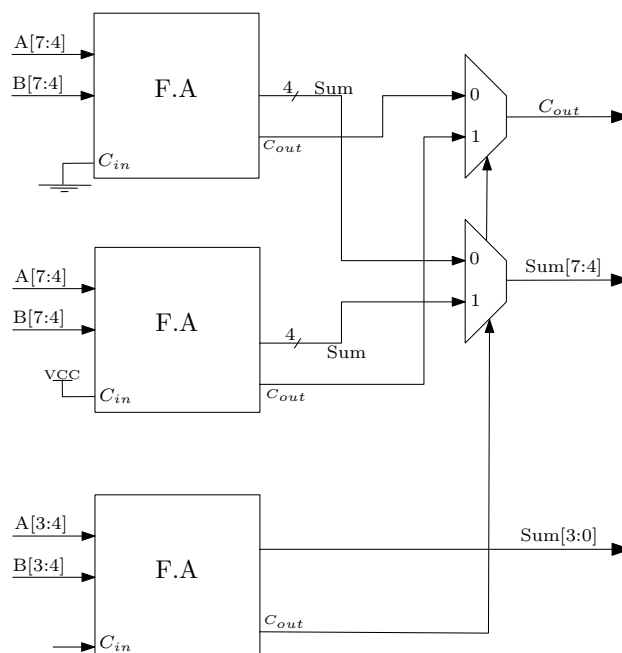
E_1	E_0	s_i	c_{i+1}
0	0	$s_i = a_i \oplus b_i \oplus c_i$	$c_{i+1} = a_i b_i + a_i c_i + b_i c_i$
0	1	$s_i = a_i \oplus b_i \oplus c_i$	$c_{i+1} = a'_i b_i + a'_i c_i + b_i c_i$
1	0	$s_i = a_i \oplus b_i$	$c_{i+1} = a_i b_i + a_i c_i + b_i c_i$
1	1	$s_i = a_i \oplus b_i \oplus a_i b_i$	$c_{i+1} = a'_i b_i + a'_i c_i + b_i c_i$

(b)

E_1	E_0	Function
0	0	Add (A + B)
0	1	Sub (A - B)
1	0	XOR (A \oplus B)
1	1	OR (A + B)

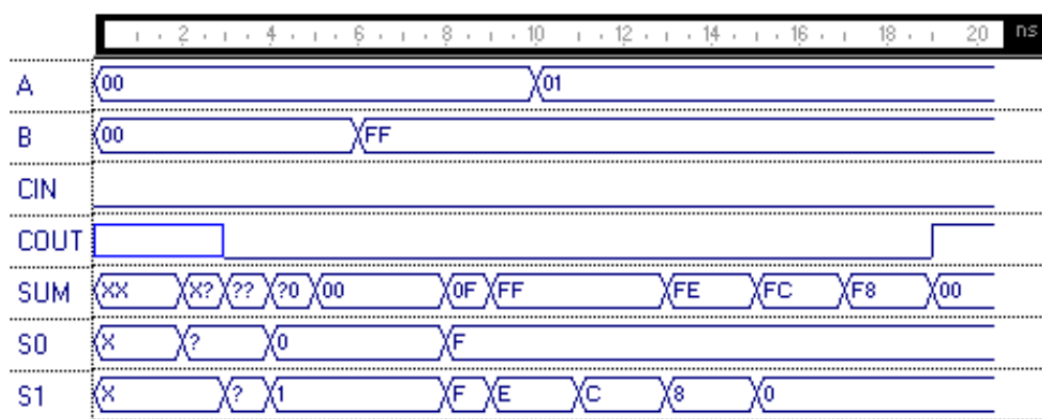
۱. (۵۰ نمره)

حل.



شکل ۷: مدار طراحی شده سوال امتیازی ۱

در شکل زیر نمودار خروجی را به ازای دو ورودی $A = 00000000$ و $B = 11111111$ را نشان می‌دهد.



شکل ۸: شکل موج خروجی مدار طراحی شده