



مدارهای منطقی



دانشکده مهندسی کامپیوتر

اساتید: دکتر مهدی صدیقی، دکتر مرتضی صاحب‌الزمانی
تدریس‌یاران: رضا آدینه‌پور، مرتضی عادل‌خانی

دانشگاه صنعتی امیرکبیر

مهلت ارسال: ۹ دی

طراحی و تحلیل مدارهای FSM و هازارد

تمرین هفتم

- مهلت ارسال پاسخ تا ساعت ۲۳:۵۹ روز مشخص شده است. برای انجام تمرین زمان کافی اختصاص داده شده است.
- انجام آن را به هیچ‌وجه به روزهای پایانی موکول نکنید.
- سوالات خود را از طریق ایمیل‌های adinepour@aut.ac.ir و madelkhani@aut.ac.ir و یا در کلاس حل تمرین از تدریس‌یاران بپرسید.
- صرفاً تمرین آپلود شده در سامانه courses تصحیح می‌شوند.
- حتماً در نام گذاری فایل‌های آپلودی خود از قالب $\{HWx\}_{STD_Number}_{Name}$ تبعیت کنید.
- پاسخ‌های ارسالی منحصراً باید حاصل تلاش‌های فردی شما باشد. در صورت استفاده از منابع خارجی یا هم‌فکری، حتماً این موارد را ذکر کنید.
- در صورت مشاهده هرگونه تقلب، نمره ۳ سری تمرین برای تمام افراد شرکت‌کننده، صفر لحاظ خواهد شد.

سوالات اختیاری

- ۱- برای توابع a و b که در زیر مشخص شده‌اند:
 - الف) با استفاده از جدول کارنو، حداقل عبارت بولی به فرم SOP (جمع حاصل‌ضرب‌ها) را تعیین کنید.
 - ب) عبارت حداقلی SOP را با استفاده از گیت‌های منطقی پیاده‌سازی کنید (شماتیک رسم کنید).
 - ت) با استفاده از روش جدول کارنو، هرگونه هازارد استاتیک را در پیاده‌سازی SOP شناسایی و حذف کنید.
 - ث) با استفاده از جدول کارنو، حداقل عبارت بولی به فرم POS (حاصل‌ضرب جمع‌ها) را تعیین کنید.
 - ج) عبارت حداقلی POS را با استفاده از گیت‌های منطقی عمومی پیاده‌سازی کنید.
 - ح) با استفاده از روش جدول کارنو، هرگونه هازارد استاتیک را در پیاده‌سازی POS شناسایی و حذف کنید.

$$a) F_{WXYZ} = \sum(0,1,2,4,6,14,15)$$

$$b) F_{ABCD} = \sum(2,6,8,9,10,11) + d(0,4)$$

سوالات اصلی

۱. دیاگرام حالت مربوط به کدی که در ادامه به زبان Verilog آمده است را رسم کنید. در رسم دیاگرام، تنها حالت‌هایی را لحاظ کنید که از حالت اولیه (Reset) قابل دسترسی باشند. نوع ماشین (میلی یا مور) را تعیین کنید.

```
module SM1 (clock, reset, A, B, X);
input clock, reset, A, B;
output X;
reg [1:0] state;
wire [1:0] next_state;
always @ (posedge clock)
```

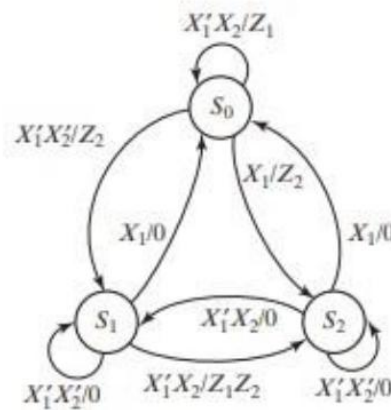
```

if (!reset)
    state <= 2'b00;
else
    state <= next_state;

assign next_state[0] = !state[1]&A | state[1]&A&B | state[0];
assign next_state[1] = !state[1]&!state[0]&A | state[1]&!(A&B);
assign X = state[0];
endmodule;

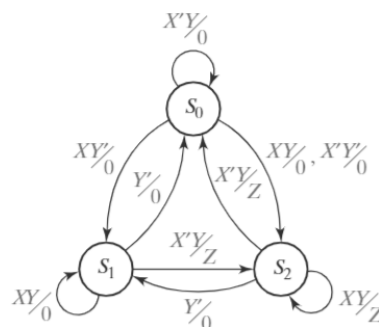
```

۲. مدار زیر را با استفاده از T-flip flop پیاده سازی کنید. این سیستم دارای خروجی دو بیتی به صورت Z_1Z_2 است. ۰ بر روی یالها به معنی صفر بودن هر دو خروجی است. هر کجا مقدار یکی از بیتهای خروجی نوشته نشده است *don't care* در نظر گرفته شده است.



۳. نمودار حالت زیر را با استفاده از فلیپ‌فلاپ‌های نوع D و گیت‌های منطقی پیاده‌سازی کنید. در این پیاده‌سازی از روش کدگذاری One-Hot استفاده کنید.

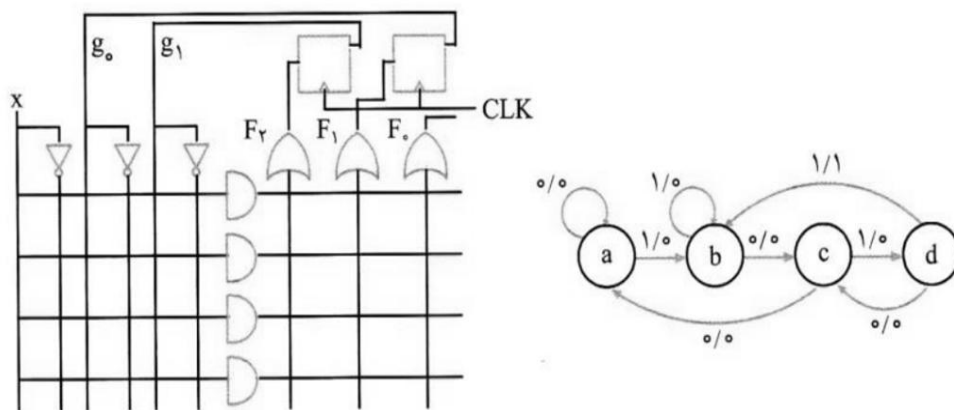
روش کدگذاری One-Hot تکنیکی برای تبدیل داده‌ها به بردارهای دودویی است که برای پردازش در مدل‌های یادگیری ماشین مناسب باشد. در این روش، در این روش کدگذاری در یک رشته بیت، داده‌ها به این صورت نمایش داده می‌شوند که تنها یک بیت یک شده و بقیه بیت‌ها صفر هستند. در نتیجه بر اساس جایگاه یک در این رشته بیت هر داده نسبت به دیگر داده متمایز می‌شوند.



۴. موارد زیر را طراحی کنید:

الف) با استفاده از فلیپ فلاپ JK یک شمارنده دو بیتی سنکرون طراحی کنید که با توجه به ورودی کنترلی M در کد باینری یا گری (Gray) بشمارد. زمانی که M=۱ بود کد گری و زمانی که M=۰ بود باینری بشمارد.

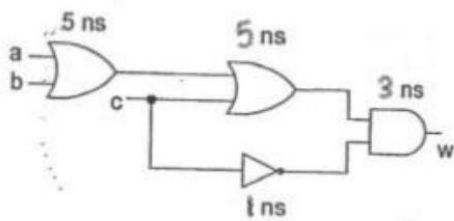
ب) در PLA (And_OR) نمایش داده شده F0، F1 و F2 را به گونه ای طراحی کنید که ماشین حالت زیر را پیاده سازی کند. X ورودی و F0 خروجی مدار است. a، b، c و d به ترتیب برابر (g0 g1)، ۰۰، ۰۱، ۱۰ و ۱۱ است.



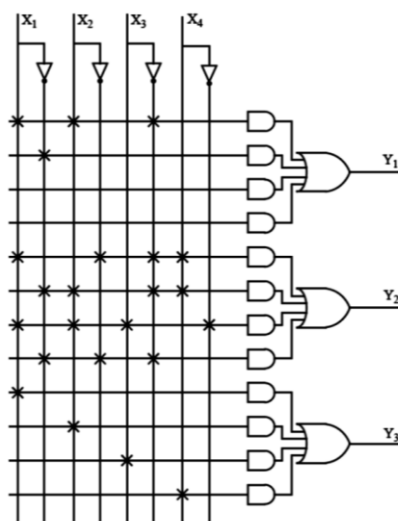
۵. تابع زیر را به گونه ای طراحی کنید که فاقد هازارد باشد. نوشتن توابع کافی است نیازی به رسم شکل نیست.

$$F(a, b, c, d) = \sum m(0, 1, 2, 5, 8, 9, 10, 11, 13, 14, 15)$$

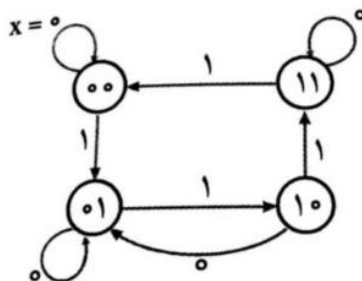
۶. با رسم شکل موج و اعمال مقادیر مناسب به ورودی ها بررسی کنید که آیا در مدار زیر هازارد رخ میدهد؟ اگر پاسخ مثبت است، نوع آن را مشخص کنید. (۵ نمره)



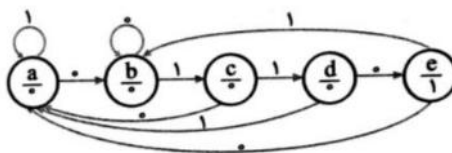
۷. خروجی PLD زیر، را به صورت یک عبارت SOP بنویسید: (نیازی به ساده سازی نمی باشد)



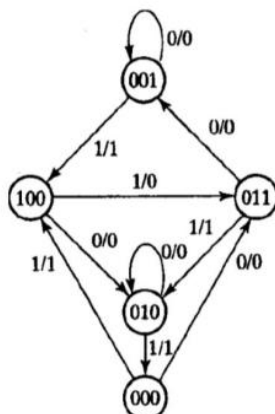
۸. دیاگرام حالت زیر با استفاده از دو فلیپ فلاپ D پیاده سازی می شود. تابع ورودی فلیپ فلاپ مربوط به بیت با ارزش بیشتر را مالتی پلکسر MUX_1 و تابع ورودی فلیپ فلاپ دیگر را مالتی پلکسر MUX_0 می سازد. ورودی مالتی پلکسرها را بر حسب x مشخص کنید. ورودیهای $select_1$ و $select_0$ مربوط به مالتی پلکسر به ترتیب به Q_1 و Q_0 متصل می شوند.



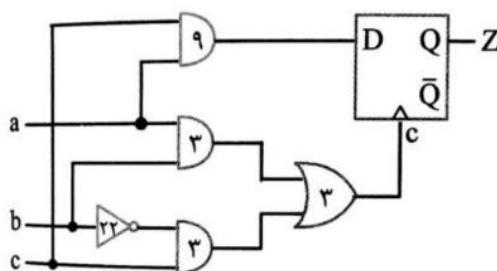
۹. نوع دیاگرام حالت میلی یا مور شکل زیر را تعیین کنید و مشخص کنید مدار مرتبط با این دیاگرام چه کاری انجام می دهد.



۱۰. مدار ترتیبی متناسب با دیاگرام حالت شکل زیر را با استفاده از فلیپ فلاپ‌های نوع T طراحی کنید.



۱۱. تأخیر گیت‌ها در مدار شکل زیر برحسب نانوثانیه داده شده است. تأخیر فلیپ فلاپ از زمان تغییر کلاک به خروجی ۱۰ نانوثانیه و از زمان تغییر ورودی D برابر با ۱۵ نانوثانیه و مقدار اول آن صفر است. اگر ورودیهای abc در زمان صفر از ۱۱۱ به ۱۰۱ تغییر کنند چه اتفاقی بر روی خروجی مدار خواهد افتاد.



۱۲. سوال‌های 11.29 و 11.32 کتاب مرجع (راث) را حل کنید.

سوالات امتیازی

- ۱- الف) مدار مقسم فرکانس ای طراحی کنید که فرکانس ورودی مدار را تقسیم بر ۱۲ کند.
- ب) سیگنال‌های ورودی و خروجی مدار طراحی شده را به ازای ۲ پالس در خروجی رسم کنید.

موفق باشید