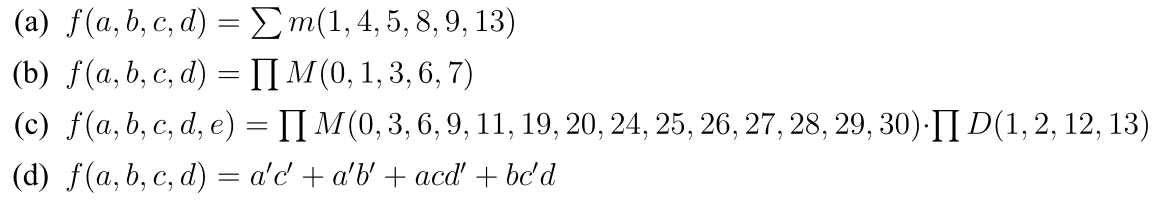
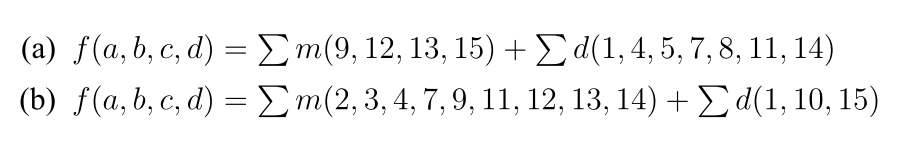
**سوالات اختیاری:**

1. توابع زیر را به کمک جدول کارنو ساده کنید.

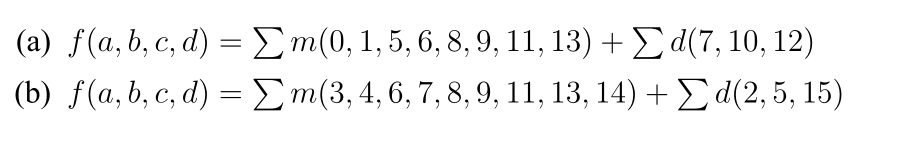


1. برای توابع زیر، ساده ترین فرم SOP را با استفاده از روش Quine McCluskey به‌دست آورید.

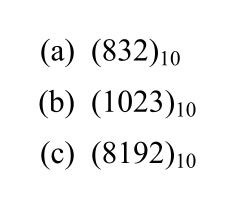


**سوالات اصلی:**

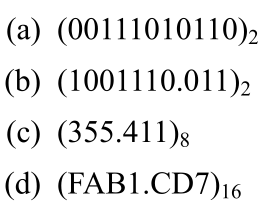
1. برای توابع زیر، ساده ترین فرم SOP را با استفاده از روش Quine McCluskey به‌دست آورید.



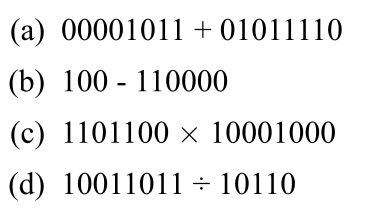
1. برای نمایش هریک از اعداد مبنای ۱۰ زیر در مبنای ۲ و BCD چند بیت نیاز است؟



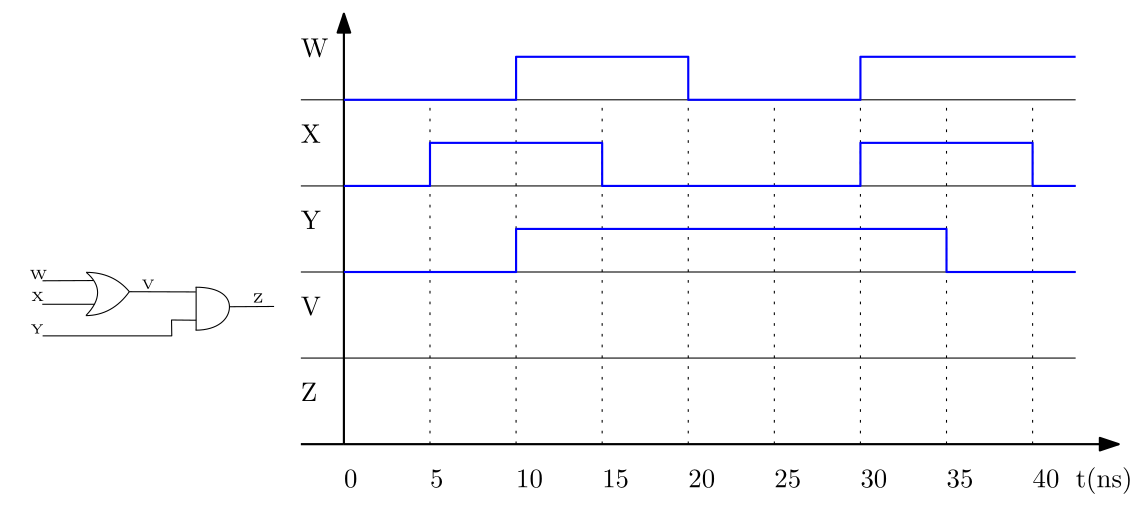
1. اعداد بدون علامت زیر را به مبنای ۱۰ تبدیل کنید.



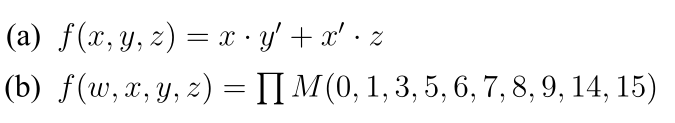
1. تمام اعداد زیر ۸ بیتی و در سیستم مکمل ۲ هستند. عملیات خواسته شده را برای هریک به‌صورت مستقیم (بدون تبدیل مبنا) انجام دهید.



1. دیاگرام زمانی داده شده را برای مدار زیر تکمیل کنید. فرض شود هر دو گیت تأخیر انتشاری برابر با ۵ نانو ثانیه دارند.



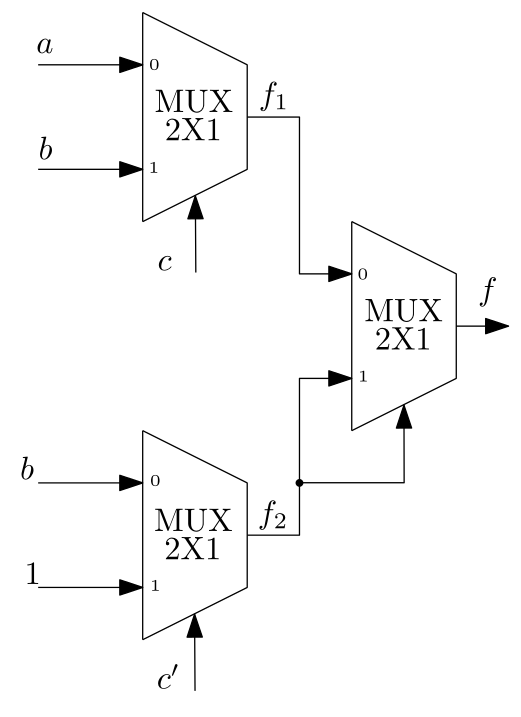
1. توابع زیر را درنظر بگیرید:



الف) توابع را با استفاده از یک دیکودر با خروجی فعال-بالا و یک گیت OR طراحی کنید  
ب) توابع را با استفاده از یک دیکودر با خروجی فعال-پایین و یک گیت AND طراحی کنید

ج) توابع را با استفاده از کوچکترین مالتی‌پلکسر ممکن طراحی کنید.

۷) خروجی f در مدار زیر را به ساده ترین فرم SOP بنویسید.

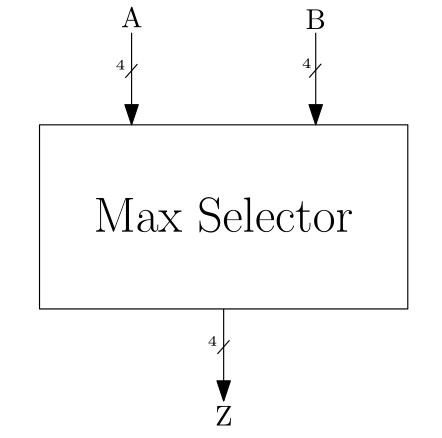


‬‬‬‬

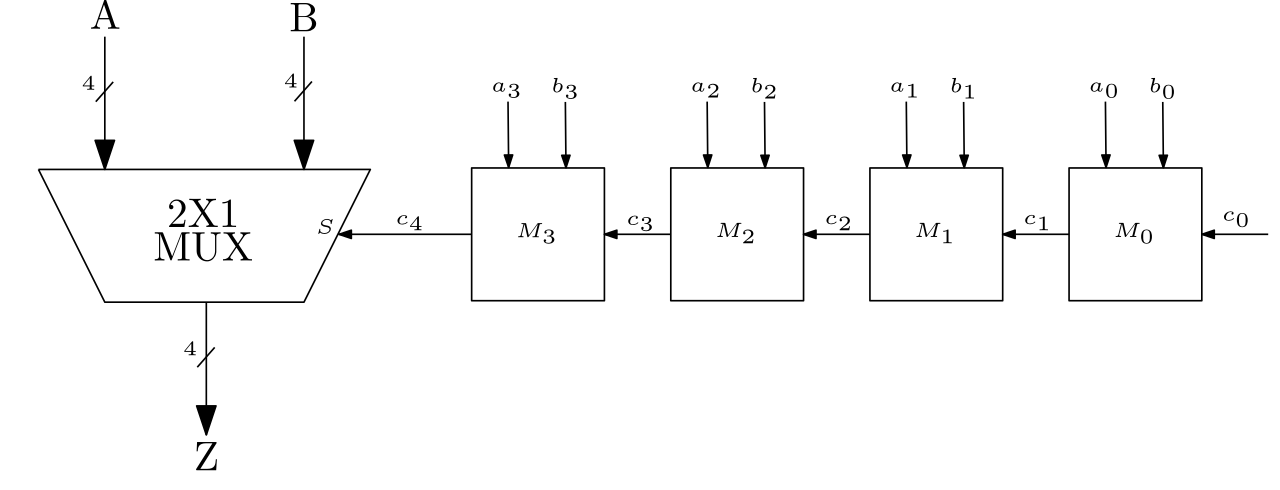
**سوالات امتیازی:**

مدار شکل زیر، ماکزیمم‌گیر نام دارد. ورودی این مدار ۲ عدد بدون علامت

۴ بیتی است. خروجی مدار Z=A است اگر A>= B باشد و اگر A < B باشد، خروجی برابر است با Z=B



(آ) مدار ماکزیمم‌گیر را به‌صورت زیر طراحی کنید. بلوک‌های M\_i یکسان هستند و یک خط آن‌ها را با داده‌هایی که از راست به چپ در جریان است به هم متصل می کند. یک طراحی را بافرض آنکه C\_0=0 و دیگری را با فرض C\_0=1 انجام دهید.



(ب) چه رابطه‌ای میان مدار طراحی شده در قسمت قبل (آ) و مدار جمع‌کنند/تفریق کننده برقرار است؟ (توضیح دهید)

(ج) یک طراحی جایگزین مطابق با شکل زیر را از مدار ماکزیمم‌گیر در نظر بگیرید که در آن جریان داده‌ها از چپ به راست مطابق شکل است. آیا می توان مدار را به این شکل طراحی کرد؟ اگر پاسختان بله است، طراحی را کامل کنید. اگر نه، توضیح دهید که چرا نه و مدار برای عملکرد درست چه تغییراتی را لازم دارد؟

