

1. 用数据位数 (n) 小的存储器构成数据位数 (N) 多的存储器时每个片选信号要一次选中 $\frac{N}{n}$ 个存储器 (且每次选中的每个小存储器所占的数据线都不相同), 其中片选信号线有 m 条, $\frac{N}{n} \cdot m$ 为总的小存储器个数, 若小存储器数据位数为 k 位, 则构成存储容量为 $\frac{N}{n} \cdot m \cdot k$ 位且数据位数为 $\frac{N}{n} \cdot k$ 的大存储器。

2. 小存储器个数为 m, 大存储器容量为 $N \text{ Byte} \times k_1$ 位, 小存储器容量为 $M \text{ Byte} \times k_2$ 位, 则有 $m = \frac{N \cdot k_1}{M \cdot k_2}$ 。

3. 地址线最低位分奇偶, 最高位分相邻。

4. Cache-主存效率: $e = \frac{\text{访问 Cache 的时间}}{\text{平均时间}}$

5. 动态 RAM 的刷新要先读后写, 因此需要 2 倍存取周期的时间。

6. 海明码纠错关系: 相邻校验码序号相差 2 倍, 共同逻辑项序号为校验码序号之和。计算完成后按图示高低位可读出错位序号。

$$\text{低位 } A_1 = 1 \oplus 3 \quad \oplus 5 \oplus 7$$

$$\uparrow A_2 = 2 \oplus 3 \oplus 6 \quad \oplus 7$$

$$\text{高位 } A_3 = 4 \quad \oplus 6 \oplus 5 \oplus 7$$

7. 算地址码 (线) 总位 (个) 数及片选地址线个数时应考虑字长。

8. 题目中给出磁头个数 n 时, 数据传输率为 Nrn , 其中 N 为每道容量, r 为转速。

9. 存储芯片的片选线要用上所有剩下的地址线, 不然可能出现高位地址冲突的问题。

	磁记录方式	特点	其它
	RZ(归 0 制)	1 正 0 负	归 0
10.	NRZ(不归 0 制)	1 正 0 负	不归 0
	PM(调相)	1 降 0 升	
	FM(调频)	1 变 0 不变 (中间位置)	相邻处改变

11. 动态 RAM 不用对列刷新。

12. MHz 的 $M = 10^6 \neq 2^{20}$

13. ASCII 码为 7 位。

14. 一个字节 256 色 ($2^8 = 256 \rightarrow 8\text{bit} \rightarrow 1\text{B}$)

15. 一个 $7 \times 9(5 \times 7)$ 点阵对应一个 ASCII 码, 即 1B。

16. 浮点数的二进制表示: $0.1101 \times 2^{10} (2^2 \text{十进制}) = 0.0110 \times 2^{11} (2^3)$, $1.0110 \times 2^{10} = 1.10110 (\text{补码负数右移添 } 1) \times 2^{11}$, 等号右边的浮点数因符号

位与小数第一位相同，均不是规格化数。

17. 原补码除法第一次加减不上商，补码末位商恒置 1(比原码少了一次加法)。补码比较 (Booth, 一位乘) 法为乘法，补码加减交替 (一位除) 法为除法。原码乘补码除奇数不用加 1，两位运算要向上取整。设 n 为乘 (被除) 数位数 (不算符号位)

运算方法	n 的奇偶性	移位次数	加法次数
原码一位乘		n	n
原码两位乘	偶	$\lceil \frac{n}{2} \rceil$	$\lceil \frac{n}{2} \rceil + 1$
	奇	$\lceil \frac{n}{2} \rceil$	$\lceil \frac{n}{2} \rceil$
补码一位乘 (补码比较法, Booth 算法)		n	$n+1$
补码两位乘	偶	$\lceil \frac{n}{2} \rceil$	$\lceil \frac{n}{2} \rceil + 1$
	奇	$\lceil \frac{n}{2} \rceil$	$\lceil \frac{n}{2} \rceil$
原码加减交替除法		n	$n+1$
补码加减交替除法		n	$n(n+1 \text{ 次上商})$

原码两位乘被乘数 (左) 添三位符号位，乘数添两位 0，且按补码右移。

补码一位乘校正法当乘数为负时取乘数补码数值位作为乘数，运算结果加上被乘数的补码相反数。

补码一位乘 (Booth 算法) 当移到原乘数符号位进入最后一位，第一数值位进入附加位为止。

补码加减交替法：符号相同上 1，不同上 0，上 1 加正，上 0 加负，加法加的数与上上一个数 (未移位的余数) 相反。

18. n 位二进制补码浮点数表示最大最小正负数，做题思路：

A. 写出补码阶码和尾数的正负数的表示范围。

a. 写出最大最小处二进制码，如规格化补码：正数形式 $0.1xxx: 0.1000 \rightarrow 0.1111$ ，负数形式 $1.0xxx: 1.0000 \rightarrow 1.0111$

b. 根据二进制码写出表示范围。

B. 根据阶码和尾数的范围组合出最终范围。

19. 移码和补码一一对应，符号位相反。如果移码符号位为 1，则为正数，不用将数值位取补。

20. 对阶尾数右移时丢掉多余的数码 (或使用 0 舍 1 入法)。

21. 溢出只需右规一次，右规阶码加 1，左规阶码减 1。01.xx 和 10.xx 溢出，要右规。

22. 不能从十进制基制的阶码不为 0 的浮点数尾数获得十进制值，因十进制基制与二进制不同。
- 23.t: 传送条件 (transfer) d: 本地进位 (domestic) $d_i = A_i B_i$ (只要有一个 0, 就无本地进位), $t_i = A_i + B_i$ (只要有一个为 1, 就有传送进位)。 $C_i = d_i + t_i C_{i-1}$
- 24.PC/存储器有按字节寻址和按字寻址两种方式。
25. 存储器先存低位后存高位, 以字为单元存, 如 12345678H 存为 78 56 34 12 每字各位从左到右由低到高 0 1 2 3(1 2 4 8)。
- 26.RS 型指令: 寄存器-存储器型指令。
27. 指令寻址分为: a. 顺序寻址 b. 跳跃寻址 数据寻址分为: a. 立即寻址 b. 直接寻址 c. 间接寻址 d....
28. 指令格式分为: 一地址, 二地址, 三地址。一地址指令两次访存: a. 取指 b. 取数。
29. 机器字长 = 寄存器 (CPU) 位数。
30. 立即数的有效地址为指令地址码所在存储单元地址。
31. 多地址多寄存器指令应考虑添加多个寻址特征字段 M。
- 32.5 级流水一个指令要用 5 个时钟周期, 10 个指令要用 $5+(10-1)=14$ 个周期, 不流水要用 5×10 个周期。
33. 中断屏蔽字中从左到右为 1 2 3 4, 若为 0 则 1 未被屏蔽, 为 1 则被屏蔽, 从下向上写, 自己和低级中断应被屏蔽。
34. 有 MAR 就有 $1 \rightarrow R$ 或 $1 \rightarrow W$ 。
35. 机器指令 = 微程序 (微程序控制方式)
36. 微操作命令信号 = 微命令 \rightarrow 一个微操作 \rightarrow 操作控制字段一位
37. 提高整机速度方案:
 - A. 控制器: a. 流水线技术 b.RISC 指令系统
 - B. 运算器: a. 阵列乘/除法器 b. 先行进位逻辑
 - C. 存储器 (I/O): a.Cache b. 多体交叉存储器 c.DMA 方式 d. 通道传送方式

38. 中断向量地址形成部件将链式排队器输出的排队选中信息编码成向量地址，向量地址中存放跳转到中断服务程序入口地址的指令，或直接存放中断向量地址表（入口地址）。

39. 画 74LS138 时要留出与存储器之间的空间，以免存储器地址线没画够时没有地方画线。

40. DMA，程序中断比较：（传香一包油饼块）

比较项	程序中断方式	DMA 方式
传输数据	程序	硬件
响应时间	指令周期结束	存取周期结束
异常处理	可以	不能
保护现场	需要	不需要
优先级	低	高
与主程序是否并行	串行	并行
单位	字	块

41. 存取周期：存取一个字符所花时间。当有 DMA 请求时，存取周期结束后 CPU 响应中断，并把总线使用权交给 DMA。

42. DMA 方式分批传送 n 个字符，最后一个字符存取周期结束后中断 CPU，程序中断方式每传一个字符中断一次。

43. DMA 响应过程：

A. 预处理：DMA 控制逻辑 → 设备地址寄存器 (DAR) → 主存地址寄存器 (AR)

B. 数据传送：数据缓冲寄存器 (BR) → 总线控制权 → 读/写 → 中断机构

C. 后处理：执行中断服务程序

44. 微程序控制单元：IR → 微 → 顺 → A → 译 → 存 → D(→ 顺) → 控制信号

45. 微指令的控制方式 = 微指令的编码方式：a. 直接编码 b. 字段直接编码 c. 字段间接编码 d. 混合编码

46. 在微程序控制器中，后继微指令地址的形成方式有：

直（直接由微指令下地址字段指出）

操 (机器指令的操作码形成)

计 (增量计数器法)

分 (分支转移)

测 (通过测试网络形成)

硬 (由硬件产生)

47. 存储器 CPU 连线大题: a. 确定选用的芯片。b. 确定每个芯片地址范围。c. 确定片选线与芯片多对多映射关系。n 根片选线与 m 个芯片有 $n \cdot 2^m$ 种连接方式。要用完题目中的条件。

片选信号端	A_{16}	A_0	BHE			RAM1	RAM2	ROM1	ROM2
Y_6	1	1	0	ROM1		0	0	1	0
Y_5	1	0	1	ROM2		0	0	0	1
Y_4	1	0	0	ROM1&ROM2	→	0	0	1	1
Y_2	0	1	0	RAM1		1	0	0	0
Y_1	0	0	1	RAM2		0	1	0	0
Y_0	0	0	0	RAM1&RAM2		1	1	0	0

$$\rightarrow \text{CS}(\text{ROM1}) = Y_6 + Y_4, \text{CS}(\text{ROM2}) = Y_5 + Y_4, \text{CS}(\text{RAM1}) = Y_2 + Y_0, \\ \text{CS}(\text{RAM2}) = Y_1 + Y_0$$

形成片选信号时, Y_x, Y_y 间只能是或关系。

48. “主存 (Cache) 容量为 512KB” \Rightarrow 主存 (Cache) 按字节编址。
“主存 (Cache) 容量为 512k \times 16 位” \Rightarrow 主存 (Cache) 可能按字编址, 看条件。

49. 一次中断的过程: 请, 判, 响, 服, 回

50. 微程序设计方法, 取指周期:

$$T_0 \quad PC \rightarrow MAR, 1 \rightarrow R$$

$$T_1 \quad Ad(CMDR) \rightarrow CMAR$$

$$T_2 \quad M(MAR) \rightarrow MDR, (PC) + 1 \rightarrow PC$$

$$T_3 \quad Ad(CMDR) \rightarrow CMAR$$

$$T_4 \quad MDR \rightarrow IR$$

$$T_5 \quad OP(IR) \rightarrow \text{微地址形成部件} \rightarrow CMAR$$