

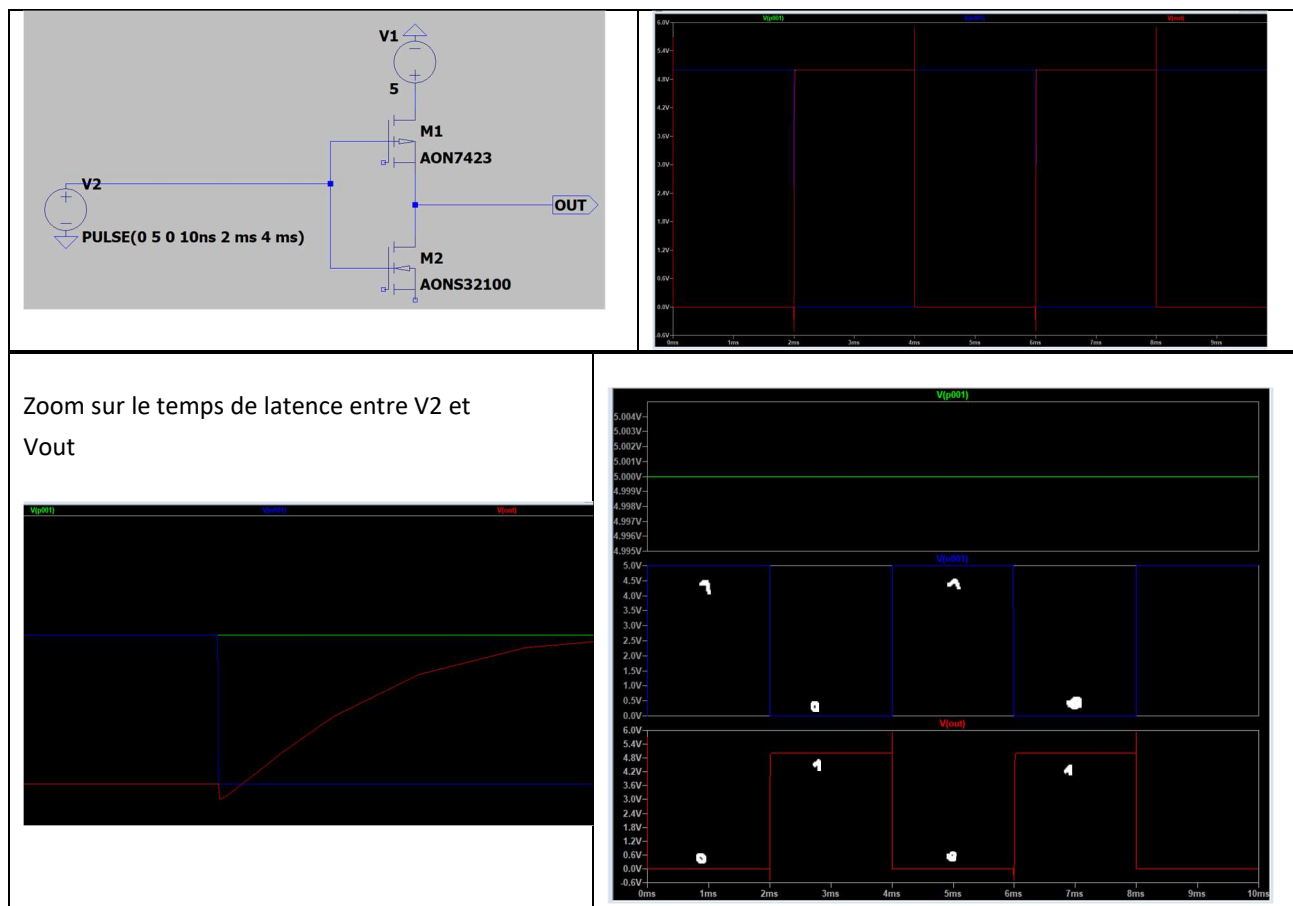
Compte rendu de TP2 – Modélisation de portes logiques et simulation sous Lt spice

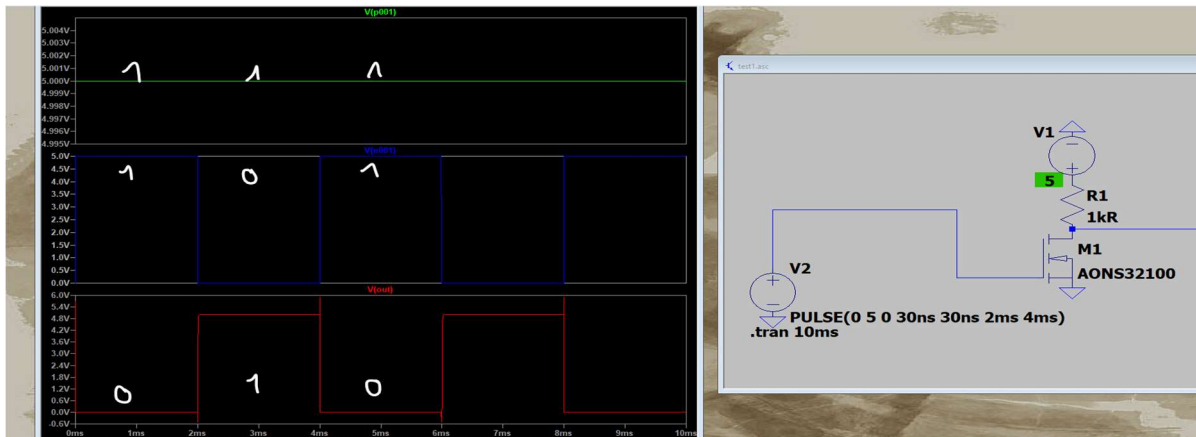
1.1 Objectif de ce TP

Le but de ce TP est de nous familiariser avec le logiciel LT-SPICE, et de faire de la modélisation de portes logiques avec sa simulation sous Ltspace.

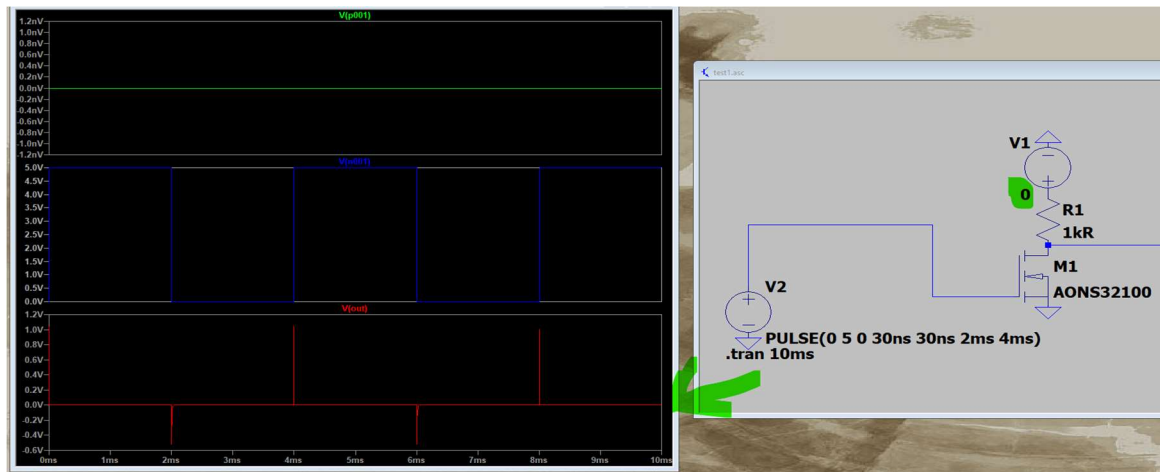
1.1.1 Exercice1

- 1) Reproduire le schéma ci-dessous sous Ltspace, utilisez « F2 » pour accéder à la librairie de composants et chercher « nmos », « Voltage » et « res »
- 2) Pour la masse utiliser le menu dans la barre supérieure

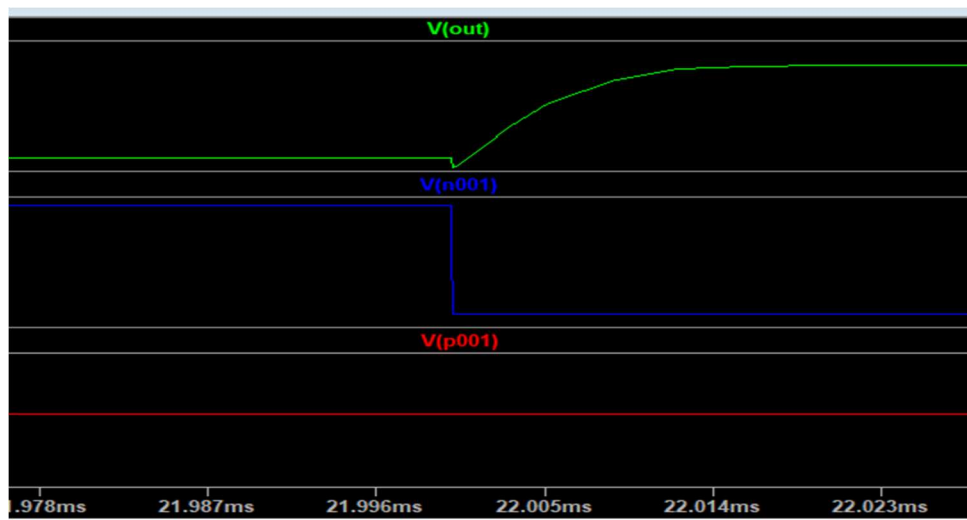




On remarque un comportement d'un inverseur : si entrée est à 1 sortie est à Zéro, et si entrée est à zéro sortie est à 1

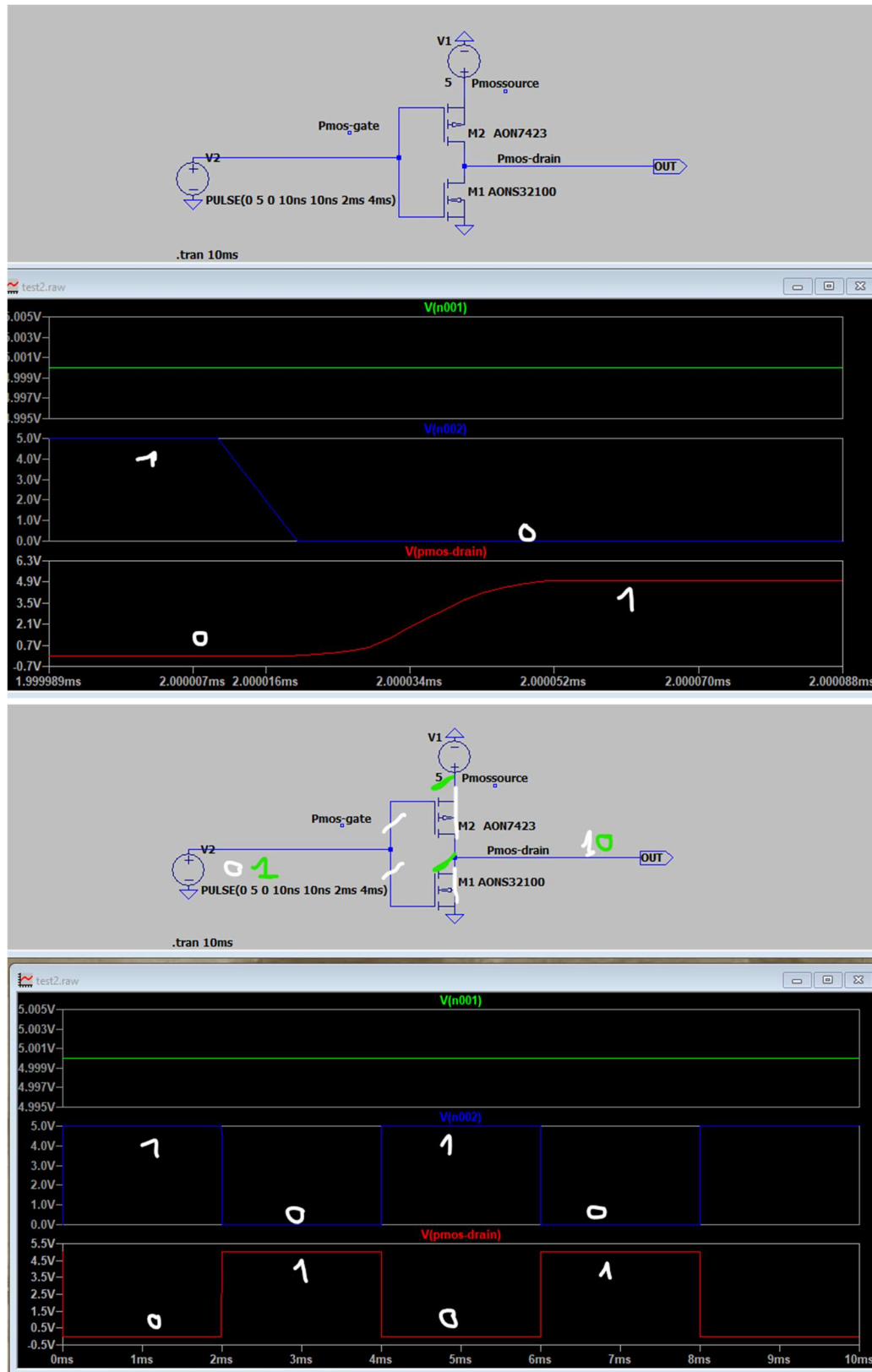


On remarque quand on met V1 à 0v notre Vout est Zéros qq soit la valeur de V2 → Donc notre transistor dépend de V1 et de l'entrée V2 pour remplir son rôle attendu.



1.1.2 Exercice2

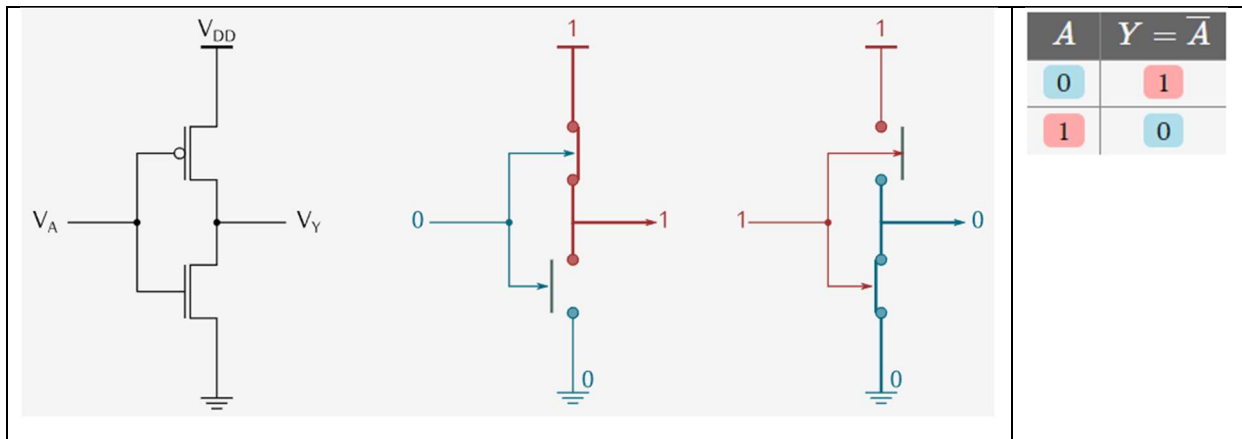
1) Reproduire le circuit ci-dessous et reproduire les analyses précédentes



On remarque un comportement d'un inverseur : si entrée est à 1 sortie est à Zéro, et si entrée est à zéro sortie est à 1

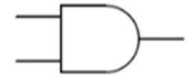
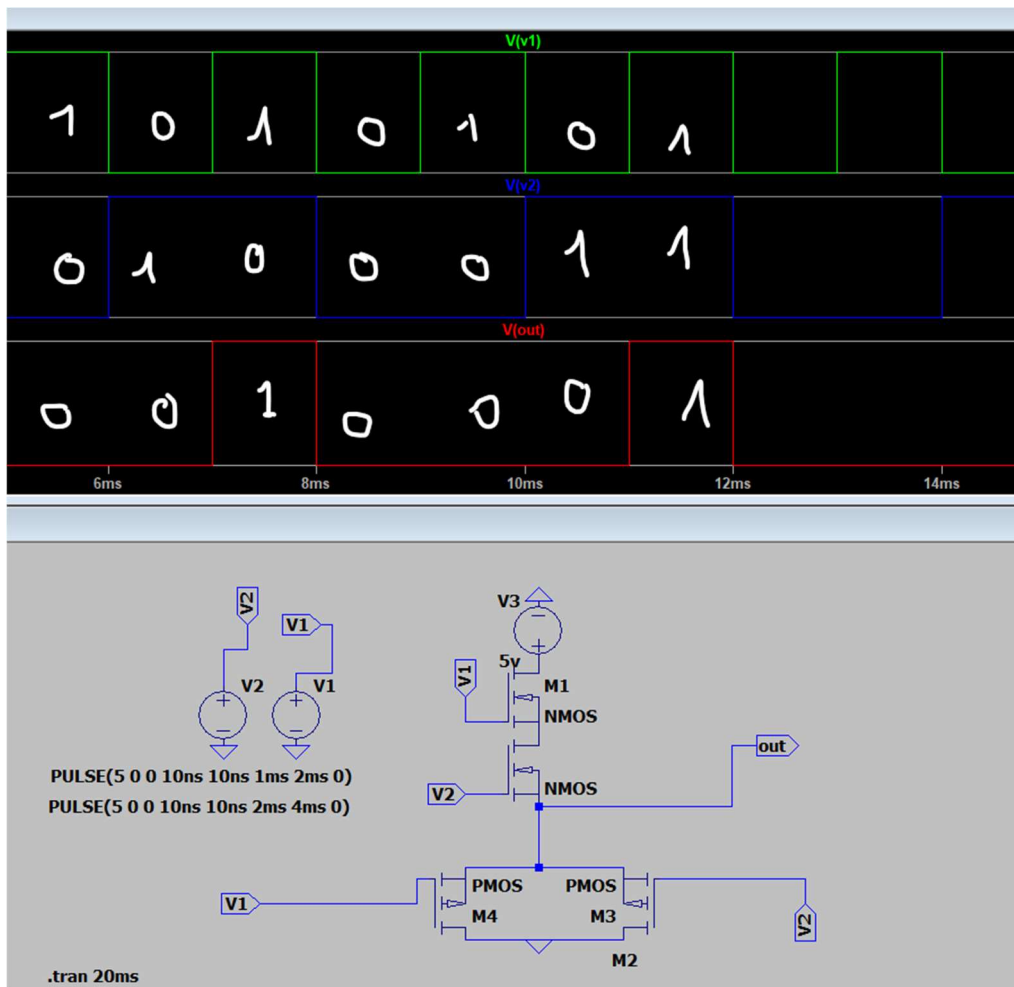
1.1.2.1 La porte inverseuse/ NOT

Notre porte inverseuse est réalisée à l'aide de deux transistors complémentaires reliés comme ci-dessous :



1.1.3 Exercice 3

- 1) Reproduire le circuit ci-dessous et reproduire les analyses précédentes



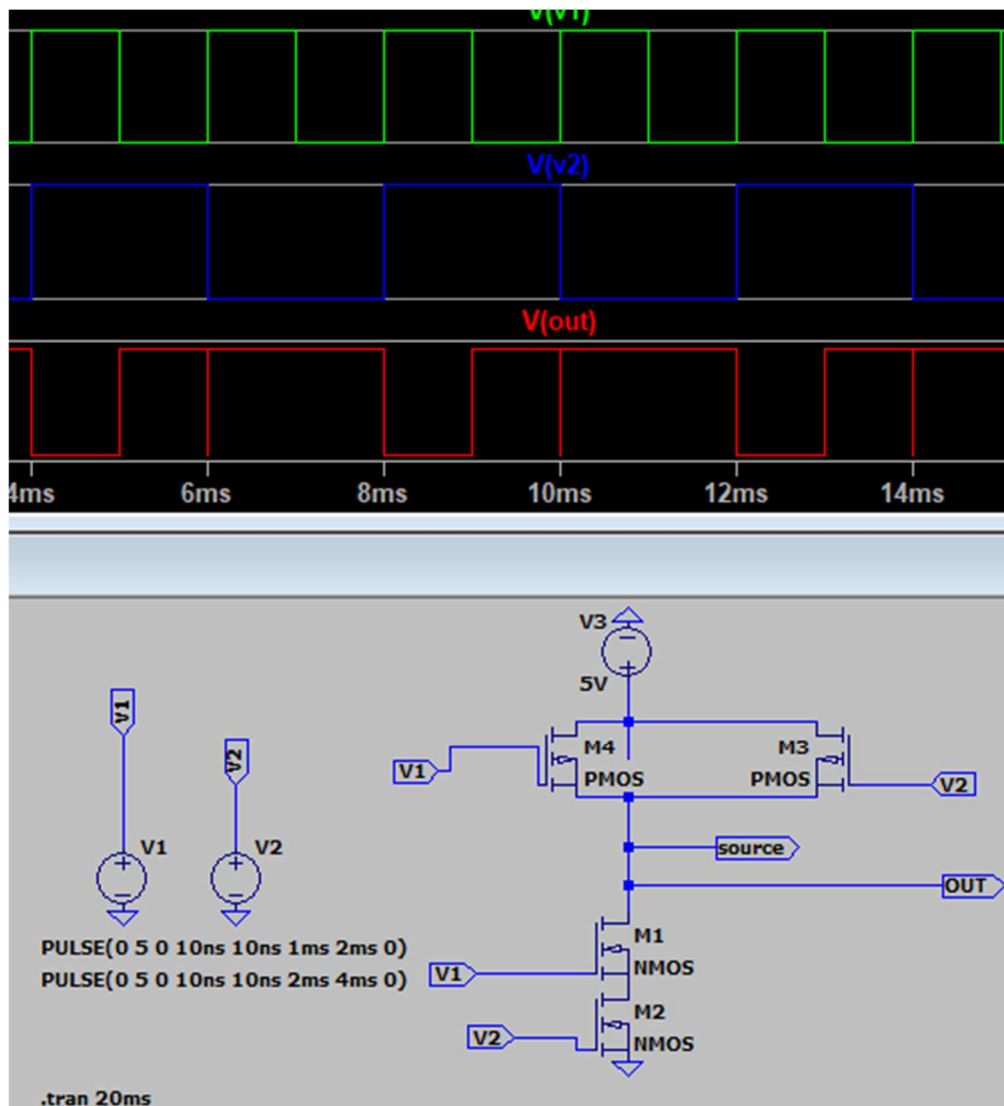
AND

A	B	Output
0	0	0
0	1	0
1	0	0
1	1	1

On remarque un comportement d'une porte logique **AND**

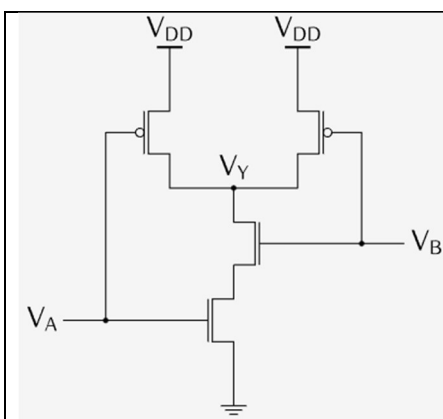
1.1.4 Exercice 4

Reproduire le circuit ci-dessous et reproduire les analyses précédentes



NAND

A	B	Output
0	0	1
0	1	1
1	0	1
1	1	0



A	B	$Y = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

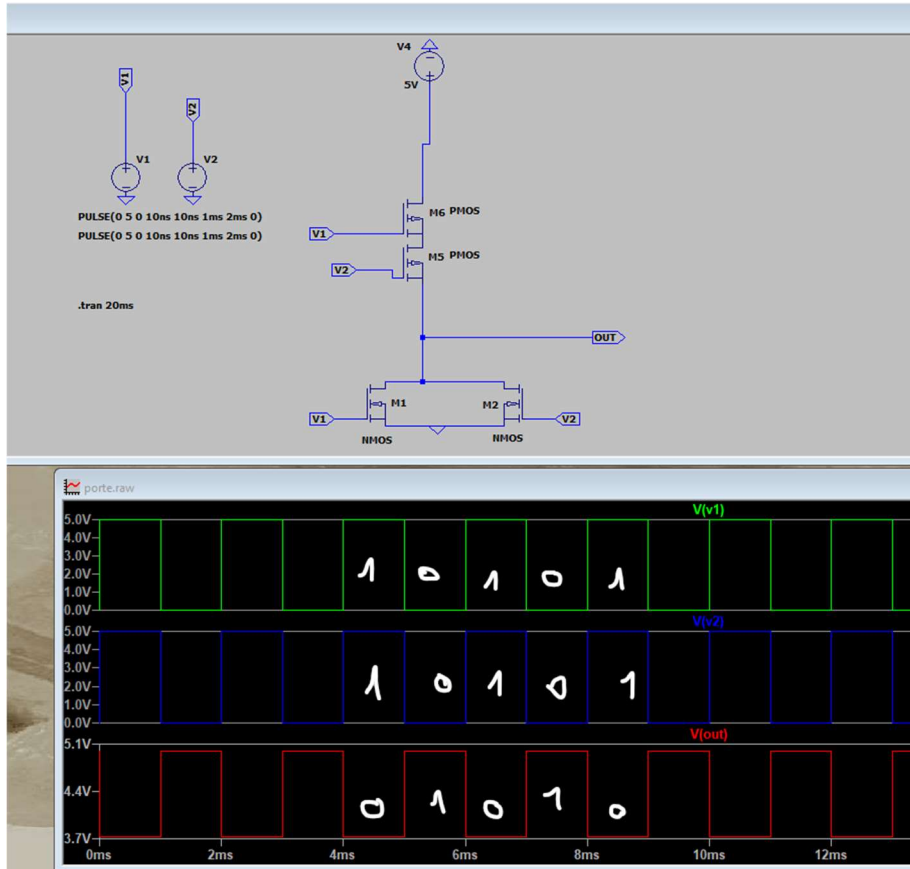
Pour que la sortie Y soit à l'état haut, il suffit que l'un des transistors **PMOS** soit passant, c'est-à-dire que A ou B soit à l'état bas

1.1.4.1 La porte NON-ET / NAND

Les transistors NMOS qui sont placés en série et les transistors PMOS en parallèle

1.1.5 Exercice 5

- 1) Reproduire le circuit ci-dessous et reproduire les analyses précédentes

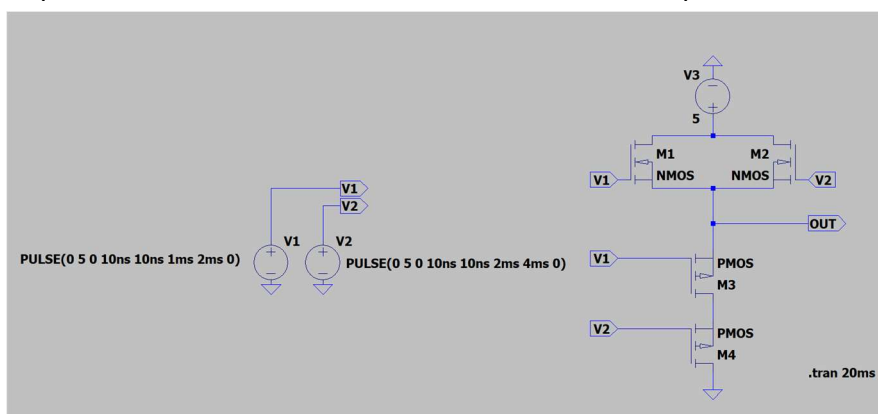


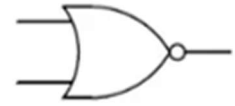
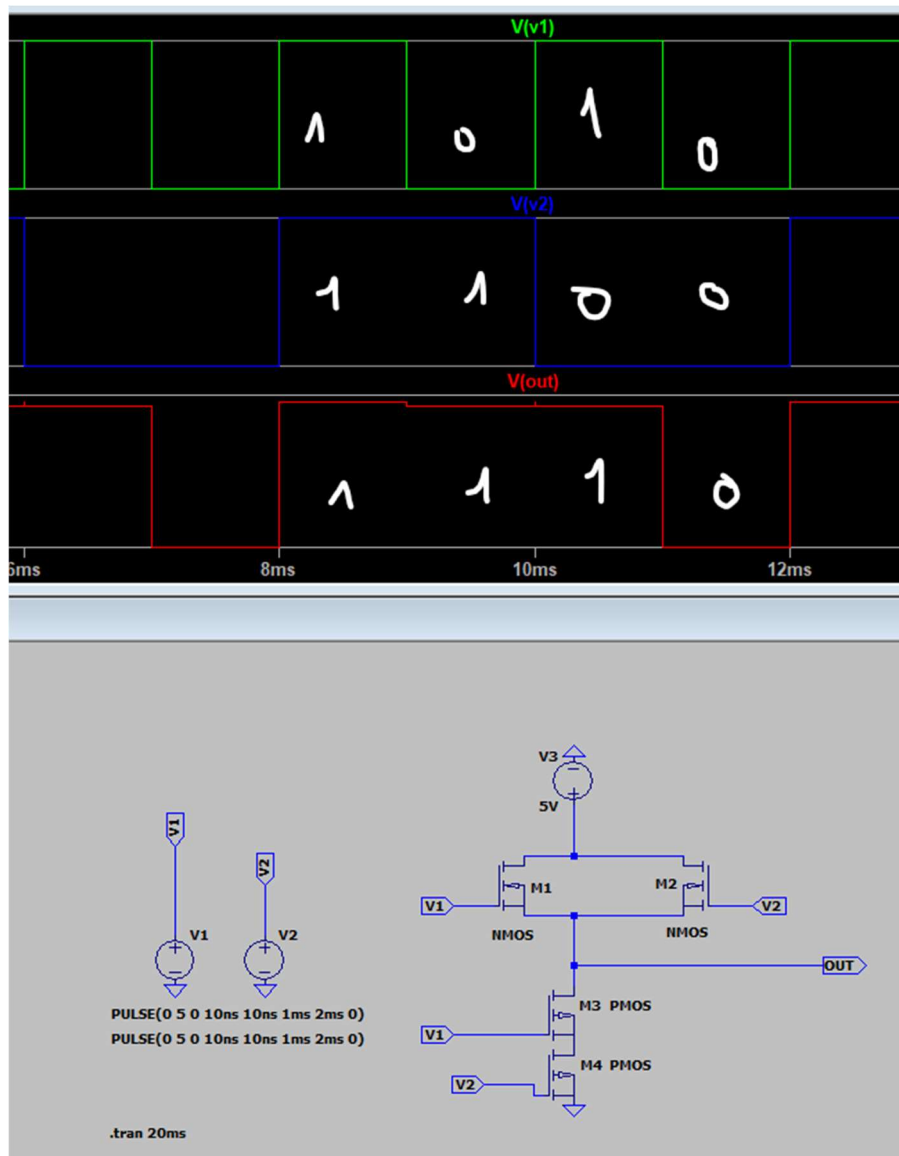
OR

A	B	Output
0	0	0
0	1	1
1	0	1
1	1	1

1.1.6 Exercice 6

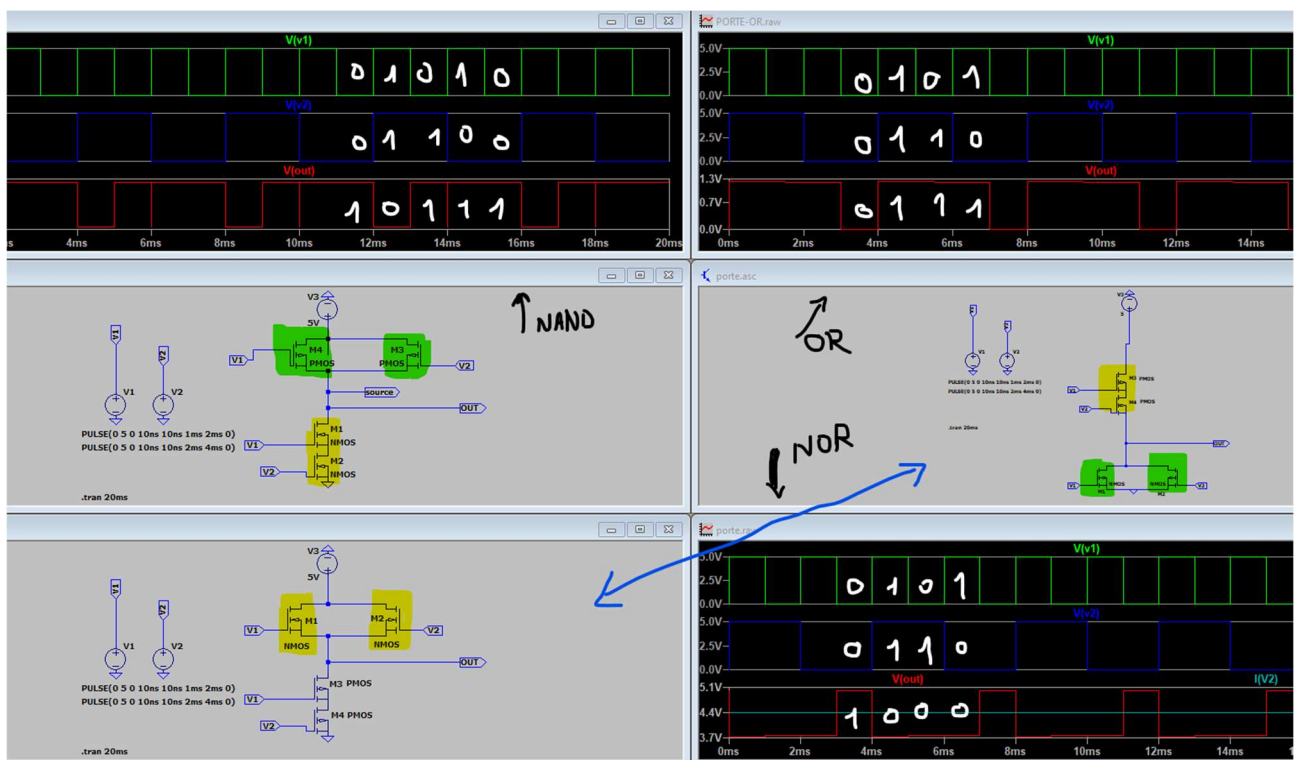
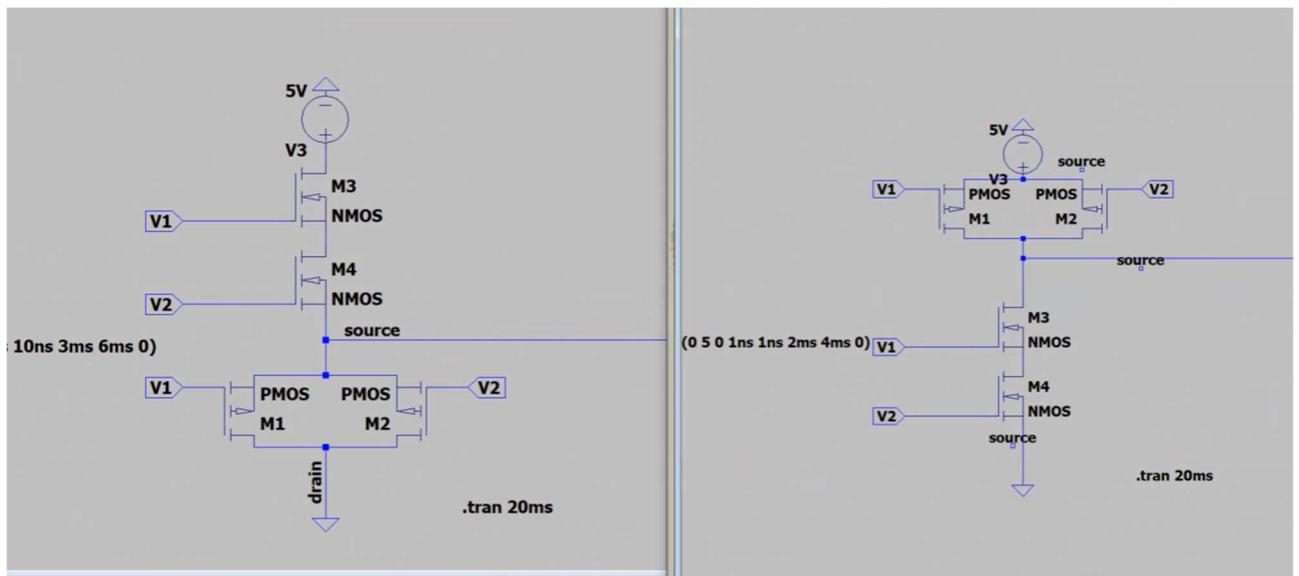
- Reproduire le circuit ci-dessous et reproduire les analyses précédentes





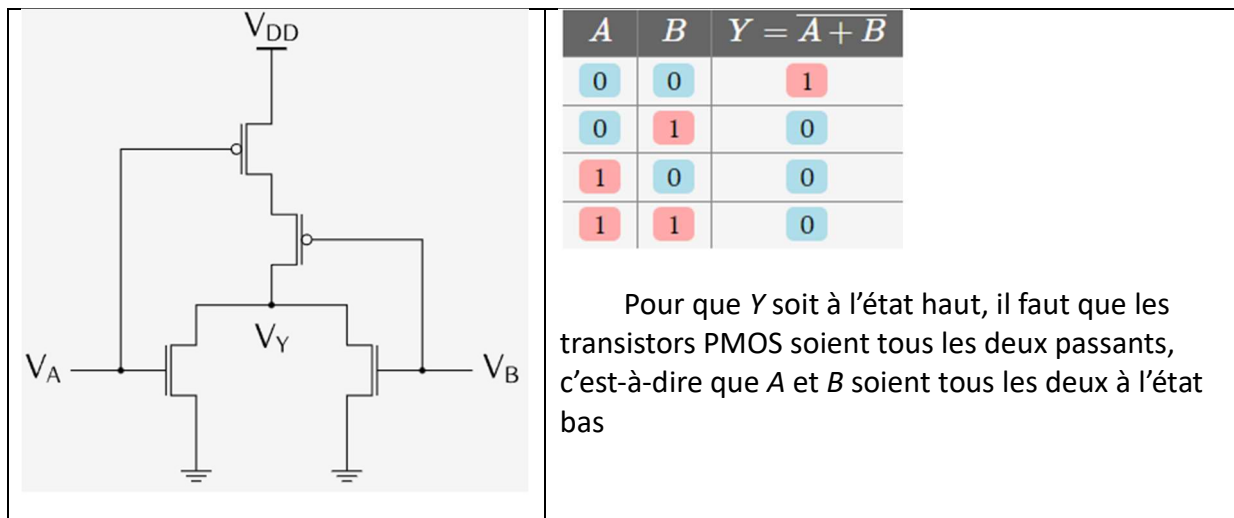
NOR

A	B	Output
0	0	1
0	1	0
1	0	0
1	1	0



1.1.6.1 La porte NON-OU / NOR

Nous pouvons réaliser la porte logique NOR avec quatre transistors les transistors PMOS sont placés en série et les transistors NMOS en parallèle.



1.1.7 Exercice 7

De fait, en très grande majorité, la porte AND n'est pas construite comme vu précédemment mais en cascade d'une porte NAND avec une porte NOT. Il en est de même pour la porte OR.

- Réaliser la simulation d'une porte NAND cascade avec une porte NOT, en faire de même pour une porte NOR et NOT

Nmos conduit si VG = 5V Pmos ouvert en VG = 5V Nmos ouvert en VG = 0V Pmos conduit en VG = 0V	G	D (NMOS)	D (PMOS)
	0	Z	1
	1	0	Z

*A se rappeler/ retenir :

- ✓ Une règle de design pour l'implémentation des MOSFET en ASIC est de ne jamais laisser la source à un potentiel non défini. Par extension les règles de design sont les suivantes :
 - La source des PMOS doit être connectée à VDD
 - La source des NMOS doit être connectée à GND

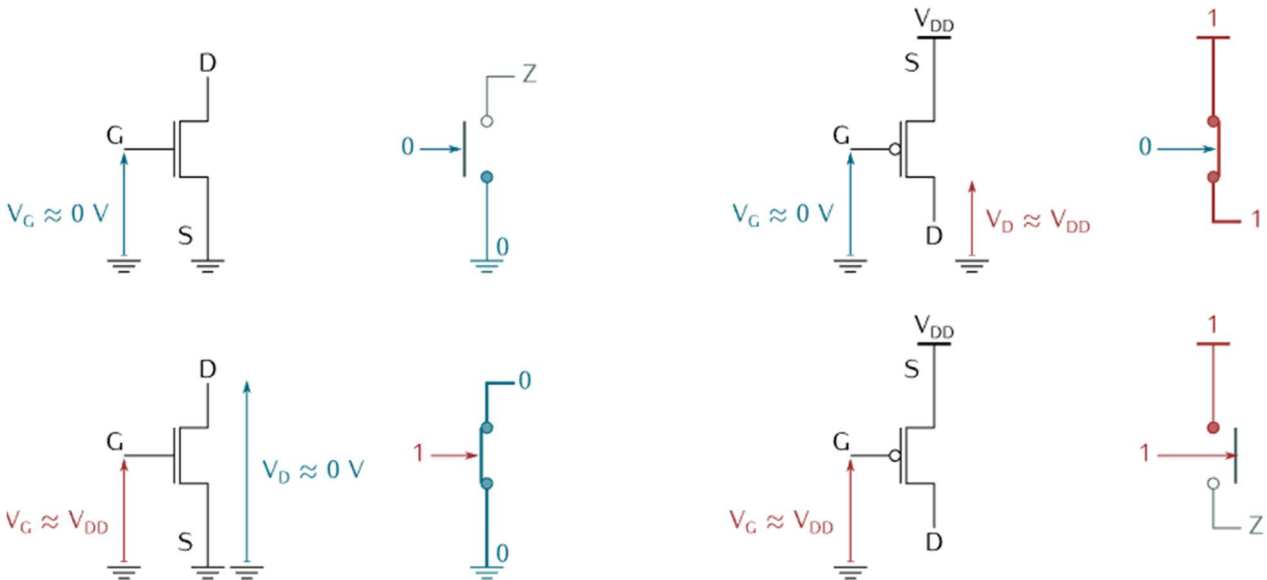
1.1.7.1 Résumé

Un circuit logique en technologie CMOS est constitué de transistors qui se comportent comme des interrupteurs commandés.

Une porte logique est un circuit qui réalise une fonction logique simple. Avec deux transistors, nous pouvons construire une porte non ; avec quatre transistors, nous pouvons construire les portes non-et (NAND) et non-ou (NOR).

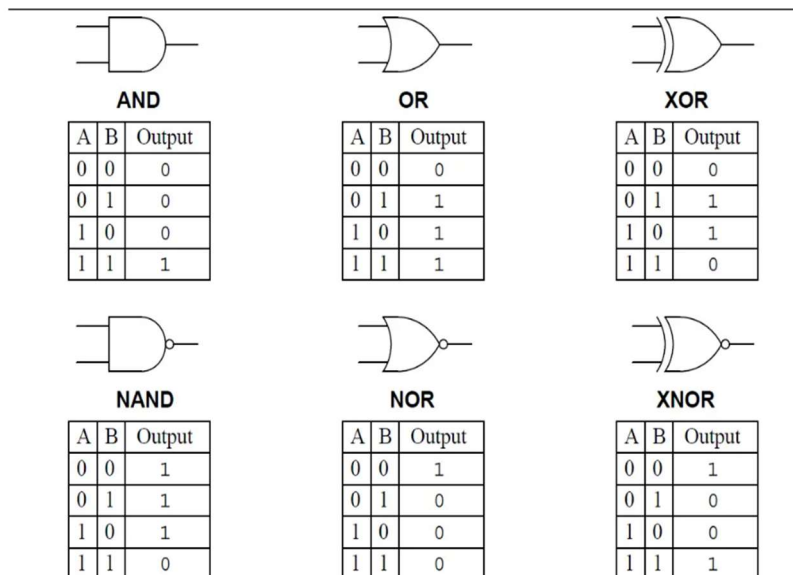
Pour connecter ensemble des circuits logiques, nous devons vérifier la compatibilité des niveaux de tension qu'ils acceptent à leurs entrées et qu'ils produisent à leurs sorties.

Les transistors sont utilisés en régime de commutation, c'est-à-dire que chaque transistor est placé dans des conditions où il se comporte comme un interrupteur ouvert ou fermé entre son drain et sa source. L'ouverture et la fermeture de l'interrupteur sont commandées par la tension appliquée à sa grille.



1.2 Annexe servi pour ce TP :

Symboles des port et leurs portes logiques :



<https://datasheetpdf.com/pdf-file/706789/Alpha&OmegaSemiconductors/AON7423/1>

https://aosmd.com/res/data_sheets/AONS32100.pdf



AON7423

Electrical Characteristics ($T_J=25^\circ\text{C}$ unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
STATIC PARAMETERS						
BV_{DSS}	Drain-Source Breakdown Voltage	$I_D=-250\mu\text{A}$, $V_{GS}=0\text{V}$	-20			V
I_{DSS}	Zero Gate Voltage Drain Current	$V_{DS}=-20\text{V}$, $V_{GS}=0\text{V}$ $T_J=55^\circ\text{C}$			-1 -5	μA
I_{GSS}	Gate-Body leakage current	$V_{DS}=0\text{V}$, $V_{GS}=\pm 8\text{V}$			± 100	nA
$V_{GS(th)}$	Gate Threshold Voltage	$V_{DS}=V_{GS}$, $I_D=-250\mu\text{A}$	-0.2	-0.5	-0.9	V
$I_{D(ON)}$	On state drain current	$V_{DS}=-4.5\text{V}$, $V_{GS}=-5\text{V}$ $V_{GS}=-4.5\text{V}$, $I_D=-20\text{A}$ $T_J=125^\circ\text{C}$	-200	3.95 5.7	5 7.2	A m Ω
$R_{DS(ON)}$	Static Drain-Source On-Resistance	$V_{GS}=-2.5\text{V}$, $I_D=-20\text{A}$ $I_D=-1.9\text{V}$, $I_D=-20\text{A}$		4.9 6.4	6.5 8.5	m Ω m Ω



AONS32100

Electrical Characteristics ($T_J=25^\circ\text{C}$ unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
STATIC PARAMETERS						
BV_{DSS}	Drain-Source Breakdown Voltage	$I_D=250\mu\text{A}$, $V_{GS}=0\text{V}$	25			V
I_{DSS}	Zero Gate Voltage Drain Current	$V_{DS}=25\text{V}$, $V_{GS}=0\text{V}$ $T_J=55^\circ\text{C}$			1 5	μA
I_{GSS}	Gate-Body leakage current	$V_{DS}=0\text{V}$, $V_{GS}=\pm 20\text{V}$			± 100	nA
$V_{GS(th)}$	Gate Threshold Voltage	$V_{DS}=V_{GS}$, $I_D=250\mu\text{A}$	0.6	1.1	1.6	V
$R_{DS(ON)}$	Static Drain-Source On-Resistance	$V_{GS}=10\text{V}$, $I_D=20\text{A}$ $T_J=125^\circ\text{C}$ $V_{GS}=4.5\text{V}$, $I_D=20\text{A}$		0.6 0.9 0.85	0.73 1.1 1.08	m Ω m Ω
g_{FS}	Forward Transconductance	$V_{DS}=5\text{V}$, $I_D=20\text{A}$		85		S
V_{SD}	Diode Forward Voltage	$I_S=1\text{A}$, $V_{GS}=0\text{V}$		0.6	1	V
I_S	Maximum Body-Diode Continuous Current				200	A

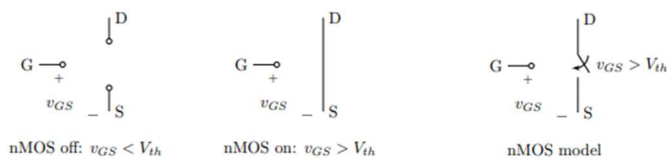
<https://web.stanford.edu/class/archive/engr/engr40m.1178/slides/transistors.pdf>

Ideal MOS transistor switch

In the ideal transistor switch, the connection between the drain and the source acts like a switch that is controlled by the voltage between the gate and the source, v_{GS} .

In an **nMOS**, when v_{GS} is greater than the *threshold voltage* V_{th} , the transistor turns on and the "switch" is closed. Otherwise, the transistor is off and the connection between the drain and source is open.

The threshold voltage is typically between 1 V and 2 V.



The **pMOS** is similar, except that it's flipped: it turns on when $v_{GS} < -V_{th}$.

