

## TP5 – Domaines d’horloge

### Rendu

Votre rapport devra contenir :

- Vos schéma RTL
- Vos résultats de simulation avec vos chronogrammes commentés
- Vos résultats de synthèse (analyse de vos ressources)
- Vos résultats de STA
- Vos résultats de mesure ILA
- Une démonstration de votre design

Vous fournirez également vos codes sources commentés.

### Objectif

L’objectif de ce TP est de mettre en place une architecture utilisant plusieurs domaines d’horloge. Pour cela, vous utiliserez deux LEDs RGB qui clignoteront avec des fréquences différentes grâce aux horloges. Vous apprendrez également à utiliser une PLL pour générer des horloges.

### Questions

1. A l’aide du module *LED\_driver* du TP4, créez une architecture RTL permettant de piloter les deux LED RGB. Les LEDs RGB devront clignoter 10 fois en rouge puis 10 fois en bleu et 10 fois en vert avant de recommencer à partir du rouge. En entrée des modules *LED\_driver* le signal *update* ne devra pas être à 1 pendant plus d’un coup d’horloge. Il doit s’agir d’une impulsion.

Le compteur de temporisation devra compter 100 000 000 coups d’horloge (pour une fréquence d’horloge à 100MHz, cela correspond à 1s). **Dans la suite de ce TP, la valeur du compteur de temporisation ne sera pas modifiée, même lorsque les fréquences d’horloges changeront.**

2. Rédigez le code VHDL correspondant à votre architecture.

3. Rédigez le testbench et simulez votre design. Vérifiez que les modules réceptionnent correctement le signal *update*.

4. Modifiez votre design pour gérer deux signaux d’horloge différents. La première horloge, *clkA*, est associé à la logique en dehors des modules *LED\_driver* et au module *LED\_driver* de la LED0. La deuxième horloge, *clkB*, est associé au module *LED\_driver* de la LED1.

Le changement de couleur des deux LEDs à lieu lorsque la LED0 à clignoté 10 fois.

5. Modifiez votre testbench tel que l'horloge *clkA* ait une fréquence de 250MHz et *clkB* 50MHz.

6. Lancer une simulation. Que se passe-t-il au niveau des signaux *update* des modules *LED\_driver* ? Qu'elle incidence cela a-t-il sur les LEDs ?

7. Proposez une solution pour corriger le problème lié au changement de domaine d'horloge, vous pourrez vous aider du lien <https://nandland.com/lesson-14-crossing-clock-domains/>.

8. Mettez en place votre solution et testez-la en simulation. Si votre résultat de simulation n'est toujours pas valide, proposez une autre solution.

9. Pour générer plusieurs horloges vous aurez besoin d'une PLL. Trouvez quel est le nom de l'IP PLL de l'IP Catalog de Vivado puis ajoutez là à votre architecture.

La fréquence de l'horloge en entrée de la PLL est de 100MHz. Les deux horloges en sortie doivent être à 250MHz et 50MHz.

10. Effectuez la synthèse et placez des sondes (ILA) sur les signaux pertinents pour vérifier que le changement de domaine d'horloge s'est correctement passé.

11. Étudiez le rapport de synthèse.

12. Effectuez le placement routage et étudiez les rapports générés.

13. Générez le bitstream, programmez la carte et vérifiez les signaux du chipscope (ILA).