

1. 选择填空题

(1) 从电路结构上看, 时序电路必须含有_____。

- (a) 门电路 (b) 存储电路 (c) RC 电路 (d) 译码电路

(2) 下面描述同一逻辑电路内、外输入输出逻辑关系的方程中, _____
表明该电路为时序逻辑电路。

(a) $Z(t_n) = F[X(t_n), Q(t_n)]$ (b) $W(t_n) = H[X(t_n), Q(t_n)]$

(c) $Q(t_{n+1}) = G[W(t_n), Q(t_n)]$ (d) $Y(t_n) = G[X(t_n), Q(t_n)]$

(3) 每经十个 CP 脉冲状态循环一次的计数电路, 知其有效状态中的最大数为 1100, 则欠妥的描述是_____。

- (a) 模 10 计数器 (b) 计数容量为 10
(c) 10 进制计数器 (d) 12 进制计数器

(4) 欲把 36kHz 的脉冲信号变为 1Hz 的脉冲信号，若采用 10 进制集成计数器，则各级的分频系数为_____。

(a) (3,6,10,10,10) (b) (4,9,10,10,10)

(c) (3,12,10,10,10) (d) (6,3,10,10,10)

(5) 用集成计数器设计 n 进制计数器时，不宜采用_____方法。

(a) 置最小数 (b) 反馈复位 (c) 反馈预置 (d) 时钟禁止

(6) 欲把一脉冲信号延迟 8 个 CP 后输出，宜采用_____电路。

(a) 计数器 (b) 分频器 (c) 移位寄存器 (d) 脉冲发生器

(7) 欲把并行数据转换成串行数据，可用_____。

(a) 计数器 (b) 分频器 (c) 移位寄存器 (d) 脉冲发生器

(8) 程序控制中，常用_____电路作定时器。

(a) 计数器 (b) 比较器 (c) 译码器 (d) 编码器

2. 填空题 (请在空格中填上合适的词语, 将题中的论述补充完整)

- (1) 输出不仅取决于当前的输入, 而且与_____有关的电路一定是时序电路。
- (2) 所谓同步时序电路, 是指所有 FF 公用_____。
- (3) 输出仅与电路_____的时序电路称为 Moore 型电路。
- (4) 触发器未公用同一 CP 的电路一定是_____电路。
- (5) 计数器电路中, _____称为有效状态; 若无效状态经若干个 CP 脉冲后能_____, 称其为具有自启动能力。
- (6) 计数器的基本功能是_____和_____。
- (7) 4 个触发器构成的行波计数器, 其计数的模为_____。
- (9) 同步集成计数器是指构成计数器的所有触发器_____; 而同步操作是指实现某功能要_____。

(10) 全同步集成计数器是指除构成计数器的所有 FF 公用同一 CP 源外, 其它任何操作都必须借助于_____的计数器。

(11) 用集成计数器实现任意进制时, 采用_____控制计数循环的方法实现的电路工作较为可靠。

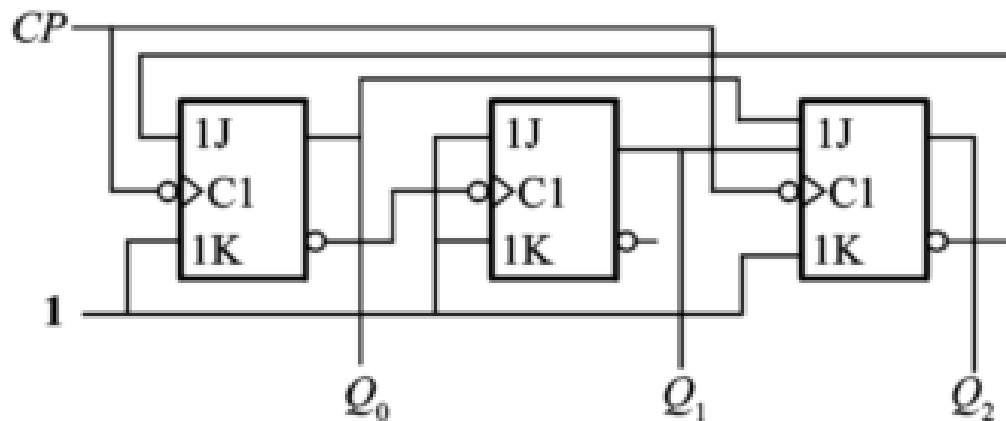
(12) 用_____控制计数循环的方法实现任意进制计数电路时存在瞬态。

(13) X 进制计数电路中, 若所有 Q 同时输出, 则为_____功能; 若仅由最高位输出, 则为_____功能。

(14) _____的计数器称为可逆计数器。

作业

8.3 试分析图题所示电路的逻辑功能。



[解] (1) 驱动程式和时钟方程

$$J_0 = \overline{Q_2^n} \quad K_0 = 1 \quad CP_0 = CP$$

$$J_1 = K_1 = 1 \quad CP_1 = \overline{Q_0^n}$$

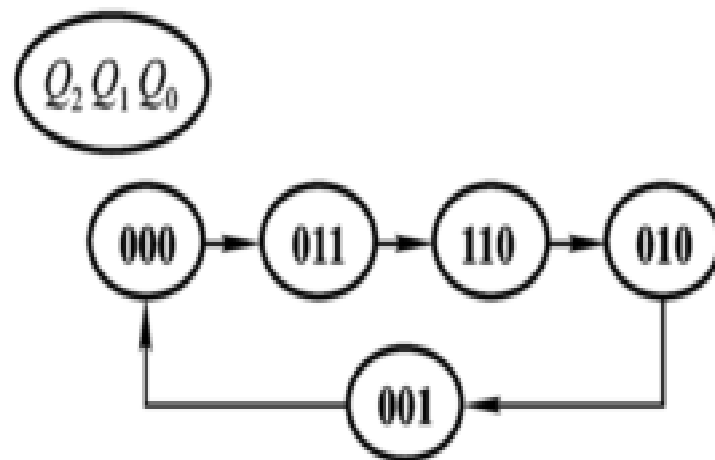
$$J_2 = Q_1^n Q_0^n \quad K_2 = 1 \quad CP_2 = CP$$

(2) 将驱动方程代入特性方程得状态方程

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_2^n} \overline{Q_0^n} \quad (CP)$$

$$Q_1^{n+1} = \overline{Q_1^n} \quad CP_1 = \overline{Q_0^n}$$

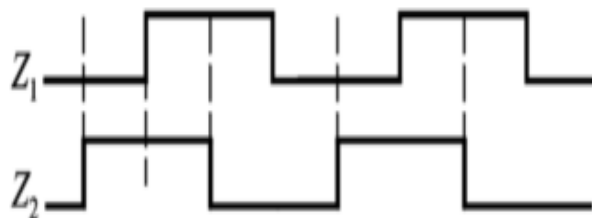
$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n \quad (CP)$$



由状态转换图可见该
电路为异步5进制计数器。

$Q_2^n \ Q_1^n \ Q_0^n$	$Q_2^{n+1} \ Q_1^{n+1} \ Q_0^{n+1}$	$CP_2 \ CP_1 \ CP_0$
0 0 0	0 1 1	↓ ↓ ↓
0 1 1	1 1 0	↓ ↓ ↓
1 1 0	0 1 0	↓ ↓ ↓
0 1 0	0 0 1	↓ ↓ ↓
0 0 1	0 0 0	↓ ↓ ↓

8.6 用JK触发器设计图题所示两相脉冲发生电路。



[解] 电路的循环状态为 $00 \rightarrow 10 \rightarrow 11 \rightarrow 01 \rightarrow 00$ ，因此可按同步计数器设计，用两个JK FF实现。

(1) 作次态卡诺图求状态方程和输出方程

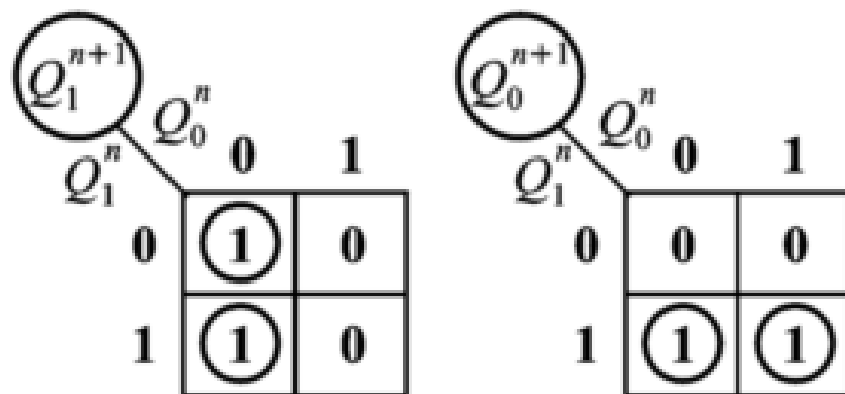
$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$
00	10
01	00
10	11
11	01

上页

下页

返回

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$
00	10
01	00
10	11
11	01



$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + Q_1^n \overline{Q_0^n}, \quad Q_0^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + Q_1^n Q_0^n$$

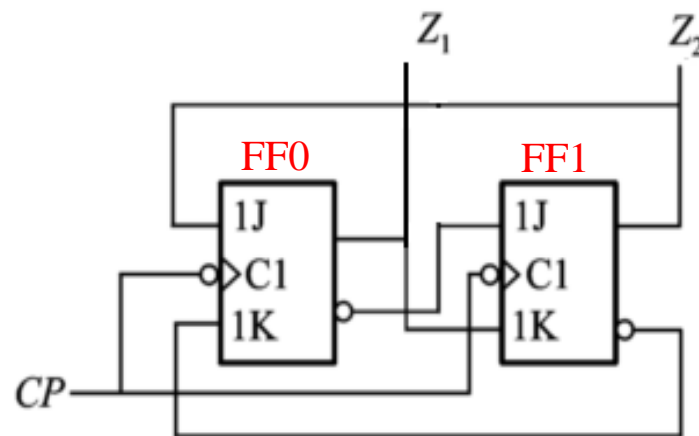
$$Z_2 = Q_1^n, \quad Z_1 = Q_0^n$$

(2) 求驱动方程

将状态方程与JK触发器的特性方程对比

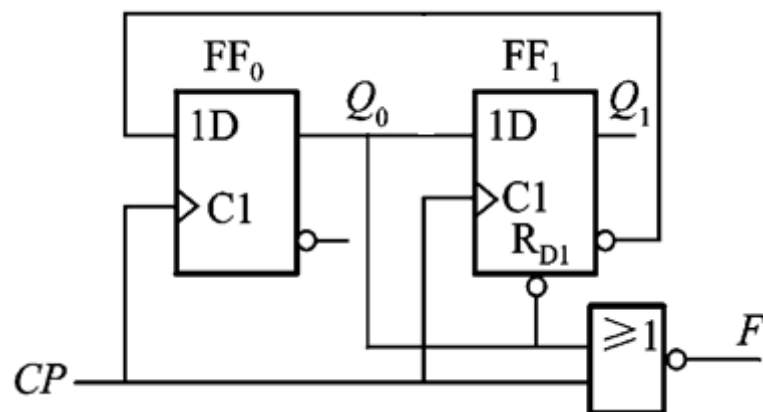
$$J_1 = \overline{Q_0^n}, \quad K_1 = Q_0^n$$

$$J_0 = Q_1^n, \quad K_0 = \overline{Q_1^n}$$



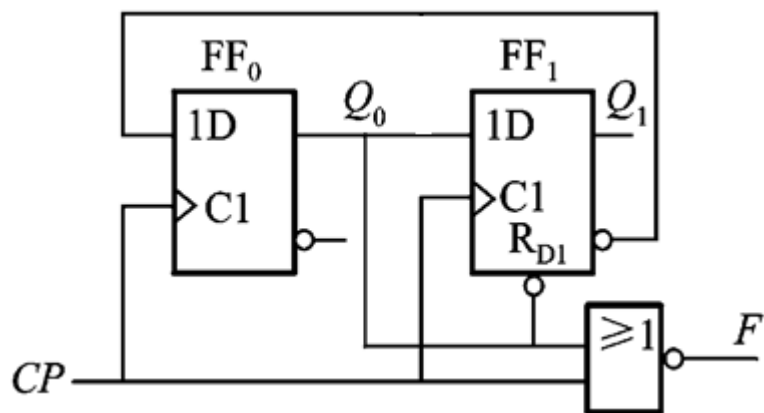
例：一个同步时序电路如图题所示。设触发器的初态 $Q_1 = Q_0 = 0$ 。

- (1) 画出 Q_0 、 Q_1 和 F 相对于 CP 的波形；
- (2) 从 F 与 CP 的关系看，该电路实现何种功能？



[解]

1) 写方程式



① 驱动方程: $D_0 = \overline{Q_1^n}$ $D_1 = Q_0^n$

② 复位方程: $\overline{R_{D1}} = Q_0^n$

③ 输出方程: $F = \overline{CP} + Q_0^n$

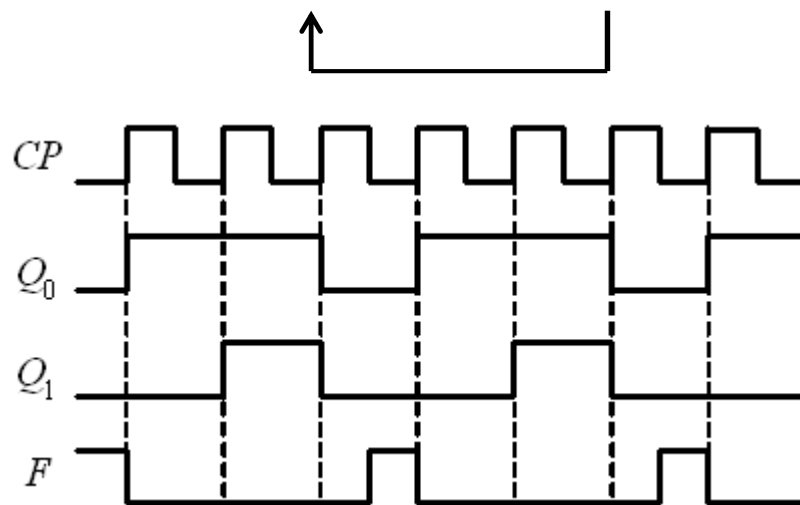
2) 求状态方程

$$Q_0^{n+1} = D_0 = \overline{Q_1^n} \quad Q_1^{n+1} = Q_0^n \quad (\overline{R_{D1}} = Q_0^n)$$

状态转换表

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1}$
00	01
01	11
10	00
11	00

10 → 00 → 01 → 11



从F与CP的关系可以看出该电路实现三分频。

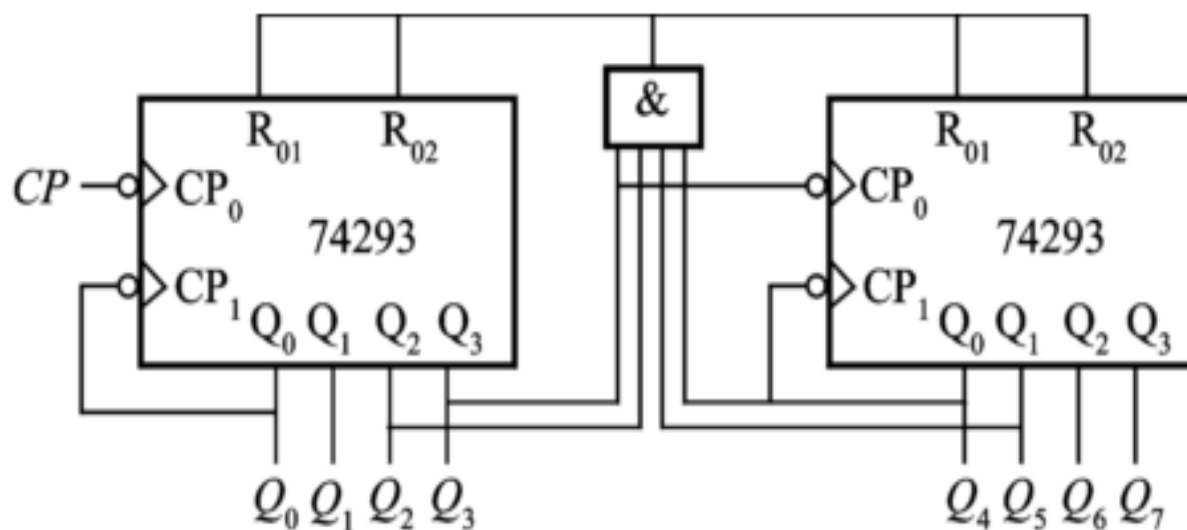
8.7 用74LS293及其它必要的电路组成六十进制计数器，画出电路连接图。

[解] 74LS293为异步2-8-16进制集成计数器，需要两片级联实现60进制计数器。

方法一：全局反馈清零

$$(1) \quad N = 60, \quad S_n = [60]_D = [00111100]_B$$

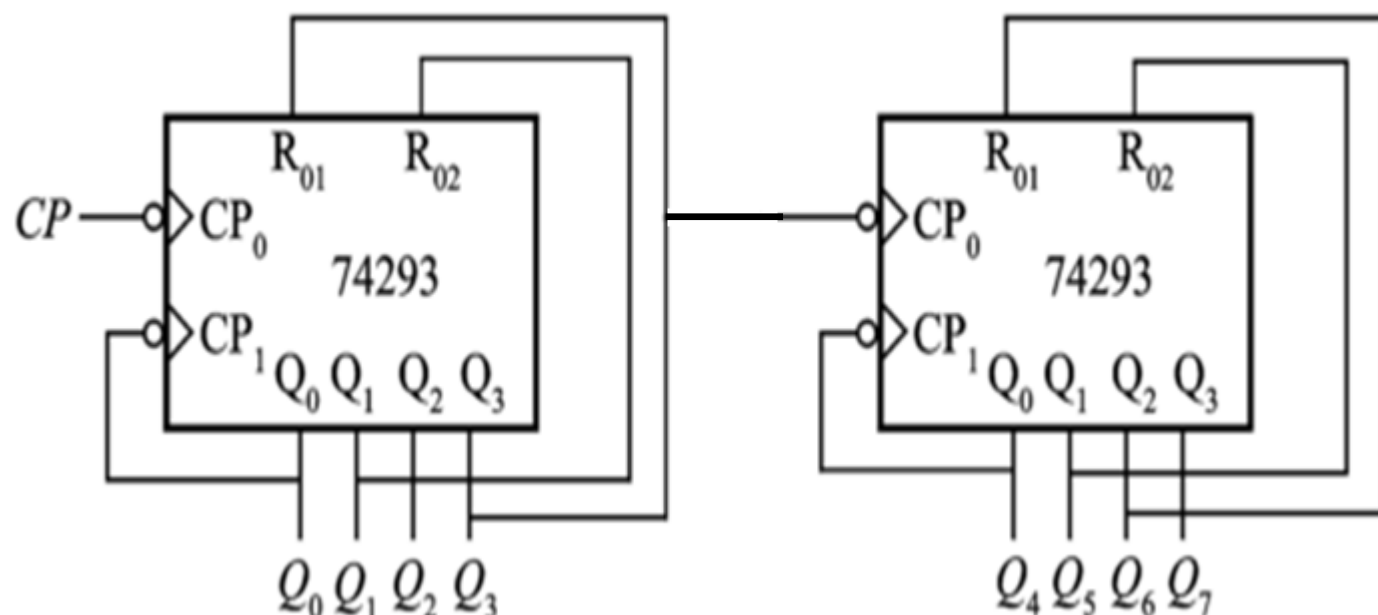
$$(2) \quad F = R_{01}R_{02} = \prod Q^1 = Q_5Q_4Q_3Q_2$$



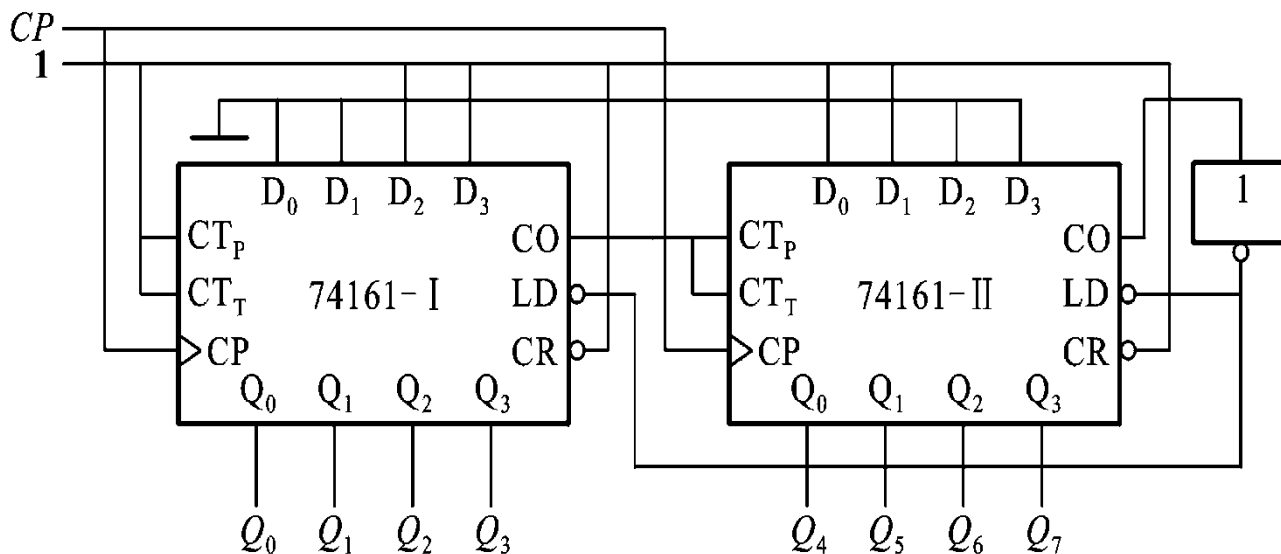
方法二：局部反馈清零

(1) $N = 60 = 6 \times 10 = N_2 \times N_1$ 。 $S_{n2} = 0110$ ， $S_{n1} = 1010$ 。

(2) $F_2 = R_{01}R_{02} = \prod Q^1 = Q_2Q_1$ 。 $F_1 = R_{01}R_{02} = \prod Q^1 = Q_3Q_1$



8.12 计数器74161构成电路如图题5.20所示，试说明其逻辑功能。



[解]

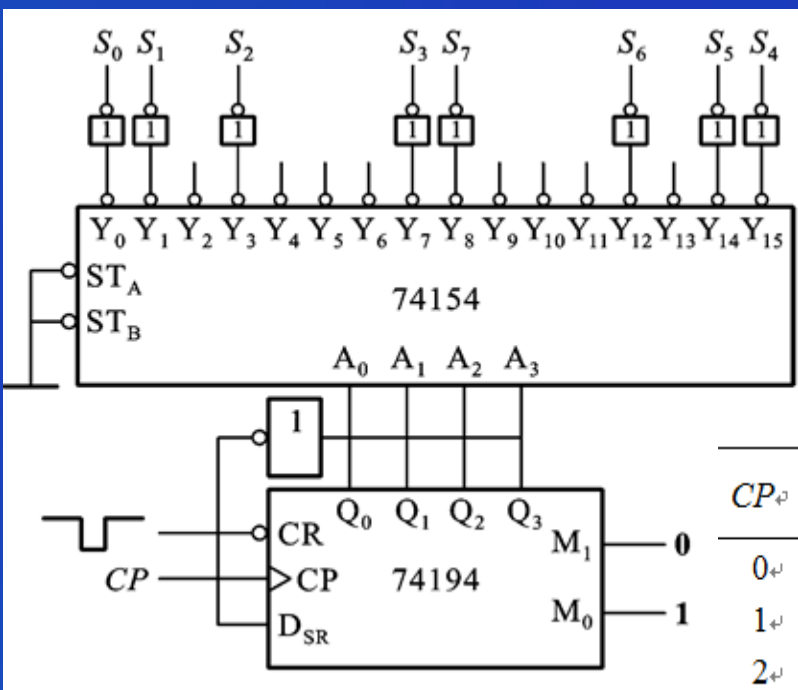
74161(1)的 CO 输出控制着74161(2)的 CT_P 和 CT_T ，而74161(2)的输出 CO 又作为反馈控制预置信号，又 $CO = Q_3Q_2Q_1Q_0CT_T$ ，因此，两片计数器的满状态和预置状态即为计数器的结束和初始状态。

$$N = (S_{n-1} + 1) - S_0 = (11111111)_B + 1 - (00111100)_B = 196$$

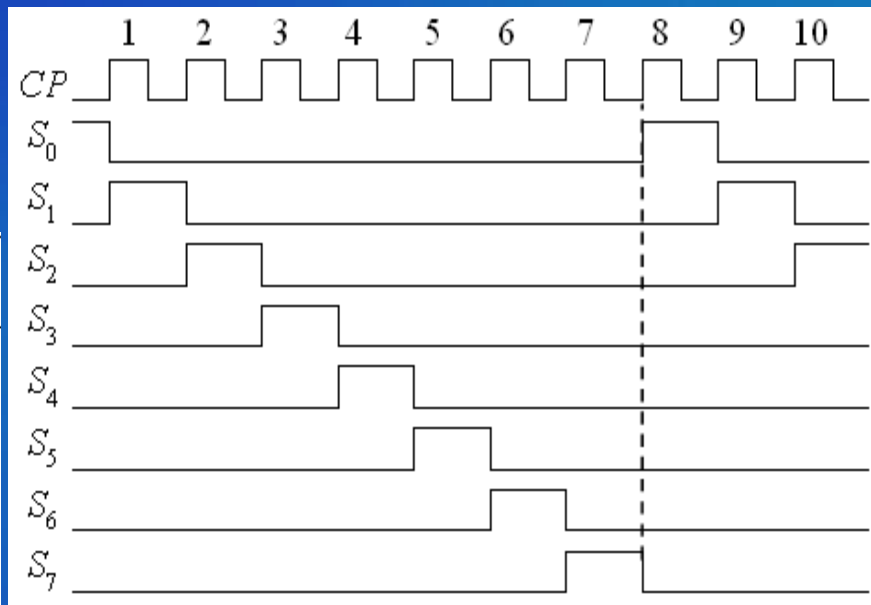
所以，该电路为同步196进制计数器。

8.16 74154是4-16线译码器。试画出 CP 及 S_0 、 S_1 、 S_2 、 S_3 、 S_4 、 S_5 、 S_6 和 S_7 各输出的波形图。

[解] 由图可见，74194 构成扭环形计数器， CP 到来前先清零。因此，74194 从 0000 开始，在 $M_1M_0 = 01$ 方式控制信号及 CP 脉冲作用下，执行右移操作，由于 $D_{SR} = \overline{Q_3}$ ，可得计数态序表如表解 8.16 所示；74194 输出作为 4/16 线译码器的输出，译码器输出低有效，经非门后 $S_0 \sim S_7$ 高有效

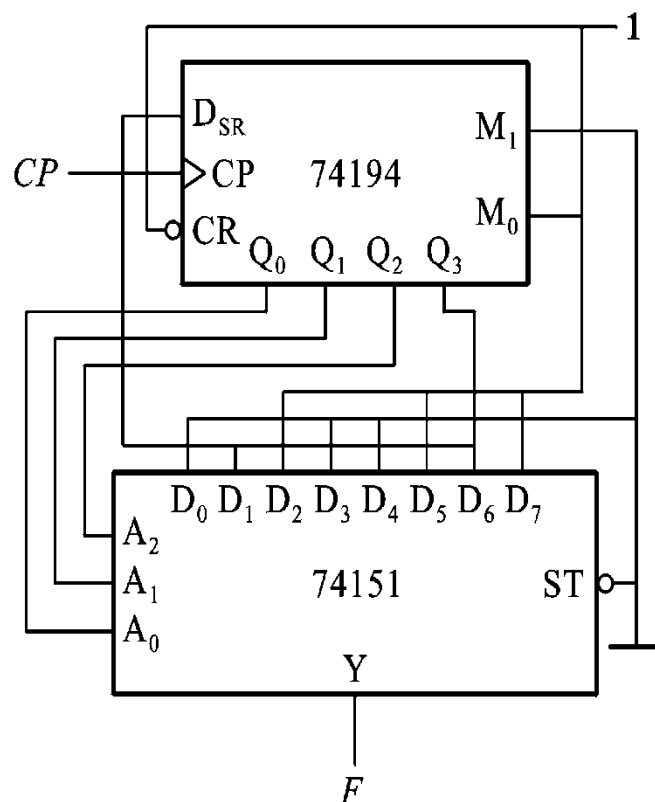


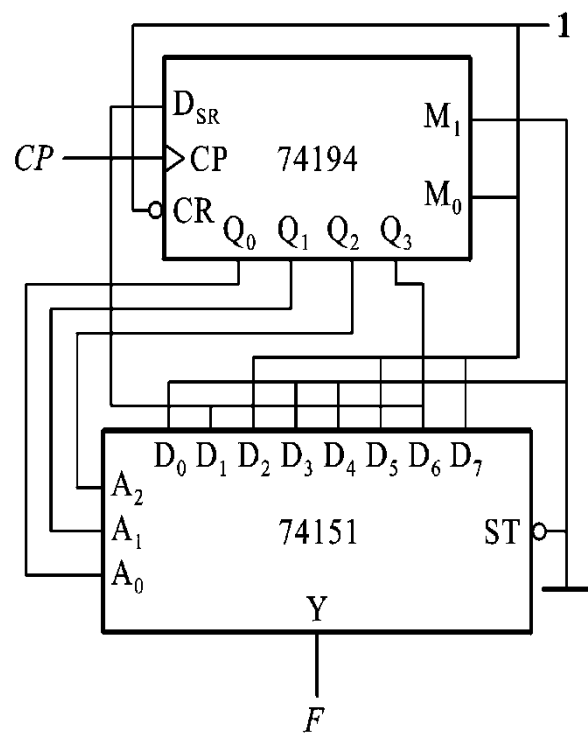
$CP \downarrow$	Q_0	Q_1	Q_2	Q_3
0 \downarrow	0	0	0	0 \downarrow
1 \downarrow	1	0	0	0 \downarrow
2 \downarrow	1	1	0	0 \downarrow
3 \downarrow	1	1	1	0 \downarrow
4 \downarrow	1	1	1	1 \downarrow
5 \downarrow	0	1	1	1 \downarrow
6 \downarrow	0	0	1	1 \downarrow
7 \downarrow	0	0	0	1 \downarrow
8 \downarrow	0	0	0	0 \downarrow



8.17 电路如图题所示，要求

- (1) 列出电路的状态迁移关系(设初始状态为0110);
- (2) 写出 F 的输出序列。





$CP \downarrow$	$Q_0 Q_1 Q_2 Q_3 \downarrow$	$A_2 A_1 A_0 \downarrow$	$D_i \downarrow$	$F \downarrow$
0	0 1 1 0	1 1 0	D_6	0
1	0 0 1 1	1 0 0	D_4	0
2	1 0 0 1	0 0 1	D_1	1
3	1 1 0 0	0 1 1	D_3	0
4	0 1 1 0	1 1 0	D_6	0

[解] (1) 电路由移位寄存器 74194 和多选一 MUX 构成。由于 74194 中右移数据输入 $D_{SR} = Q_3$ ，且工作方式控制信号 $M_1 M_0 = 01$ ，构成了环形计数器；而 8 选 1 MUX 的地址输入 $A_2 A_1 A_0 = Q_2 Q_1 Q_0$ ， $D_7 = D_5 = D_2 = 1$ ， $D_4 = D_3 = D_0 = 0$ ， $D_6 = D_1 = Q_3$ ，因此，根据 74194 的输出态序和 MUX 的选择功能就能得出 F 的输出序列。

(2) 由表可见， F 的输出序列为 0010。

上页

下页

返回