5 可编程逻辑器件

5.1 可编程逻辑器件的发展历程及趋势

5.2 可编程逻辑器件的分类

5.3 简单PLD结构介绍

5.4 复杂可编程逻辑器件CPLD

5.5 现场可编程逻辑阵列FPGA

5.1 可编程逻辑器件的发展历程及趋势

固定功能的逻辑器件： 逻辑功能固定不变。设计复杂的系统时费时费力、体积大、功耗大、可靠性差、保密性差。

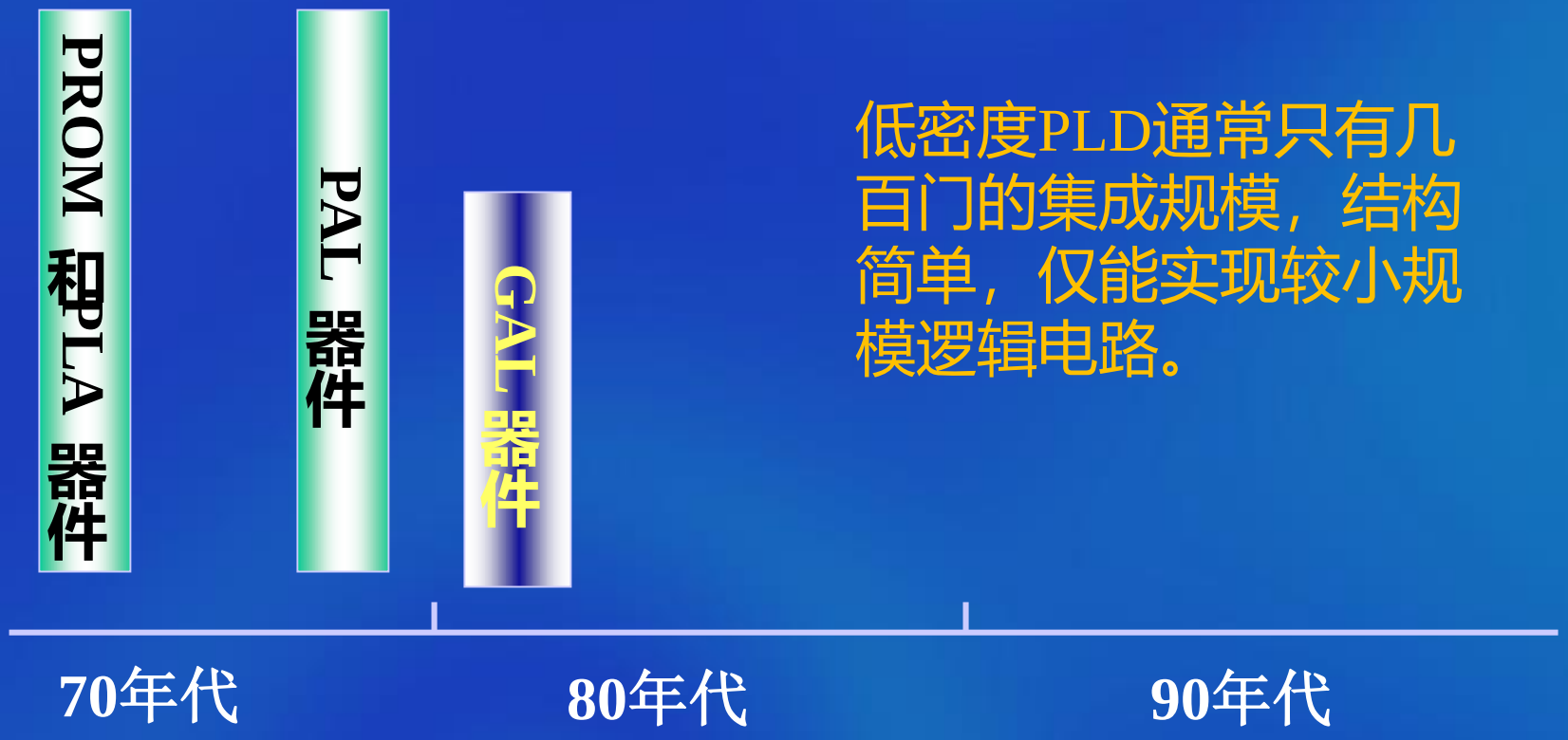
可编程逻辑器件(Programmable Logical Device，PLD)：**半定制逻辑器件**，由编程确定逻辑功能。数字系统的革命性变化，可获得较大的灵活性和较短的研制周期。

PROM和PLA器件

70年代　　80年代　　90年代

可编程只读存储器PROM（Programmable ROM，简称PROM），结构限制，只能完成简单逻辑功能，更适合用于存储数据。通过查找表实现组合逻辑功能。

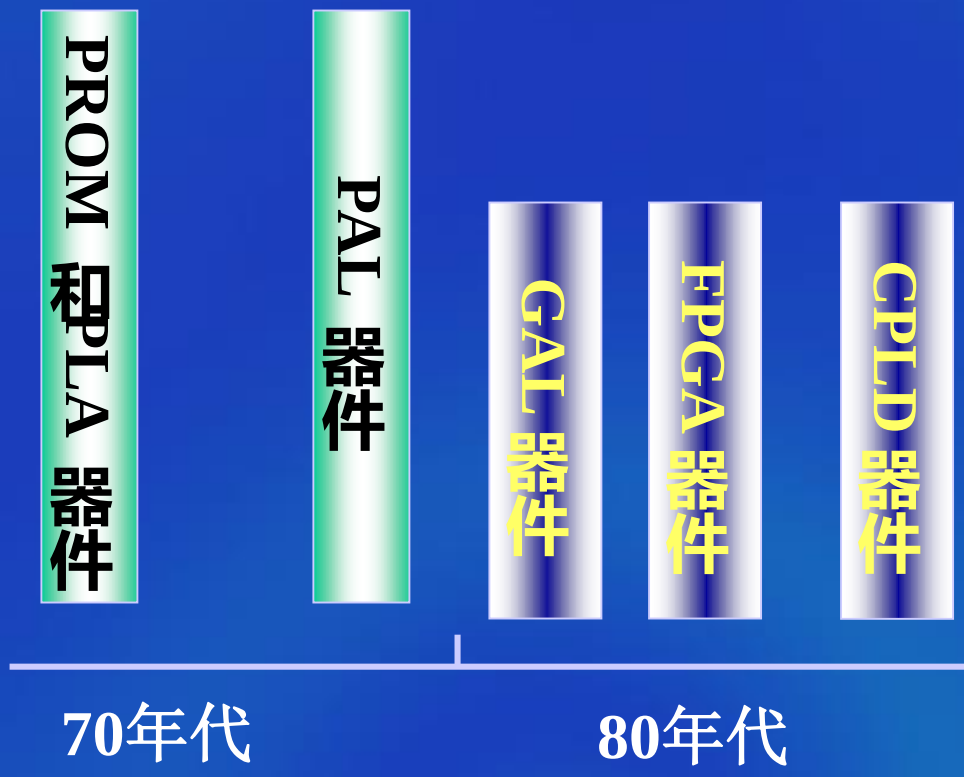
可编程逻辑阵列PLA (Programmable Logic Array)芯片，由可编程与和或阵列组成，可以实现任意逻辑函数。正真意义上的PLD。



低密度PLD通常只有几百门的集成规模，结构简单，仅能实现较小规模逻辑电路。

PAL (Programmable Array Logic)芯片:由可编程的与阵列、固定的或阵列和输入/输出缓冲电路组成。

通用阵列逻辑GAL (Genetic Array Logic) 芯片：与PAL类似，仍是与或阵列，但在输出缓冲电路中采用了可编程的输出逻辑宏单元OLMC，很强的灵活性。电可改写。

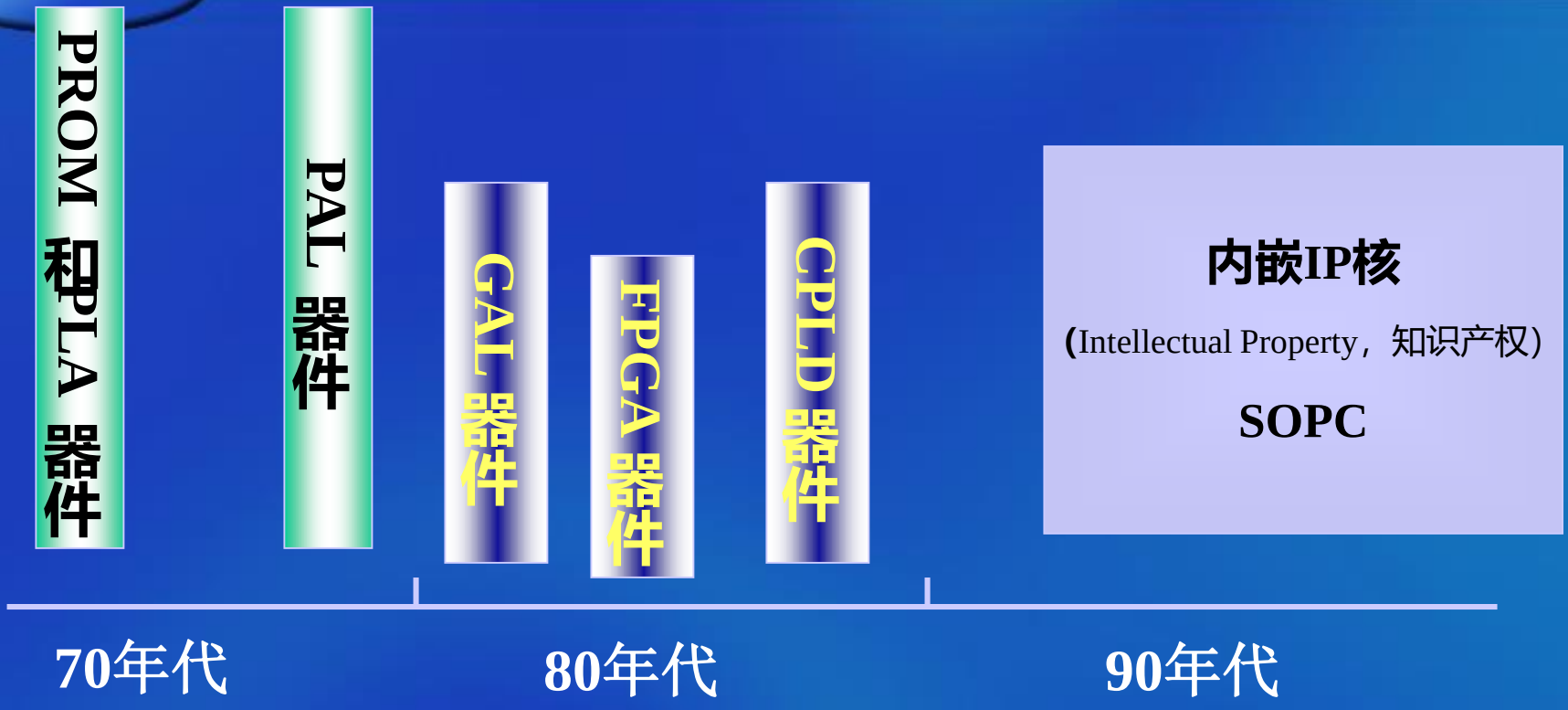


可实现较大规模的电路，编程很灵活。

具有设计开发周期短、制造成本低、开发工具先进、质量稳定以及可实时在线检验等优点，被广泛应用于电子产品的设计和生产中。

高密度PLD：集成密度一般可达数千门、甚至数十万门，具有在系统可编程或现场可编程特性，可用于实现较大规模的逻辑电路。

一般把基于乘积项技术和Flash结构的高密度PLD称为复杂可编程逻辑器件CPLD(Complex PLD)，而把基于查找表技术、SRAM结构的高密度PLD称为现场可编程门阵列FPGA(Field Programmable Gate Array)。



逻辑器件内嵌了IP核 （集成电路知识产权模块的简称），是经过预先设计、预先验证，具有相对独立的功能．可以重复使用的电路模块。

硬核，是经过布局、布线并针对某一特定工艺库优化过的网表或物理级版图，如内嵌的高速乘法器、串行接口、PowerPC 微处理器、ARM核；

软核，是利用HDL语言设计并经过综合验证的功能单元模块，如Nios 、NiosII。

IP核使PLD 的应用范围从单片扩展到系统级。

影响最大的PLD企业：Xilinx、Altera、Lattice和Actel。

Xilinx公司是FPGA的发明者，产品种类较全，主要有：XC9500/4000、Coolrunner（1.8v低功耗PLD产品）、Spartan、Virtex等系列。部分芯片中加入A8处理器硬核，可构建SOC（System on Chip）。开发软件为ISE和Vivado。

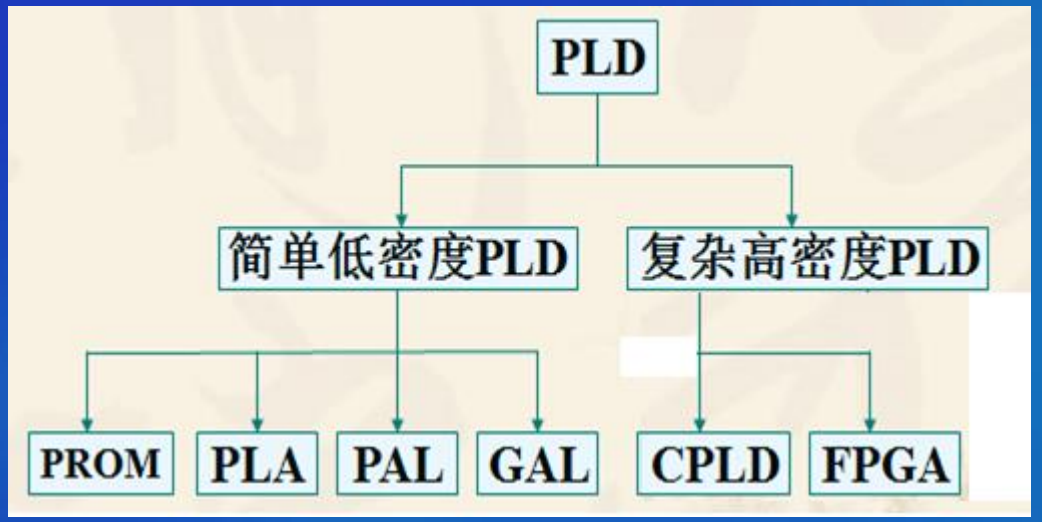
Altera是最大可编程逻辑器件供应商之一。主要产品有：MAX3000/7000、FLEX10K、APEX20K、ACEX1K、Cyclone、Arria、Stratix等系列。开发软件为QuartusII和MaxplusII。

Lattice是ISP技术的发明者，LatticeXP器件将非易失的FLASH单元和SRAM技术组合在一起，不需要配置芯片，提供了支持“瞬间”启动和无限可重复配置的单芯片解决方案。另外Lattice还开发了可编程数模混合电路的FPGA。

Actel是反熔丝（一次性烧写）PLD的领导者，由于反熔丝PLD抗辐射，耐高低温，功耗低，速度快，所以在军品和宇航级产品上有较大优势。

5.2 可编程逻辑器件的分类

按集成度分类



PROM(Programmable Read Only Memory)可编程只读存储器

PLA(Programmable Logic Array)可编程逻辑阵列

PAL(Programmable Array Logic)可编程阵列逻辑

GAL(Genetic Array Logic) 通用阵列逻辑

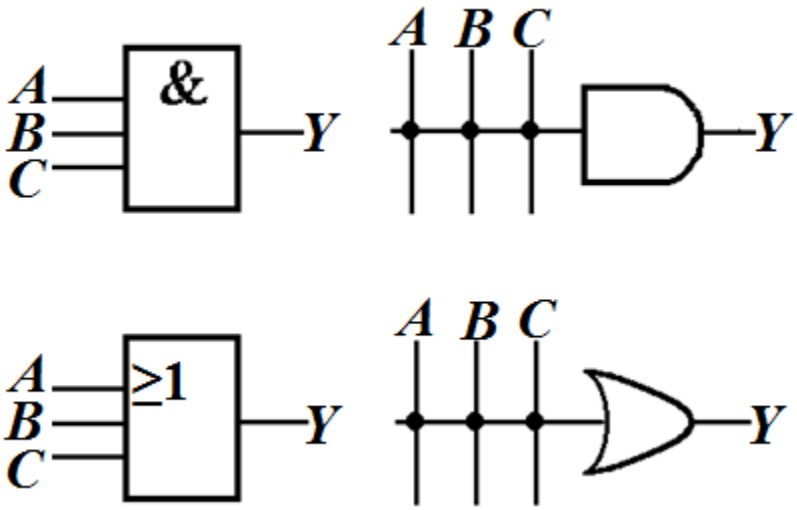
CPLD(复杂可编程逻辑器件) Complex Programmable Logic Device

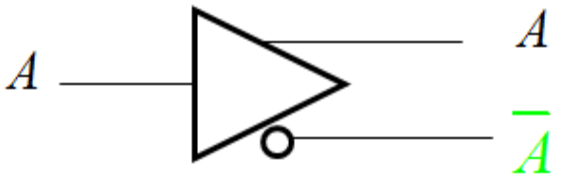
FPGA(现场可编程门阵列) Field Programmable Gate Array

5.3 简单低密度PLD结构

PLD简化画法

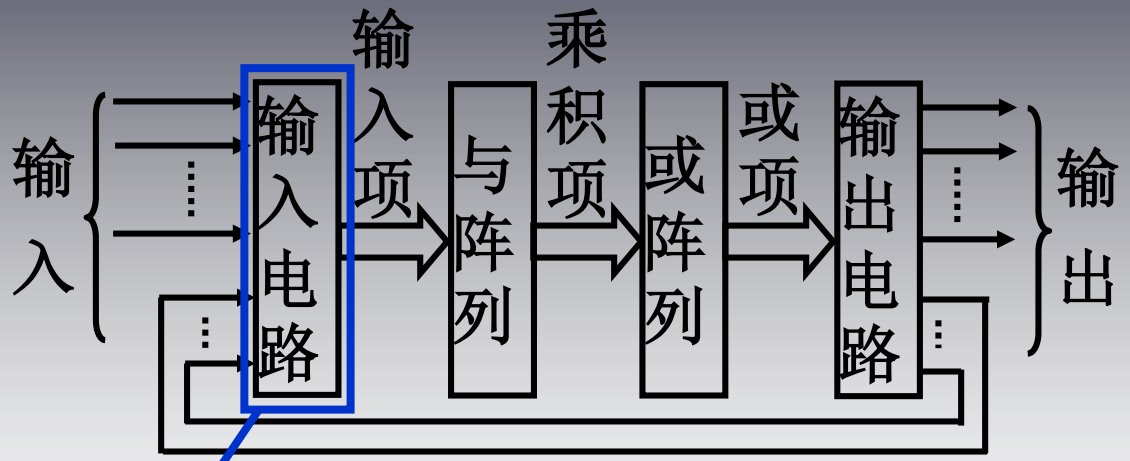
PLD 器件中连接的简化画法



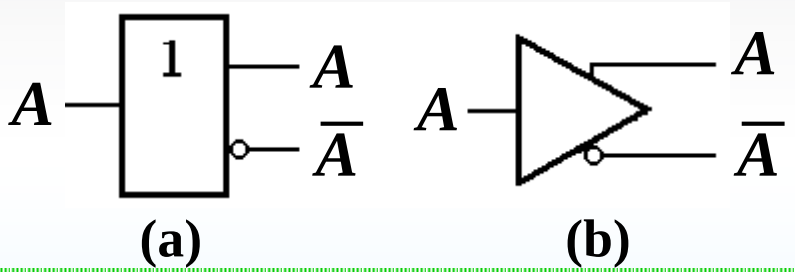


输入缓冲器

可编程逻辑器件的基本结构



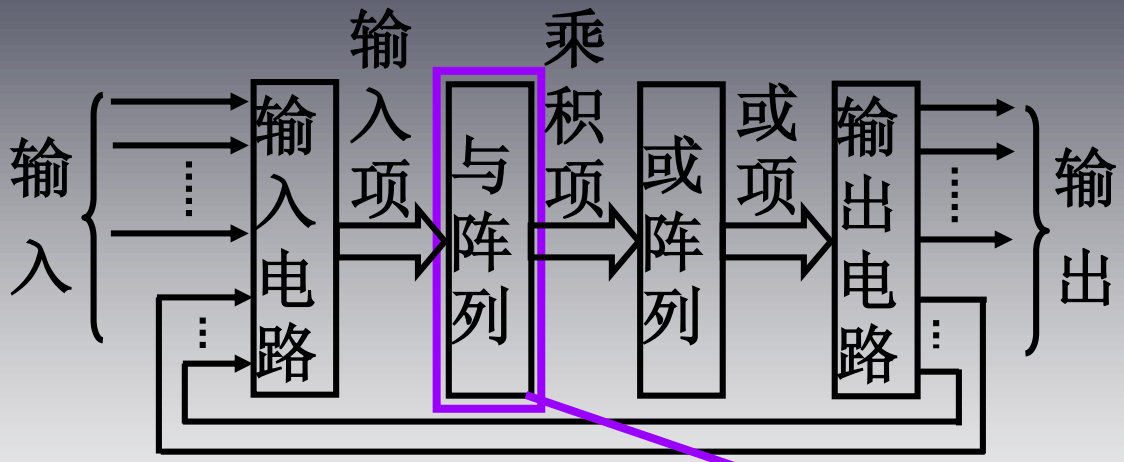
输入缓冲电路用以产生输入变量的原变量和反变量，并提供足够的驱动能力。

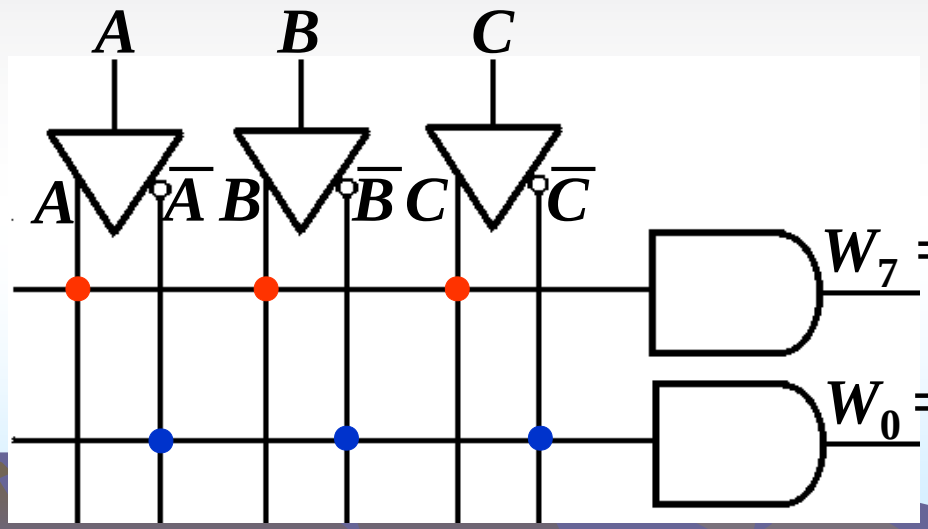


输入缓冲电路

(a)一般画法 (b)PLD 中的简化画法

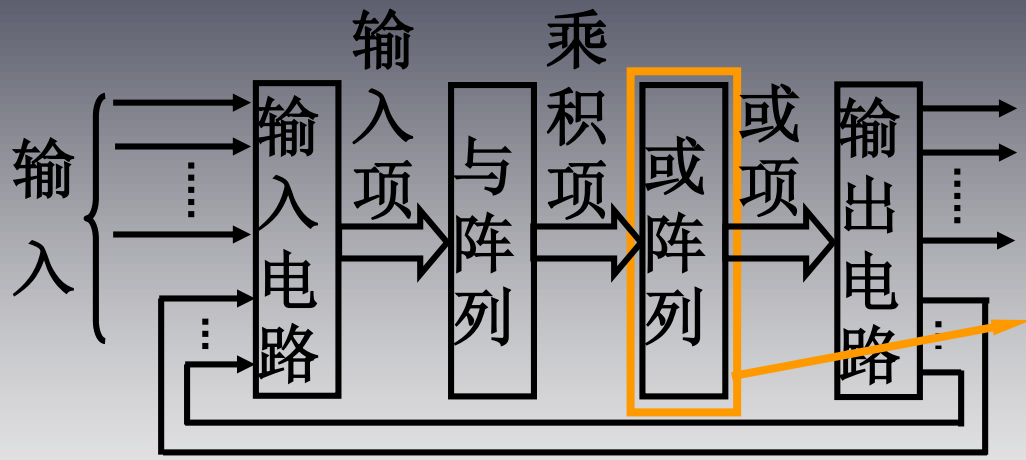
可编程逻辑器件的基本结构





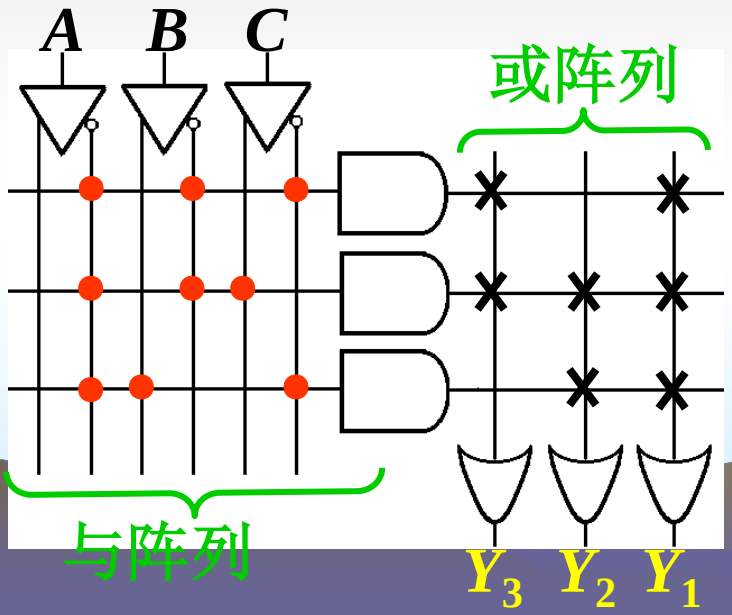
由多个多输入与门组成，用以产生输入变量的各乘积项。

可编程逻辑器件的基本结构



由多个多输入或门组成，用以产生或项，即将输入的某些乘积项相加。

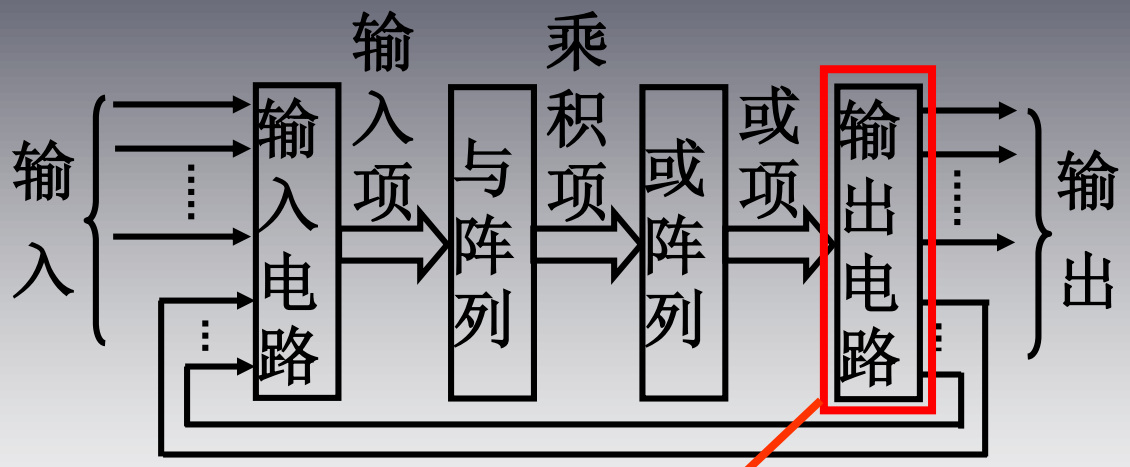
例如



由图可得

$$\begin{cases} Y_1 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} \\ Y_2 = \bar{A}\bar{B}C + A\bar{B}\bar{C} \\ Y_3 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C \end{cases}$$

可编程逻辑器件的基本结构



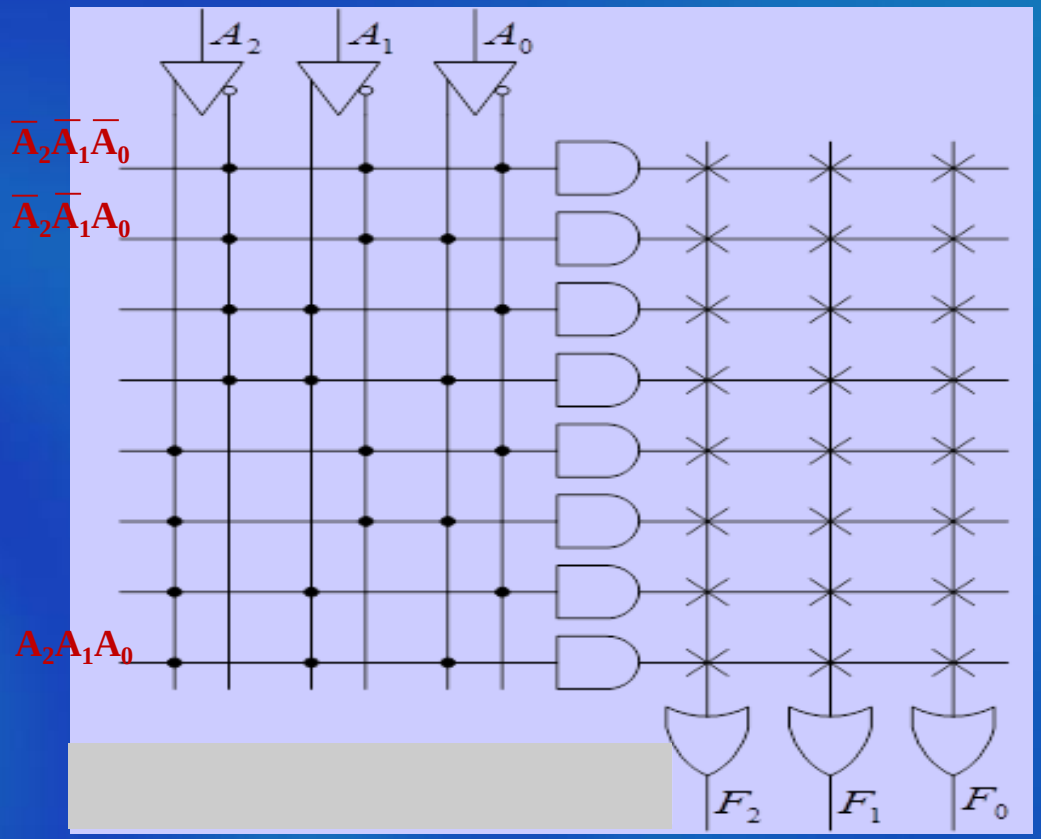
PLD 的 基 本 结 构 图

PLD 的输出回路因器件的不同而有所不同，但总体可分为固定输出和可组态输出两大类。

早期PLD器件：PROM、PLA和PAL

PROM

是一种可编程逻辑器件，“与”阵列实现地址译功能（给出了输入变量所有可能的组合），是一个固定的“与”阵列，全地址译码。可编程的“或”阵列是一个“存储矩阵”。



可编程逻辑阵列PLA

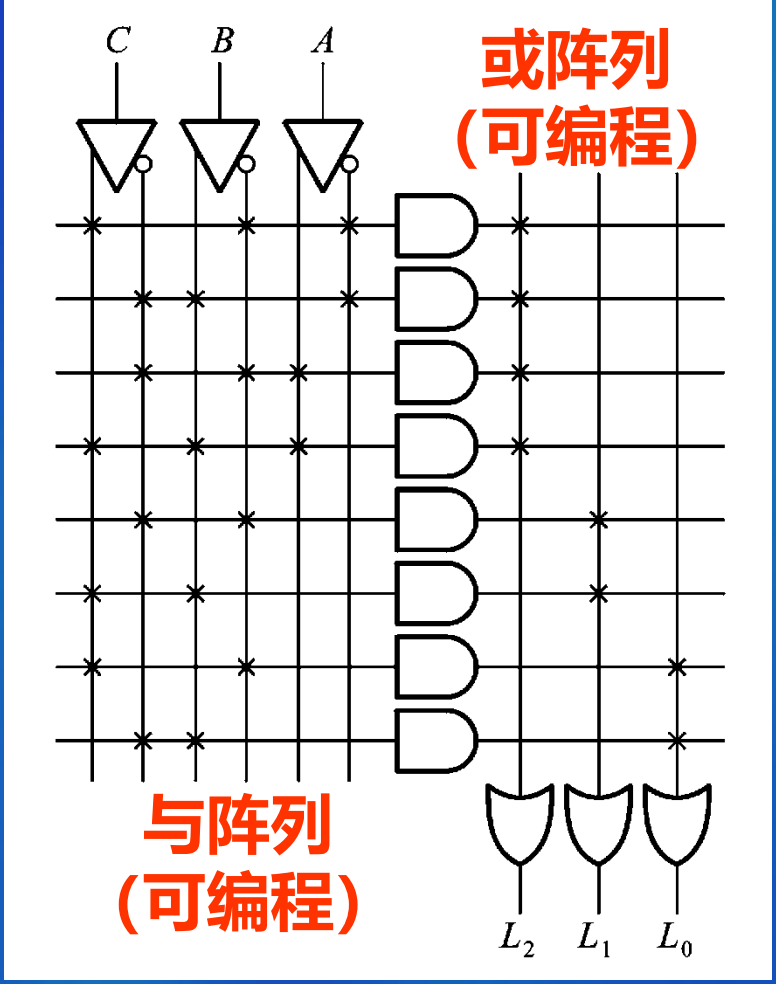
PLA的与和或阵列都是可以编程的。

实现的逻辑函数：

$$L_0 = \overline{B}C + B\overline{C}$$

$$L_1 = \overline{\overline{B}C} + BC$$

$$L_2 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

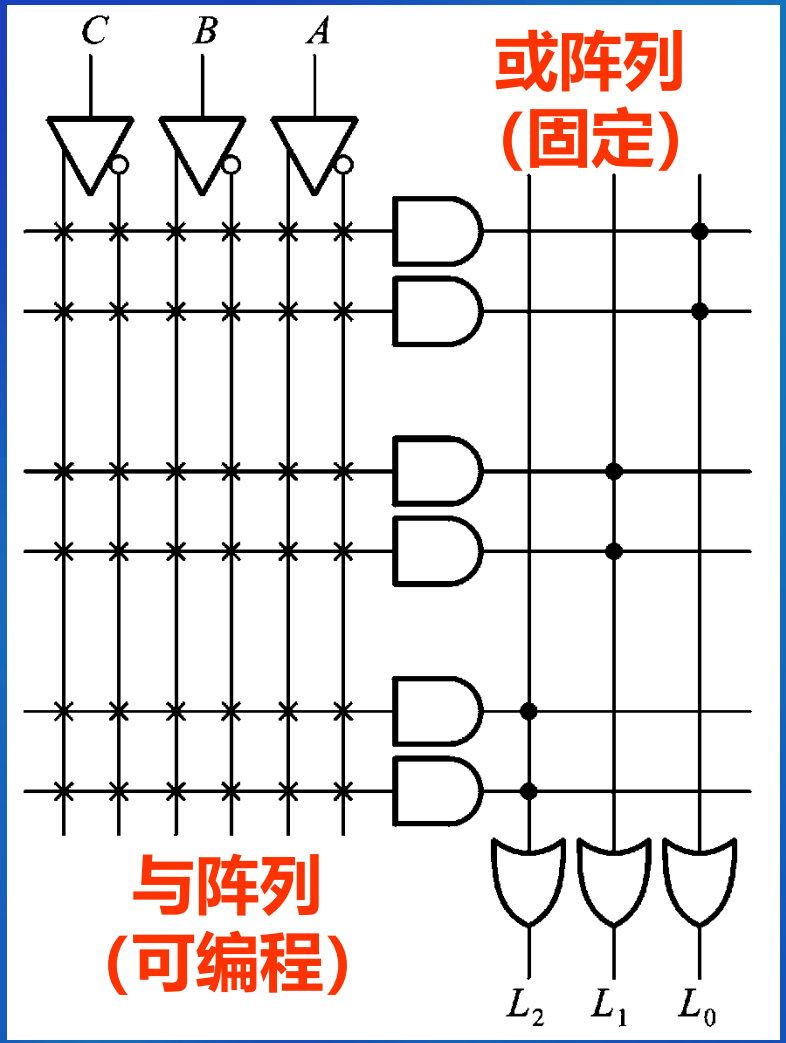


可编程阵列逻辑PAL

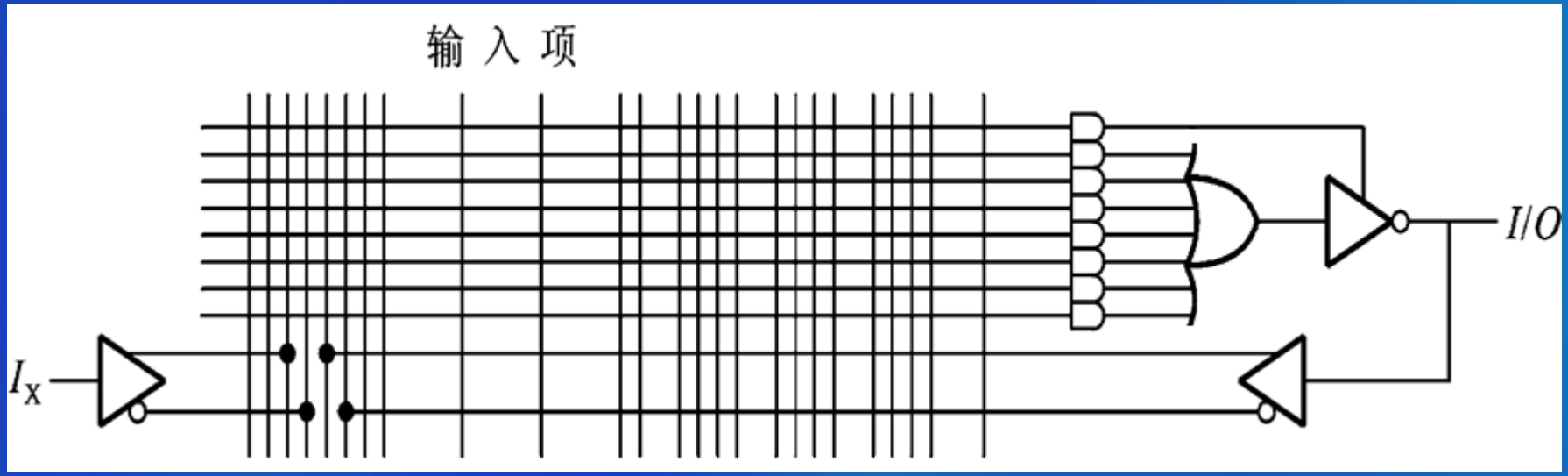
PAL的“与”阵列是可编程的，而“或”阵列是固定的。

PAL中一个或门一般有7~8个乘积项。PAL器件的输入、输出和乘积项个数是由制造厂预先确定的，大约有几十种结构，常用的结构有以下两种类型。

PAL的基本结构图

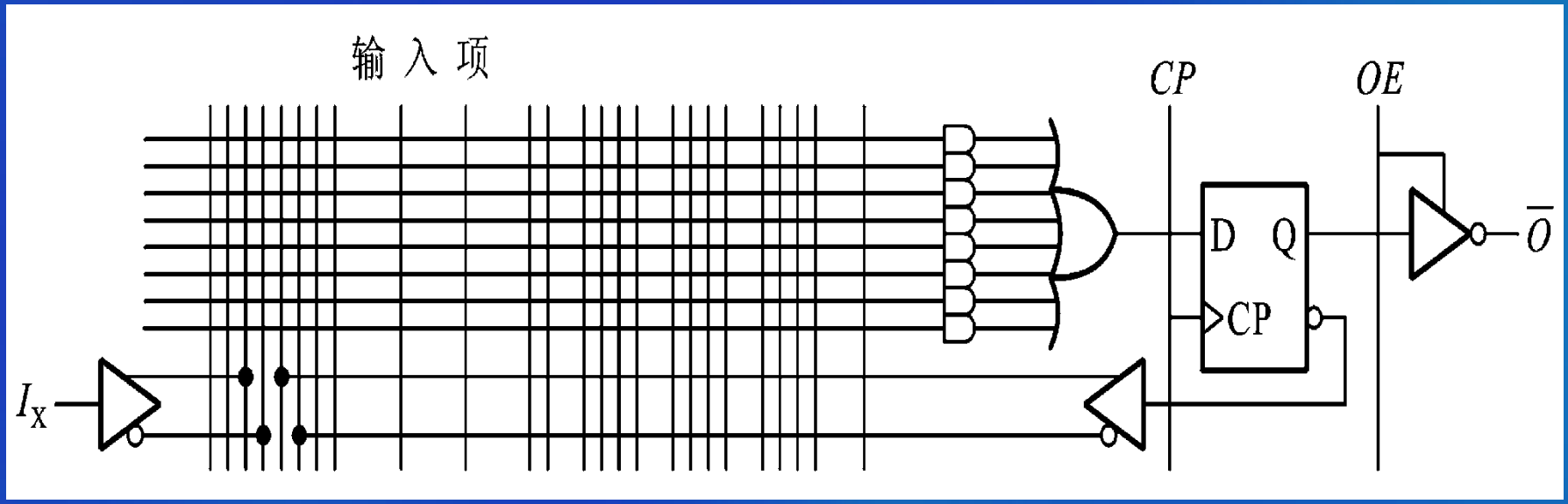


第一种类型是I/O结构，如图所示。



一个有七个乘积项的“或”输出端，同时该输出数据被反馈到“与”阵列。输出三态缓冲器由乘积项控制，当缓冲器为高阻时，该*I/O*端可作为输入端使用。

第二种类型是时序逻辑或寄存器输出结构



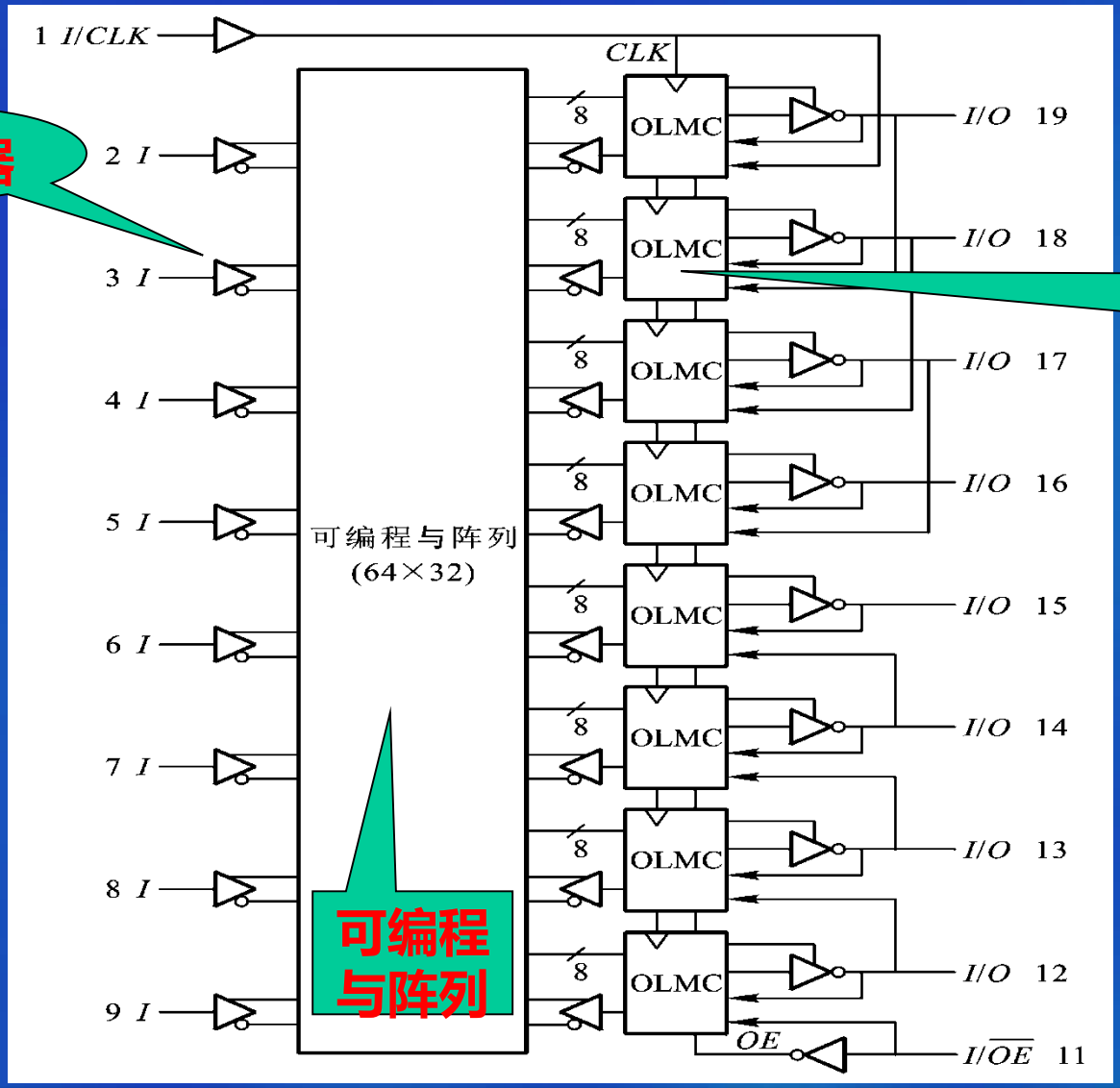
乘积项的“或”逻辑可以在公共时钟*CP*作用下置入D触发器，该触发器输出数据被反馈到“与”阵列，这就使当前状态的数据能成为下一状态的部分输入，由此可以实现时序电路的设计。

通用阵列逻辑器件GAL

GAL是在PAL基础上发展起来的新一代可编程逻辑器件，是低密度可编程器件的代表，采用了能长期 保持数据的CMOS E^2PROM工艺，使GAL实现了电可擦除、可重编程等性能，大大增强了电路设计的灵活性。

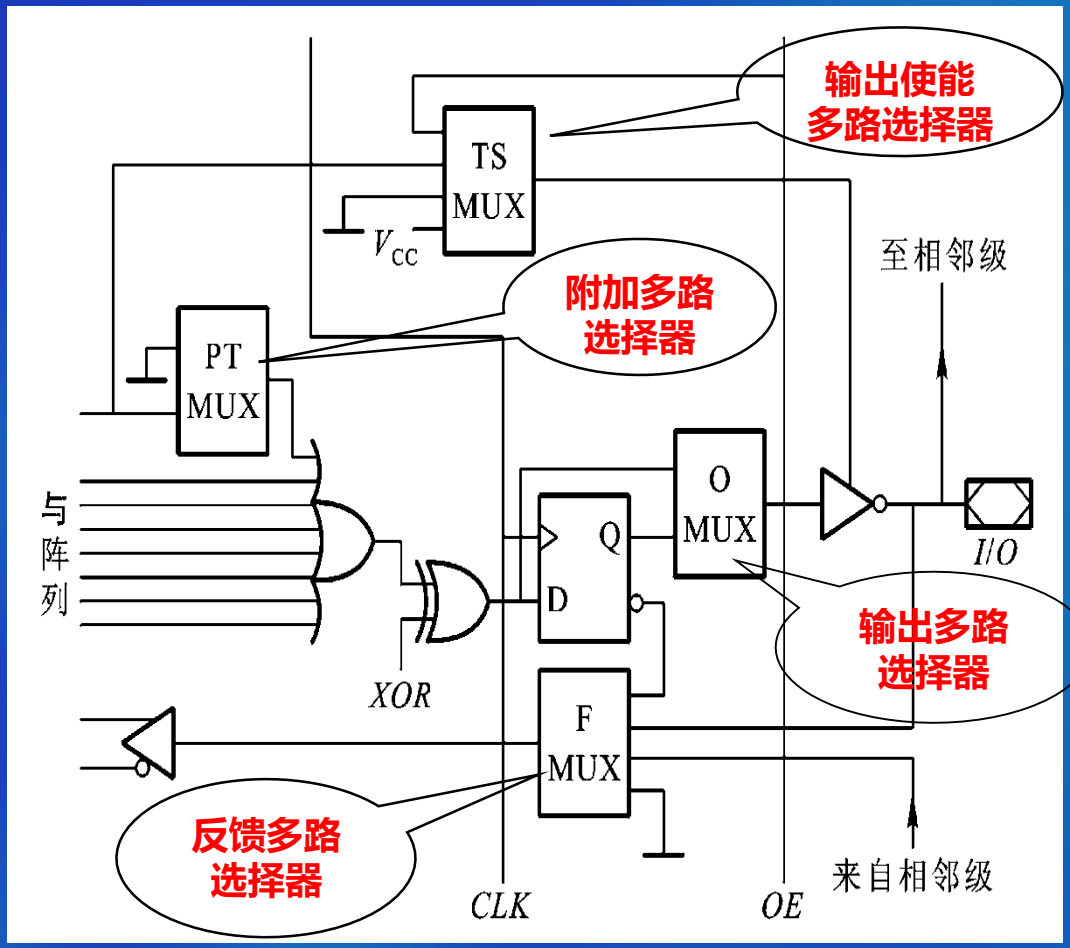
GAL器件的阵列结构与PAL一样，是由一个可编程 的“与”阵列驱动一个固定的“或”阵列。但输出部分的结构不同，它的每一个输出引脚上都集成了 一个输出逻辑宏单元(Output Logic Macro- Cell， 简称OLMC）。

GAL16V8的逻辑图



输出逻辑宏单元（OLMC）的结构

通过对GAL16V8结构控制字编程，可使OLMC具有不同的工作方式。



各多路选择器功能：

OMUX (multiplexer)选择输出方式

FTMUX决定反馈方式

TSMUX决定输出三态门的工作方式。

PTMUX决定附加乘积项用途

OMUX选择输出方式：

信号来自D触发器，则该端为一个时序逻辑输出；D触发器被旁路，则是组合逻辑输出。

FTMUX决定反馈方式：

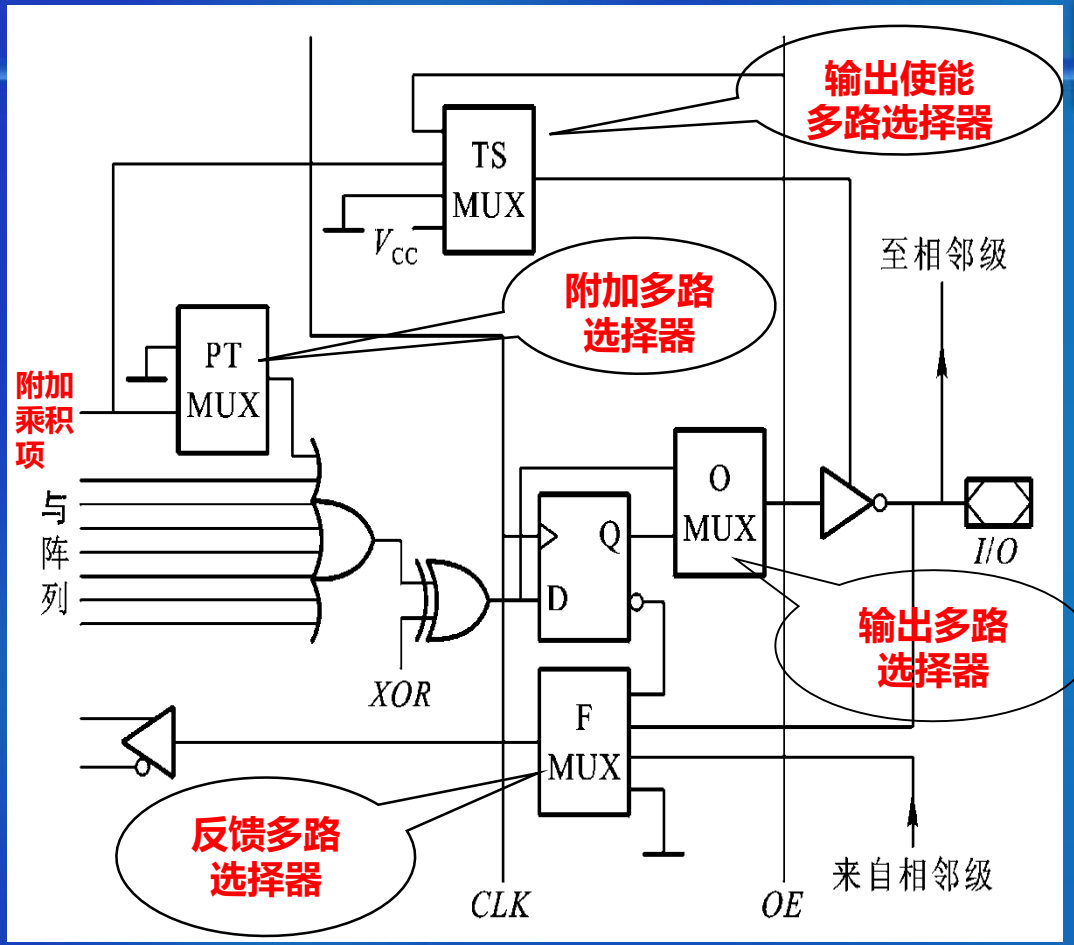
D触发器输出反馈；本单元I/O反馈；相邻输出反馈；无反馈。

TSMUX决定输出三态门的工作方式：

受全局OE信号控制；受1个乘积项控制；恒为高；恒为低。

PTMUX决定附加乘积项用途：

附加乘积项可以作为三态门控制信号，也可以使或门增加一个输入端。



问题：GAL实现的是同步还是异步时序？

GAL特点

① 采用电擦除工艺和高速编程方法，使编程改写变得方便、快速，整个芯片改写只需数秒钟，一片可改写 100 次以上。

② 采用E^2CMOS工艺，保证了GAL的高速度和低功耗。存取速度为 12～40 ns，功耗仅为双极性PAL器件的1/2或1/4，编程数据可保存 20年以上。

③ 采用可编程的输出逻辑宏单元(OLMC)，使其具有极大的灵活性和通用性。

④ 备有加密单元，可防止他人非法抄袭设计电路。

低密度可编程的编程总结

	与阵列	或阵列	输出电路
PROM	固定	可编程	固定
PLA	可编程	可编程	固定
PAL	可编程	固定	固定
GAL	可编程	固定	可组态

低密度可编程逻辑器件缺点

其共同缺点是规模小，每片相当于几十个等效门电路，只能代替 2～4片MSI器件，远达不到LSI和VLSI专用集成电路的要求。

另外，GAL在使用中还有许多局限性，如一般GAL只能用于同步时序电路，各OLMC中的触发器只能同时置位或清0，每个OLMC中的触发器和或门还不能充分发挥其作用，且应用灵活性差等。

尽管GAL器件有加密的功能，但随着解密技术的发展，对于这种阵列规模小的可编程逻辑器件解密已不是难题。

作 业

自练题：

5.2
5.3

作业题：

5.4

5.4 高密度可编程逻辑器件HDPLD

一般是指密度大于1000门的PLD，具有更多输入输出信号、乘积项和宏单元。

根据器件互连结构、逻辑单元结构分为：

CPLD — Complex Programmable Logic Device

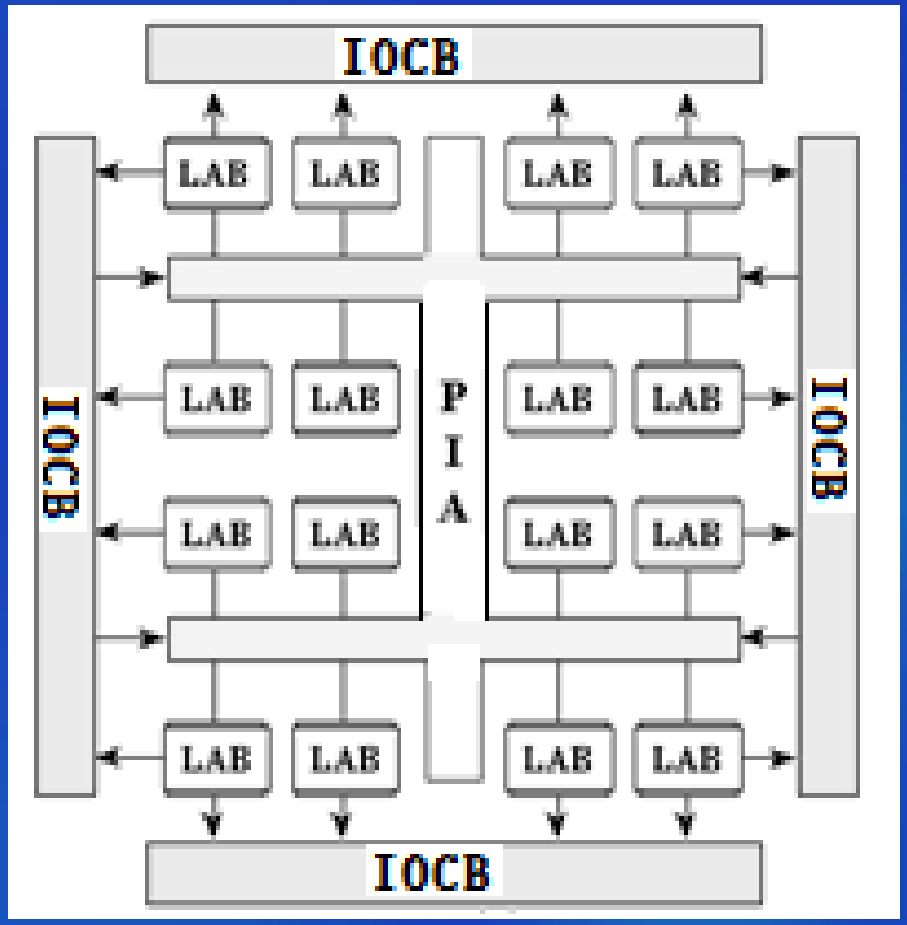
复杂可编程逻辑器件

FPGA—Field Programmable Gate Array

现场可编程门阵列

可编程器件FPGA

CPLD 结构



CPLD由多个逻辑阵列块（logic array blocks，**LAB**s 组成。每个LAB相当于一个SPLDs.

LABs 通过**可编程互联阵列**（programmable interconnect array，**PIA**）相连.

输入引脚可与任何LABs连接，它们的输出可通过PIA再连接到任何其他的LAB。

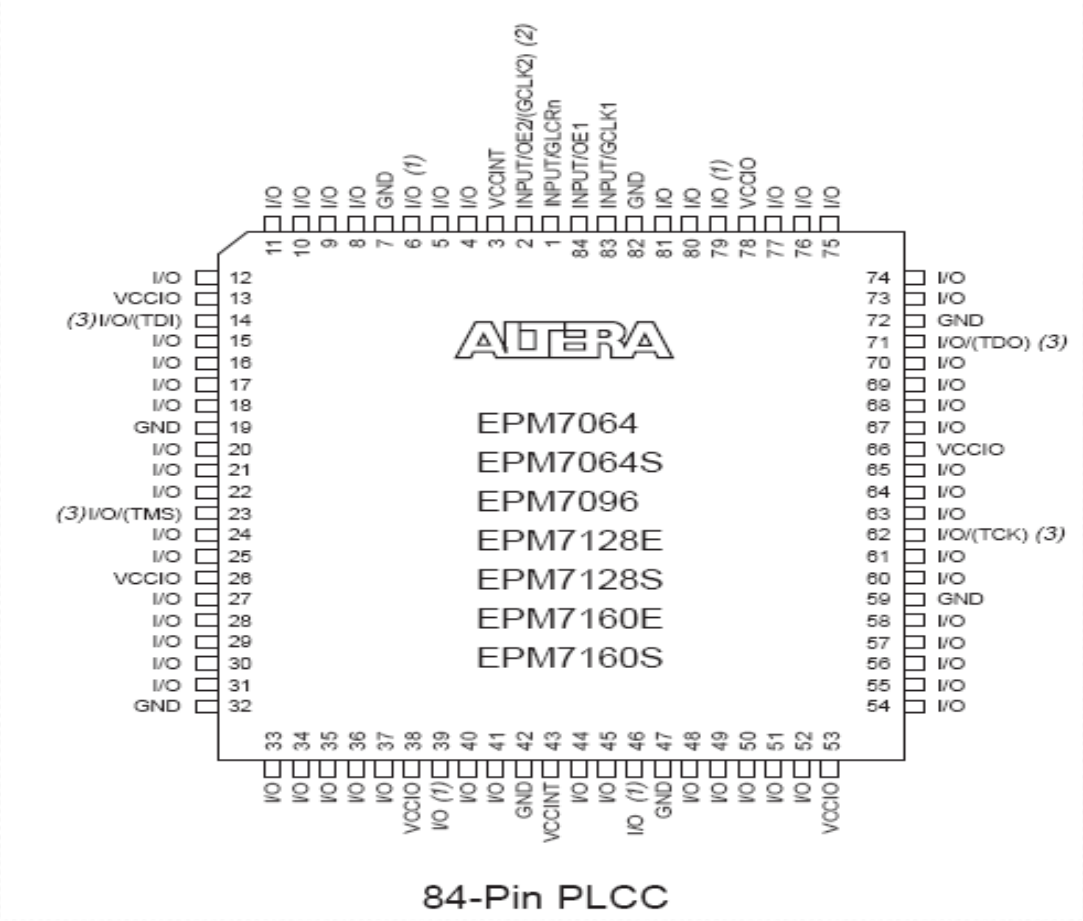
以乘积项结构方式构成

Xilinx CPLD 系列器件：XC9500系列器件、CoolRunner XPLA 和CoolRunner-II系列器件。Xilinx CPLD器件可使用Foundation或ISE开发软件进行开发设计，也可使用专门针对CPLD器件的Webpack开发软件进行设计。

Altera CPLD系列器件：Max9000系列、Max7000系列、Max3000系列、MaxII系列和MAX V系列。Altera CPLD器件可使用MaxplusII或QuartusII进行开发设计。

Altera MAX 7000 series CPLD

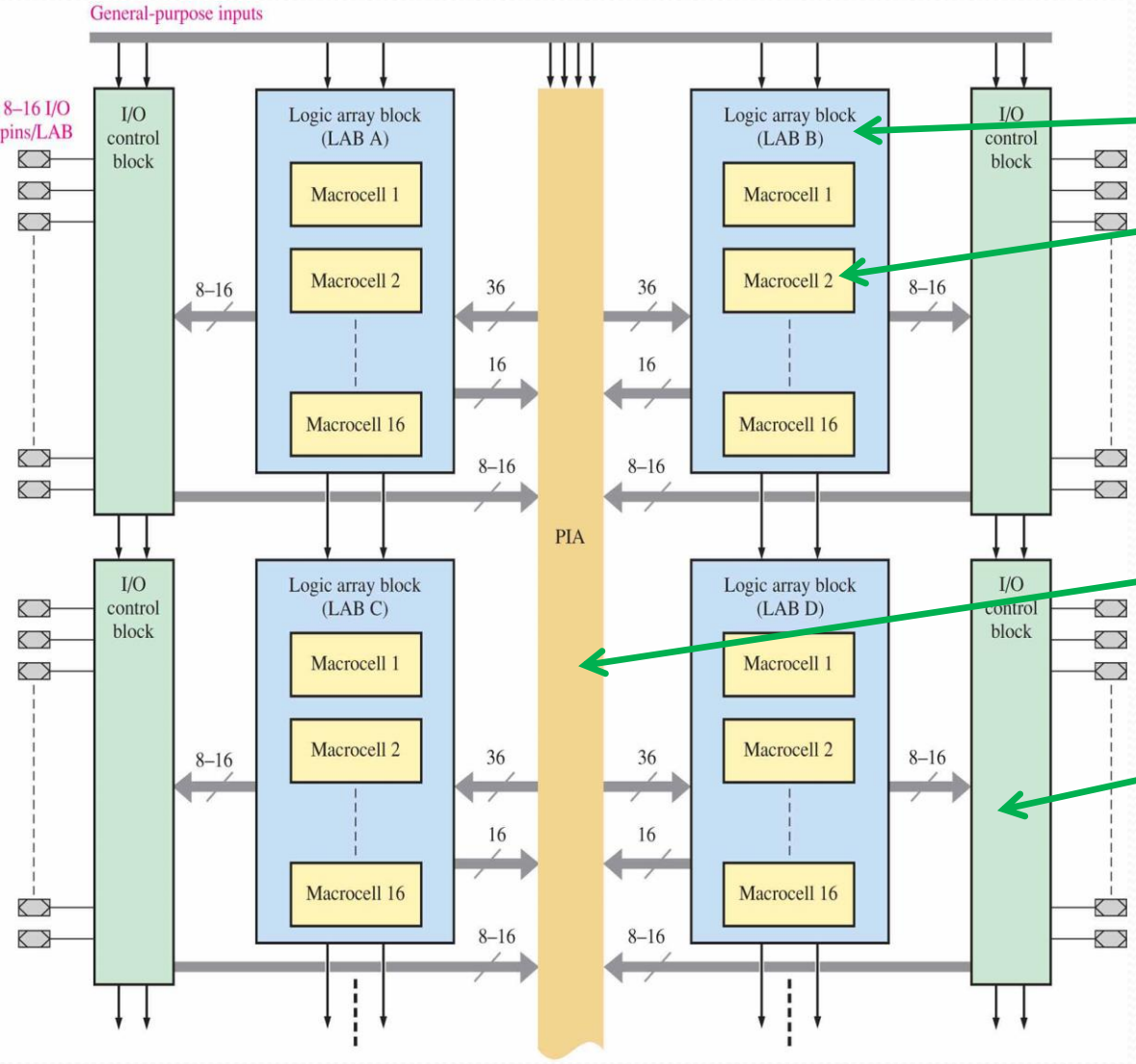
Altera MAX 7000 series is typical for CPLDs although densities, size, speed, and macrocells, etc, will vary between manufacturers.



EPM7128SLC84-15

- 128 logic macrocells
- PLCC (带引线的塑料芯片载体)
- 84 pins
- the delay between pins is 15ns.

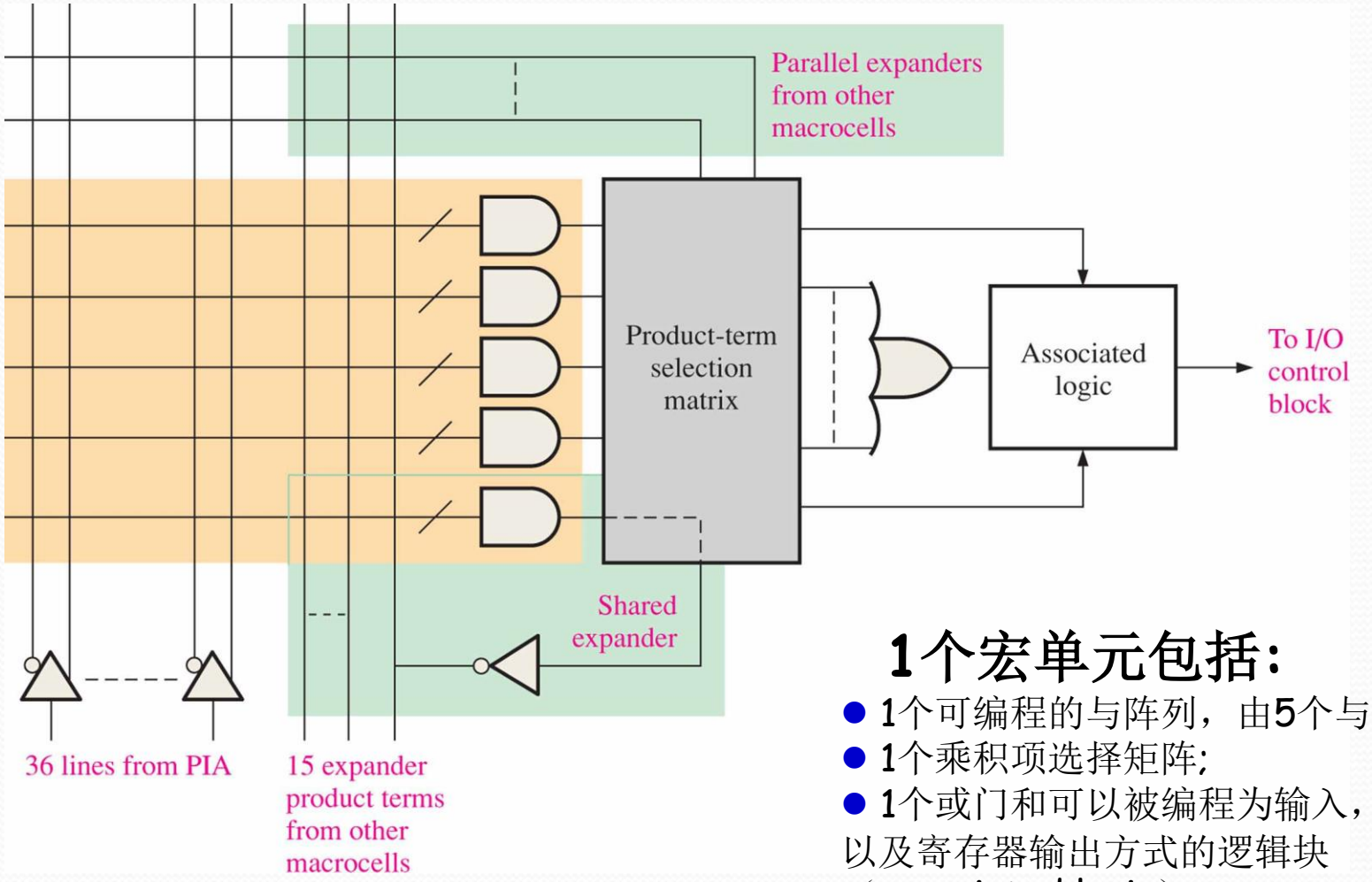
EPM7128S---functional block （功能块)



The MAX 7000 architecture includes the following elements:

- 8 Logic array blocks （LAB, 逻辑阵列块）
- 16 Macrocells （宏单元）in each LAB
- Programmable interconnect (or line) array （PIA or PLA, 可编程互联阵列）
- I/O control blocks （IOCB）

EPM7128S--- Macrocells (宏单元)

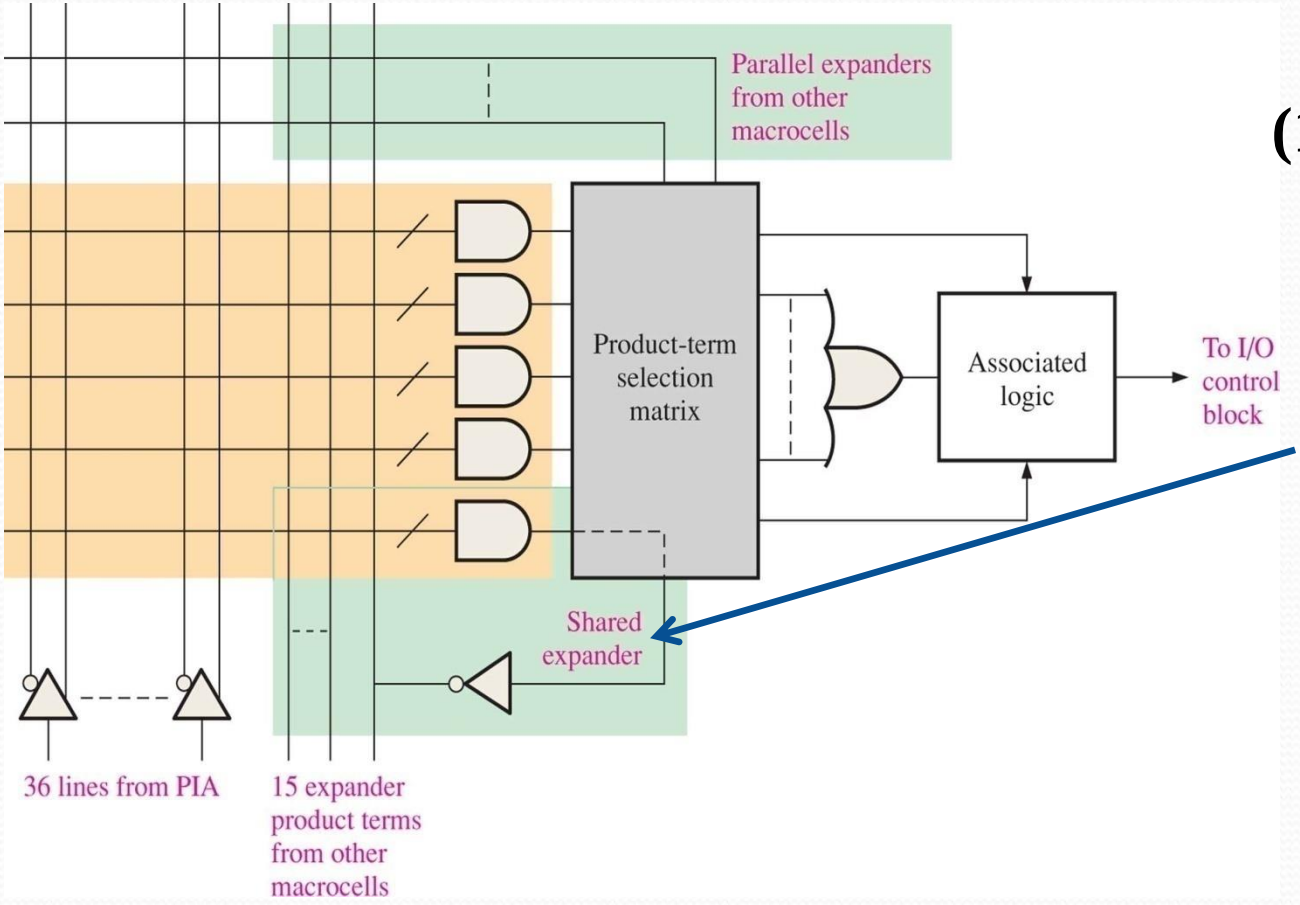


1个宏单元包括：

- 1个可编程的与阵列，由5个与门构成。
- 1个乘积项选择矩阵;
- 1个或门和可以被编程为输入，输出，以及寄存器输出方式的逻辑块（associated logic）.

扩展乘积项

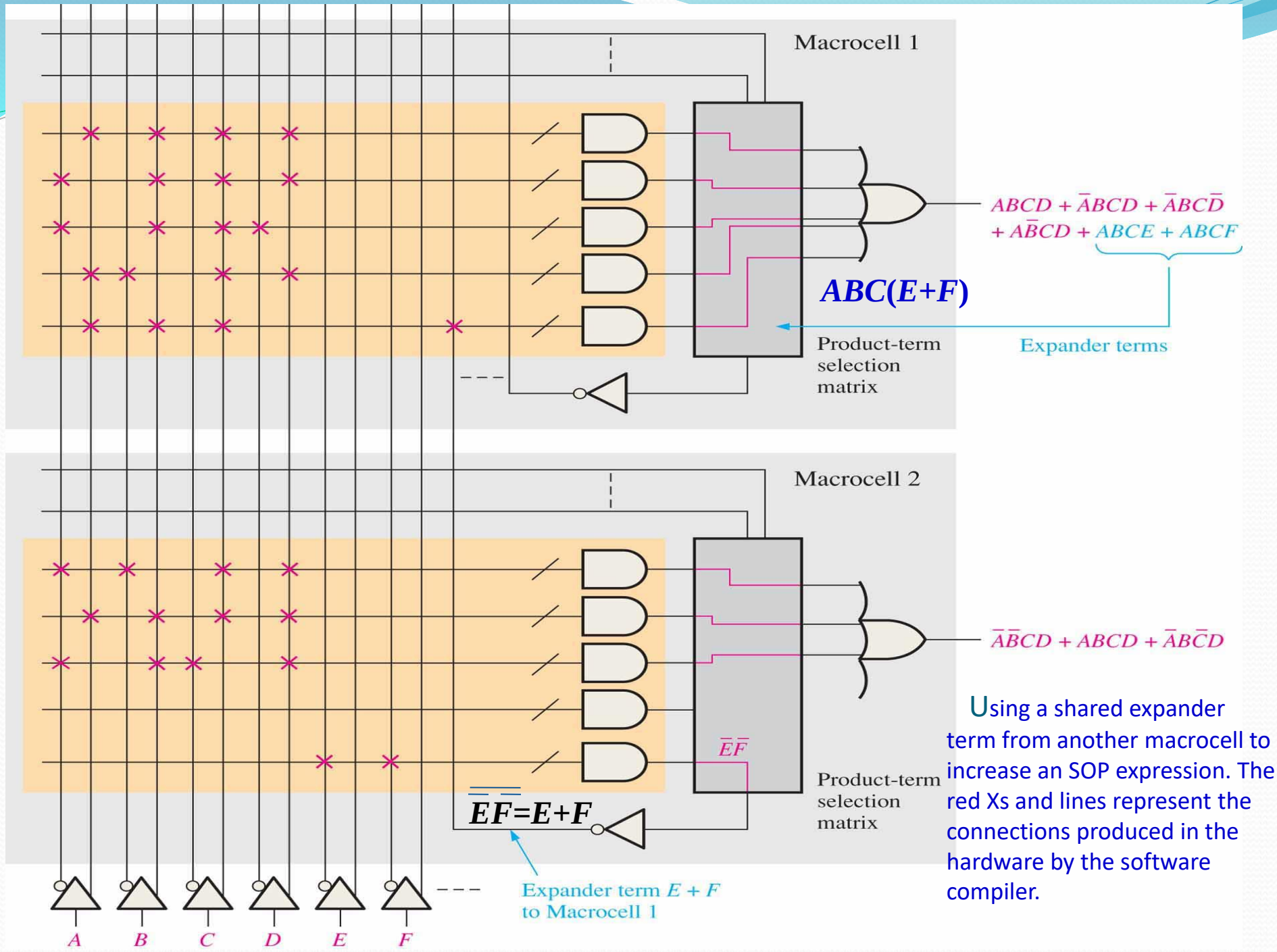
大多数逻辑函数可由一个宏单元中的5个乘积项之和实现。对复杂逻辑函数需要扩展乘积项。MAX7000提供了共享和并联扩展乘积项，它可作为附加的乘积项直接送到该LAB的每个宏单元中。



(1) 共享扩展乘积项

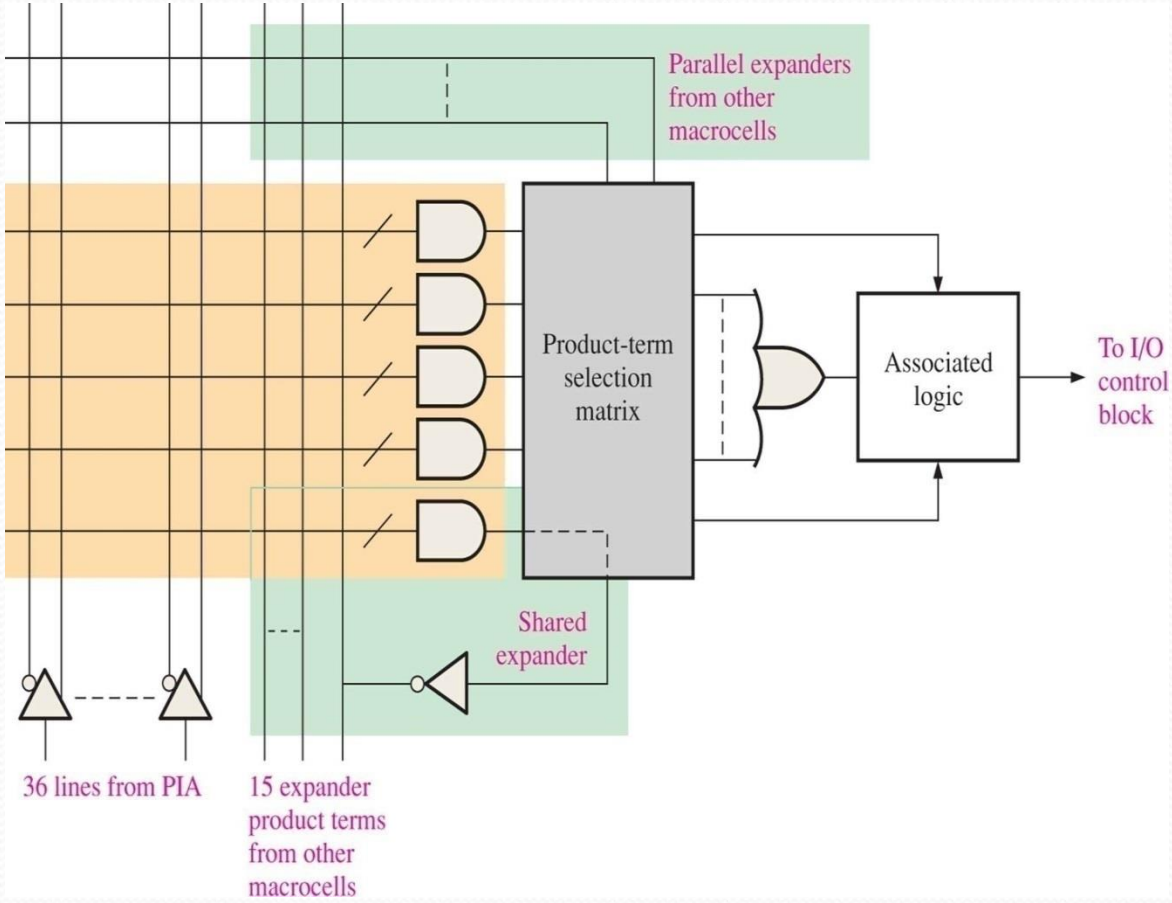
由每个宏单元提供一个乘积项接到与逻辑阵列 。

可被同一LAB内任一或全部宏单元使用。



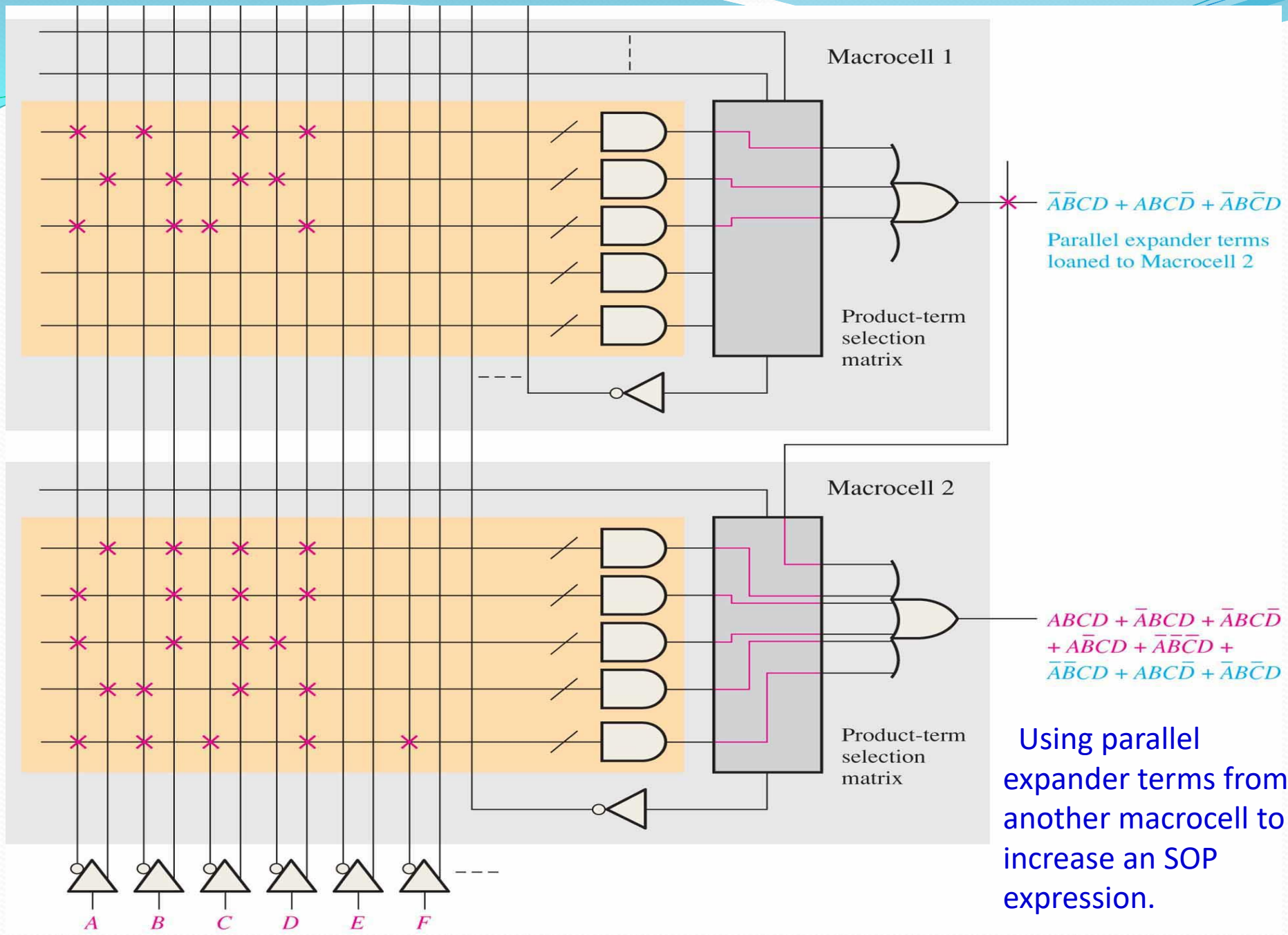
Using a shared expander term from another macrocell to increase an SOP expression. The red Xs and lines represent the connections produced in the hardware by the software compiler.

扩展乘积项



(2) 并联扩展乘积项

一些宏单元没有使用的乘积项，可以把它们借到邻近高位的宏单元去快速实现较复杂的逻辑函数。



Using parallel expander terms from another macrocell to increase an SOP expression.

EPM7128S的特点

1. 集成度高：内部有2500个逻辑门，I/O引脚数远多于GAL。

2. 速度高：传输延迟为2ns (因具体器件型号有差异)，构成系统的工作频率大于178.6MHz。

3. 异步时钟、异步清零功能

4. 具有三态输出使能控制

5. 在系统可编程：无需外部提供编程电压，编程电压就是系统电压5V。采用IEEE Std 1149.1-1190 JTAG（Joint Test Action Group）工业标准，通过4根编程信号线TMS、TDI、TDO和TCK，就可对系统中CPLD进行编程。

6. 加密功能：具有可编程加密位，可以保护设计信息。

5.5 现场可编程门阵列FPGA

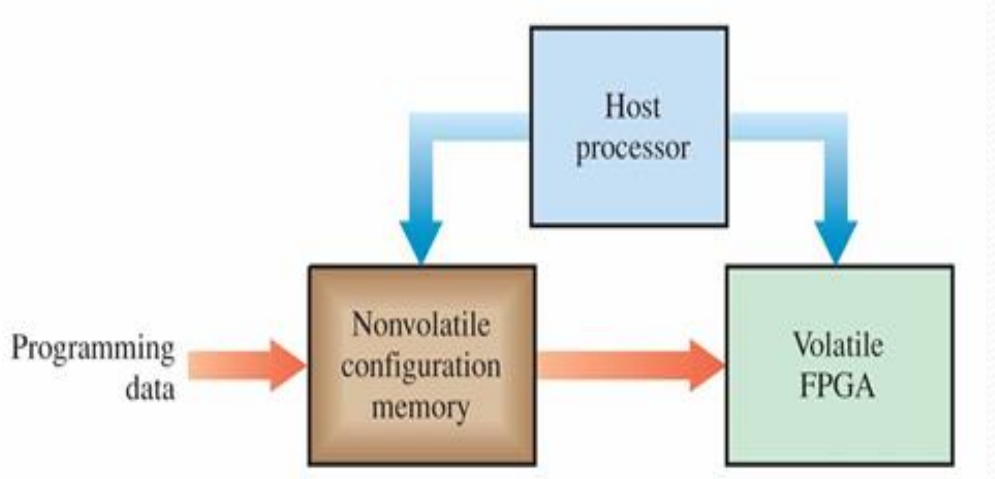
FPGA是一种现场可编程逻辑器。

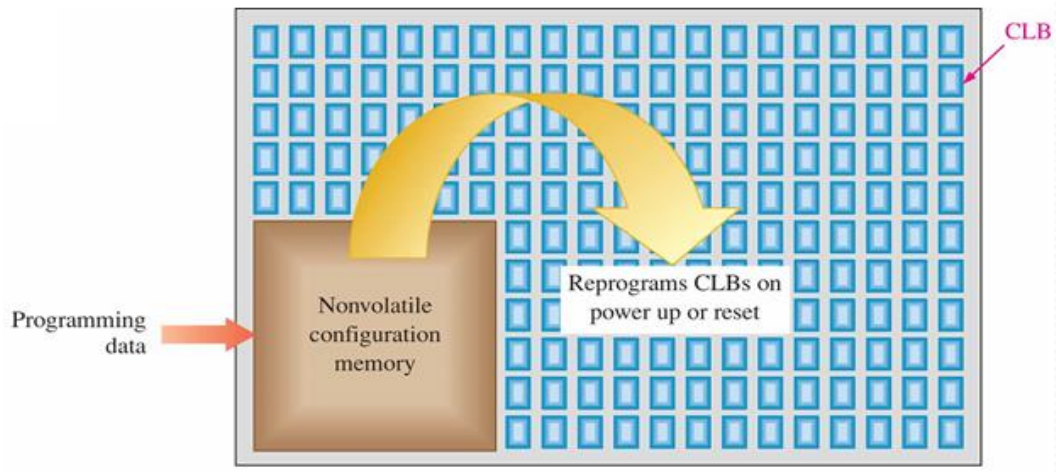
(1) 内含大量的逻辑块。逻辑块排成阵列，通过丰富的可编程连线资源互相连接，再通过输入-输出模块与芯片的引脚连接，可以灵活地组成一些复杂的数字系统。

(2) SRAM型，一旦断电，就会丢失所有的逻辑功能。每次上电，需要重新加载。

上电重新加载的方式：

外接存储器，每次上电后在主处理器的控制下对FPGA进行重配置。完成配置后，进入工作状态。





内嵌一个非易失性的存储器用于存储程序数据，并在上电时完成器件的重新配置。

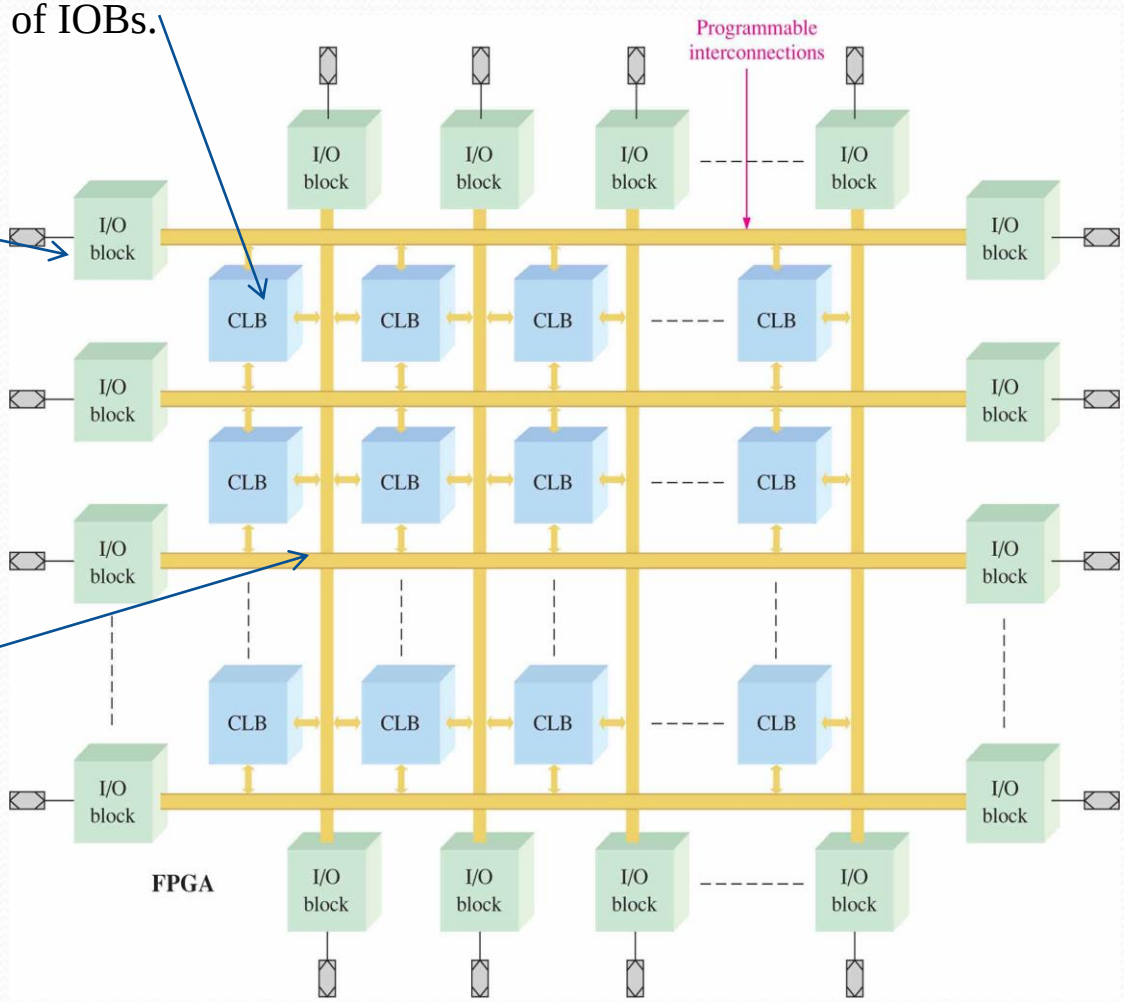
FPGA 基本结构

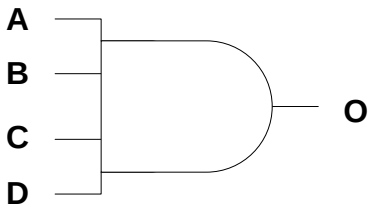
configurable logic block(可配置逻辑块 the core of FPGA that perform user-specified logic functions. Arranged in a matrix within the perimeter of IOBs.

)

I/O blocks 输入-输出模块 provide an interface between the external package pin of the device and the internal user logic.

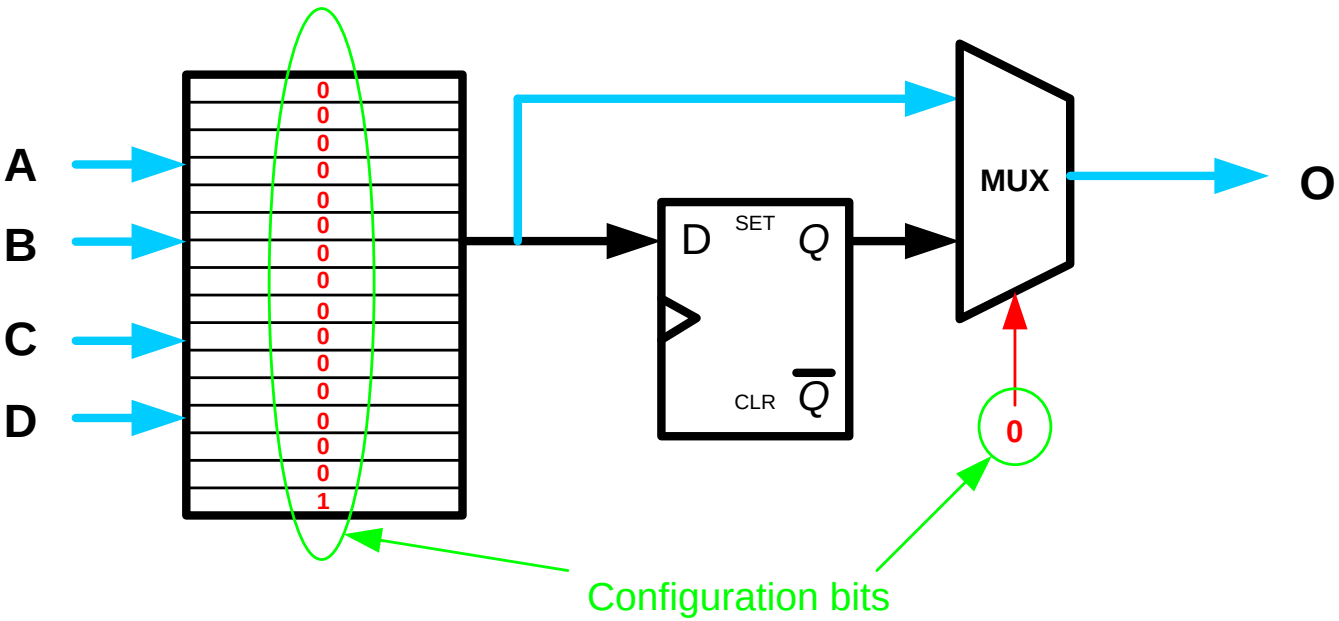
Interconnections（互联） provide for interconnection of the CLBs and connection to inputs and outputs.





逻辑模块（logic module)以查表法结构方式构成逻辑行为。如Xilinx的SPARTAN系列、Altera的FLEX10K或ACEX1K系列等。**逻辑单元主体为静态存储器SRAM。**

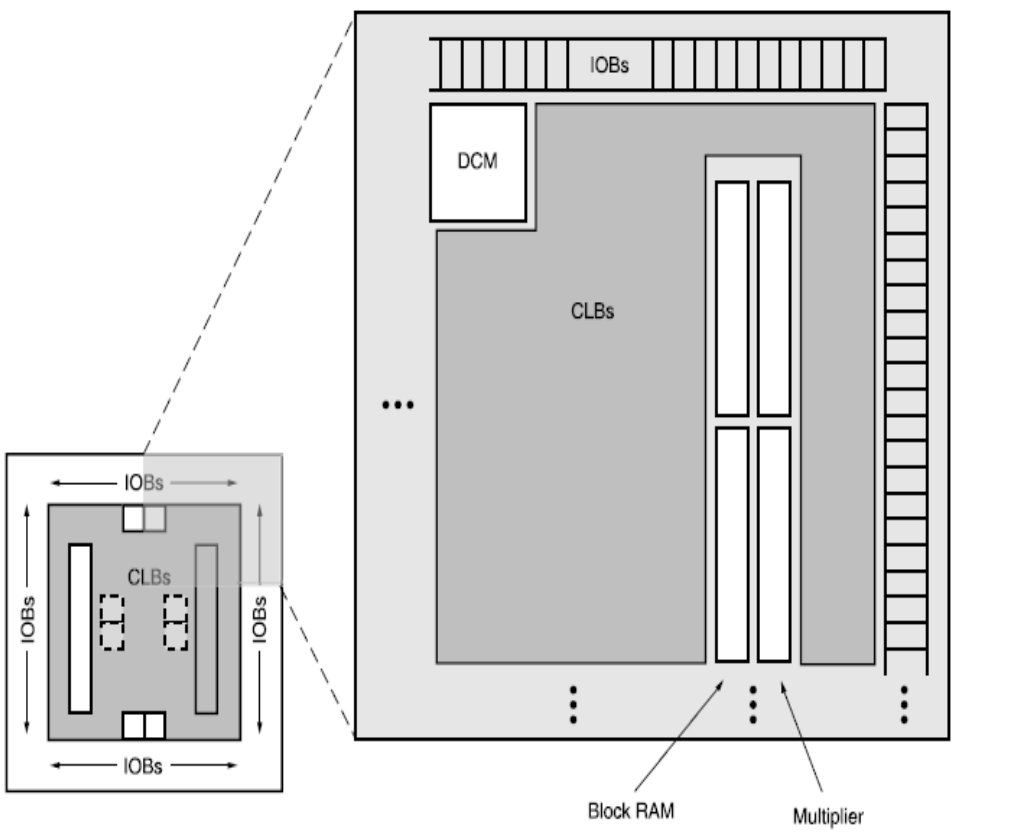
A	B	C	D	O
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1



LUT本质上是一个RAM，目前多使用4输入的LUT。对4输入共有16种结果，所以每一个LUT可看成一个有4位地址线的16x1的RAM。

当用户通过原理图或HDL语言描述了一个逻辑电路后，FPGA开发软件会自动计算逻辑电路的所有可能的结果，把要实现逻辑函数的真值表事先存入这个RAM中，输入信号作为RAM的地址。每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。

Xilinx 公司的Spartan-3E系列的FPGA

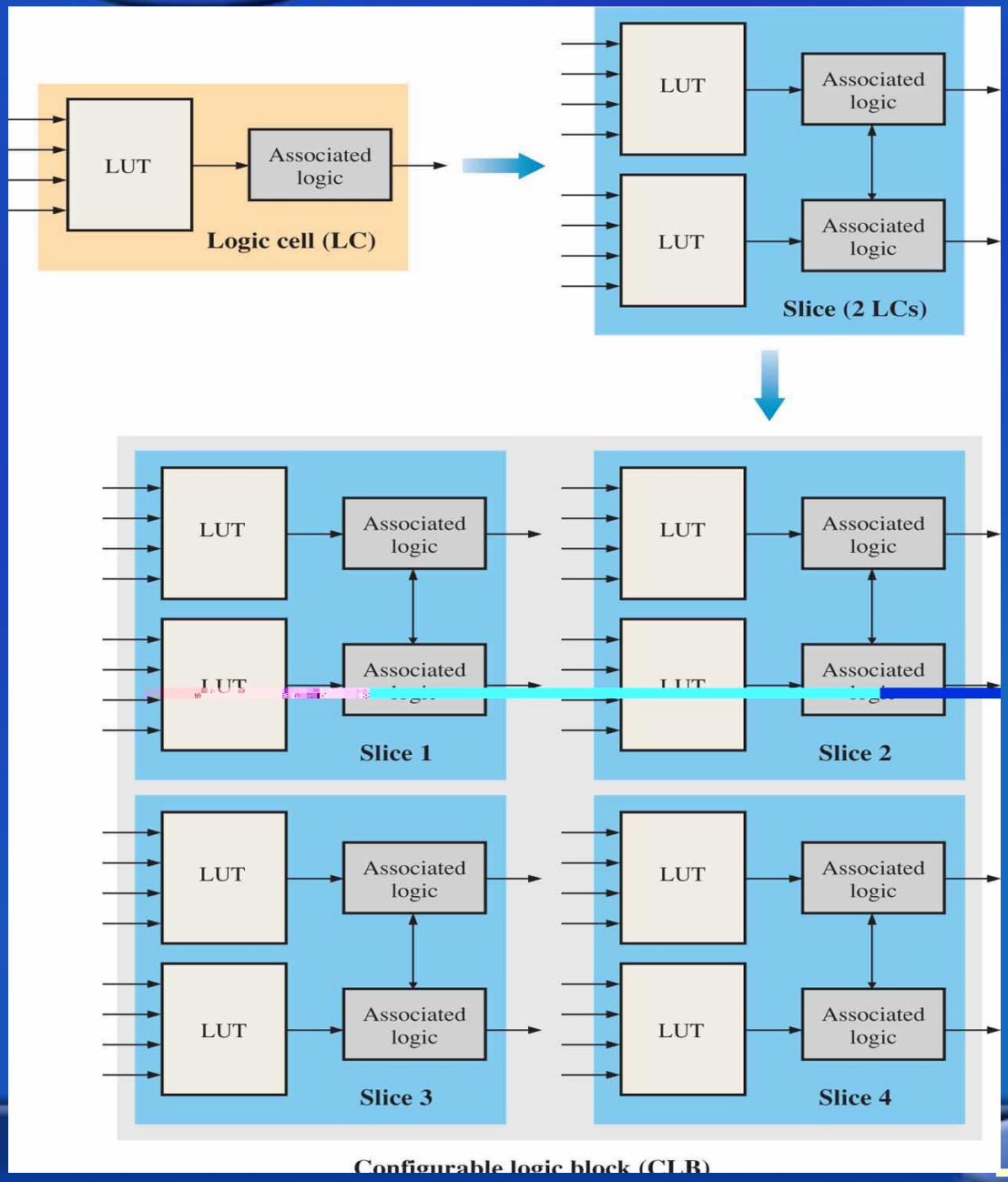


CLB：基本的逻辑单元，完成用户指定的逻辑功能；

IOB：位于芯片四周，为内部逻辑阵列与外部引脚之间提供了一个可编程接口。

PR：位于CLB之间，在FPGA 内部占了很大硅片面积，编程后形成连线网络，用于为FPGA 各逻辑单元提供灵活可配的连接。

新的FPGA 还有很多其它功能单元，如数字时钟管理器DCM（Digital Clock Manager）和乘法器（Multiplier）等。在更先进的FPGA 中，还包含了嵌入式处理器、DSP 、以太网等，例如Xilinx Virtex-4 包含了PowerPC 处理器、千兆以太网MAC和速度高达6.5Gbps 的 串行收发器。



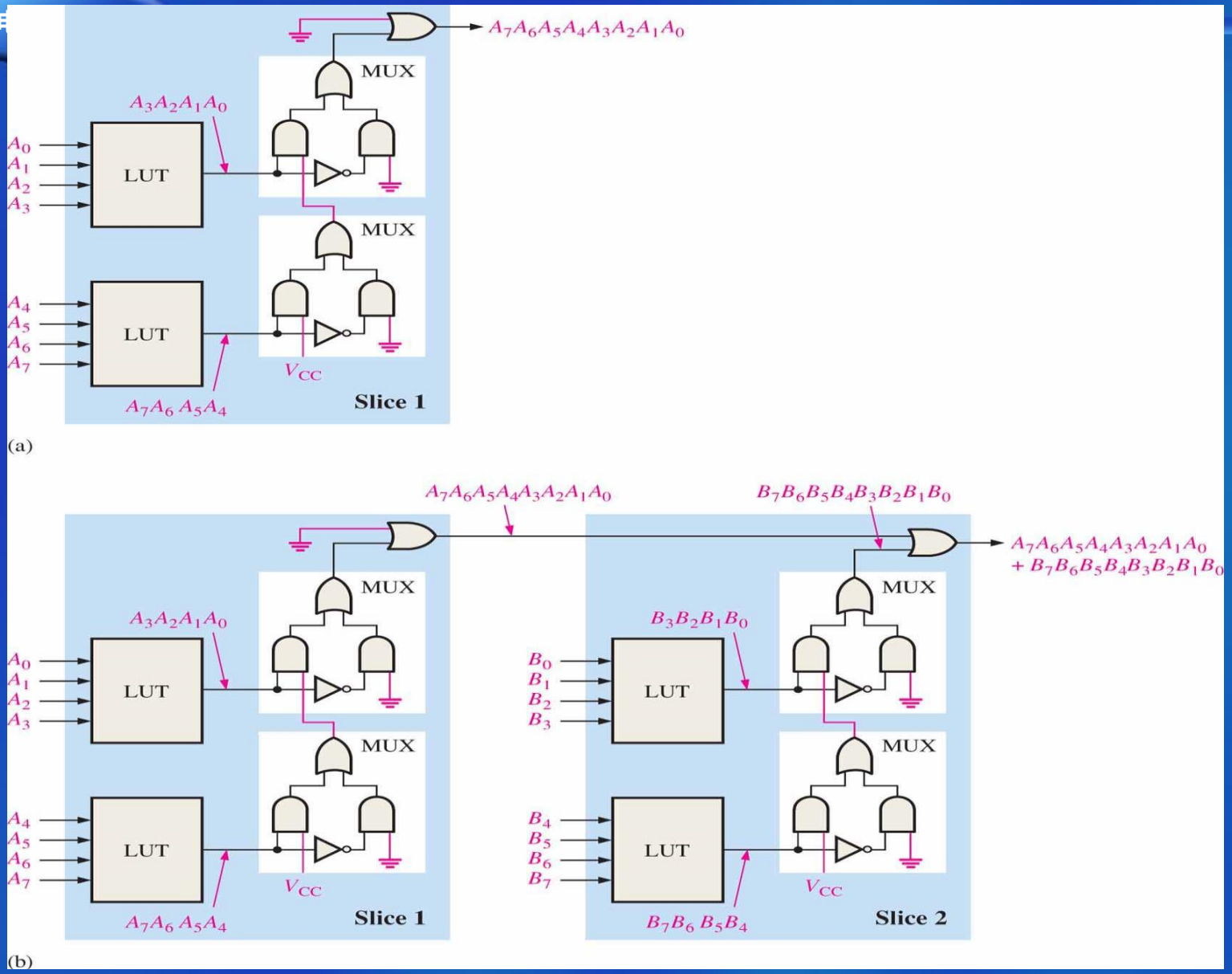
CLB（Configurable Logic Block）是可配置逻辑块

CLB由Slice（切片）组成，一个CLB中有4个Slice。

一个Slice中又包括2个核心逻辑单元LC（Logic Cell）

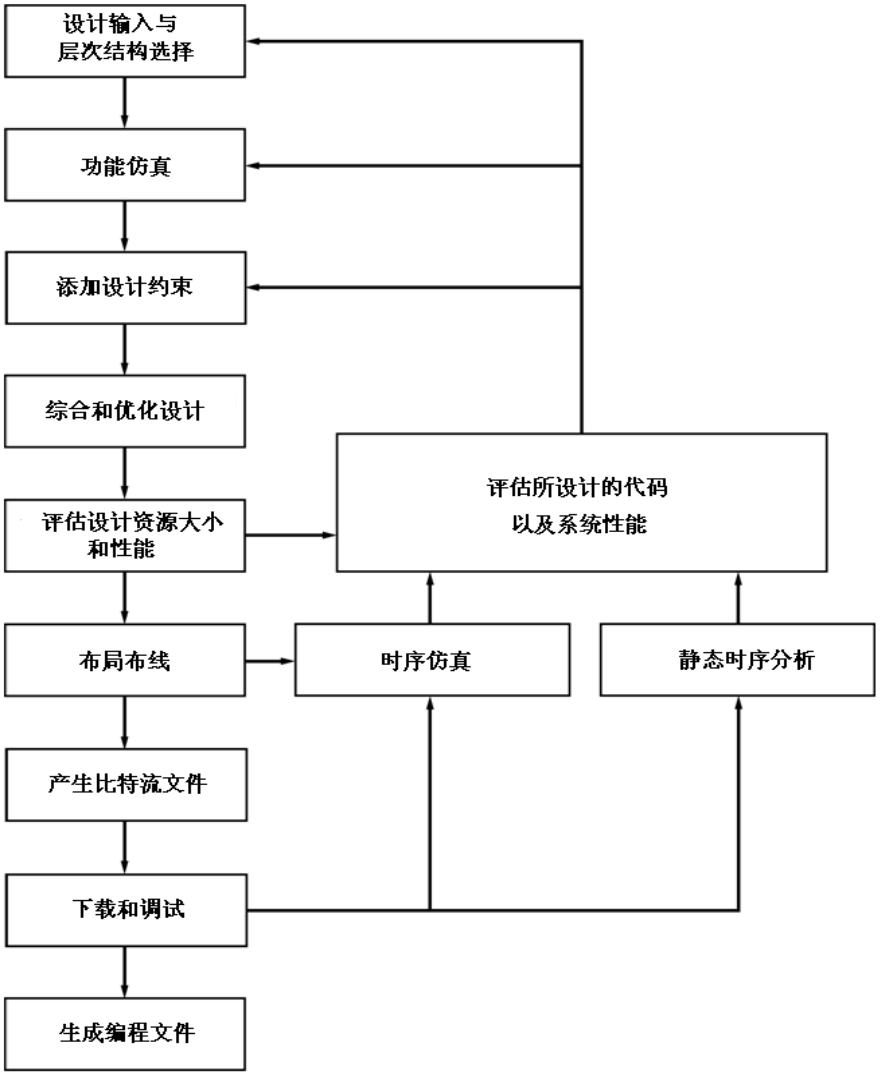
一个LC是由一个4输入的查找表（LUT）、多路选择器（MUX）、D触发器，以及其他运算逻辑、进位等构成。

Xilinx FPGA中逻辑块等级关系：LC-Slice-CLB，LC之间的互连速度最快，同一CLB中的Slice之间的互联速度稍慢些，CLB之间的互连速度更慢一些。



Example of using cascade chains for expansion of an SOP function.

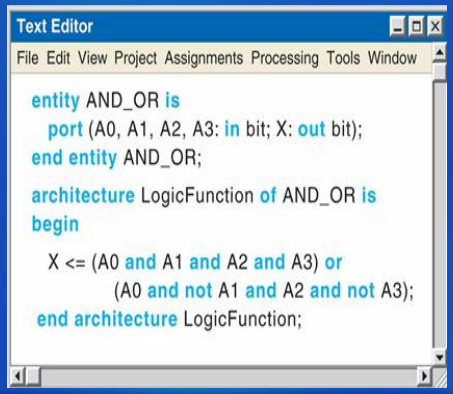
Xilinx FPGA 设计流程

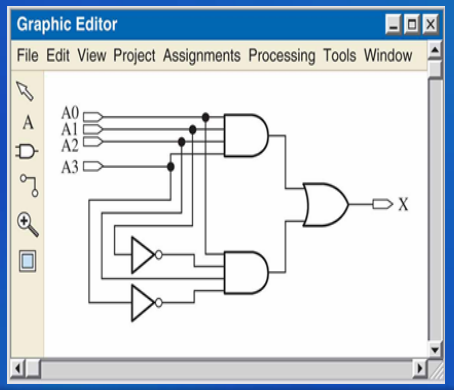


1. 设计输入和层次结构选择

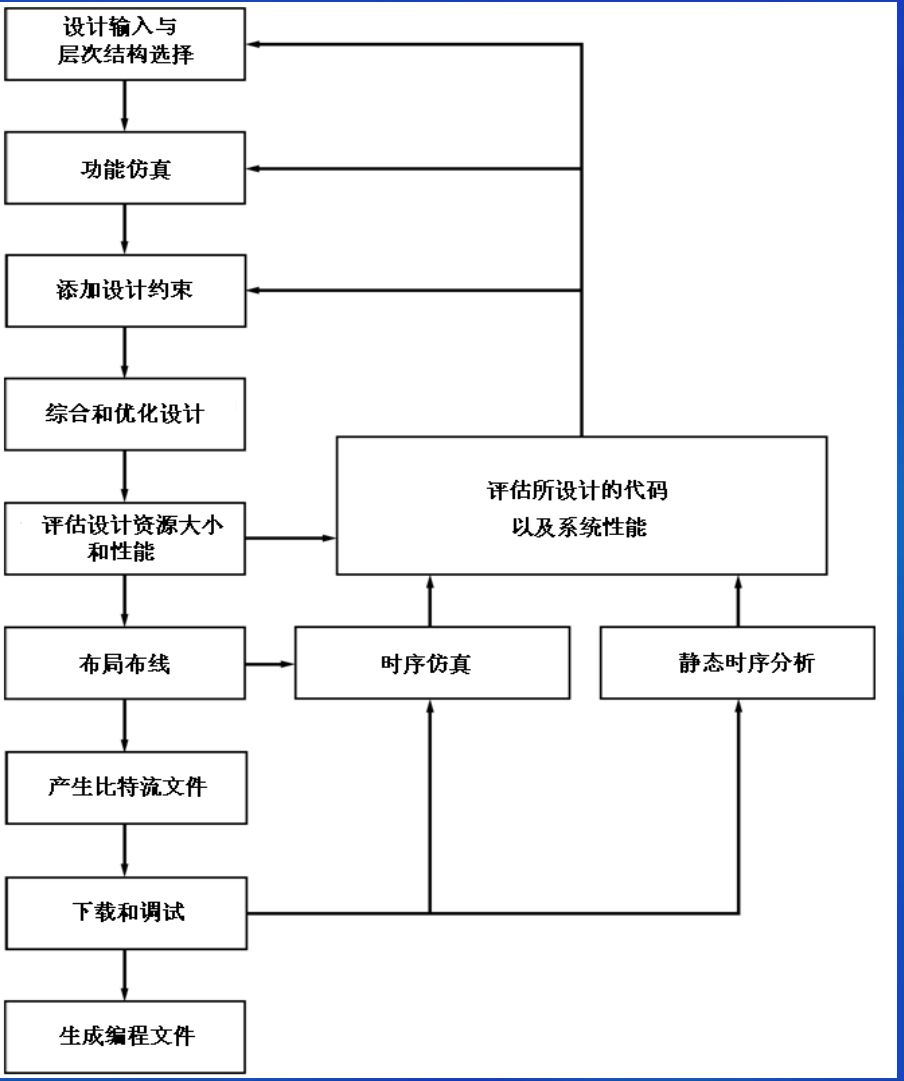
设计输入可以硬件描述语言，也可以是原理图。一般推荐用语言完成整个设计。

设计工具有ISE、最新推出vivado。





Xilinx FPGA 设计流程



2、功能仿真

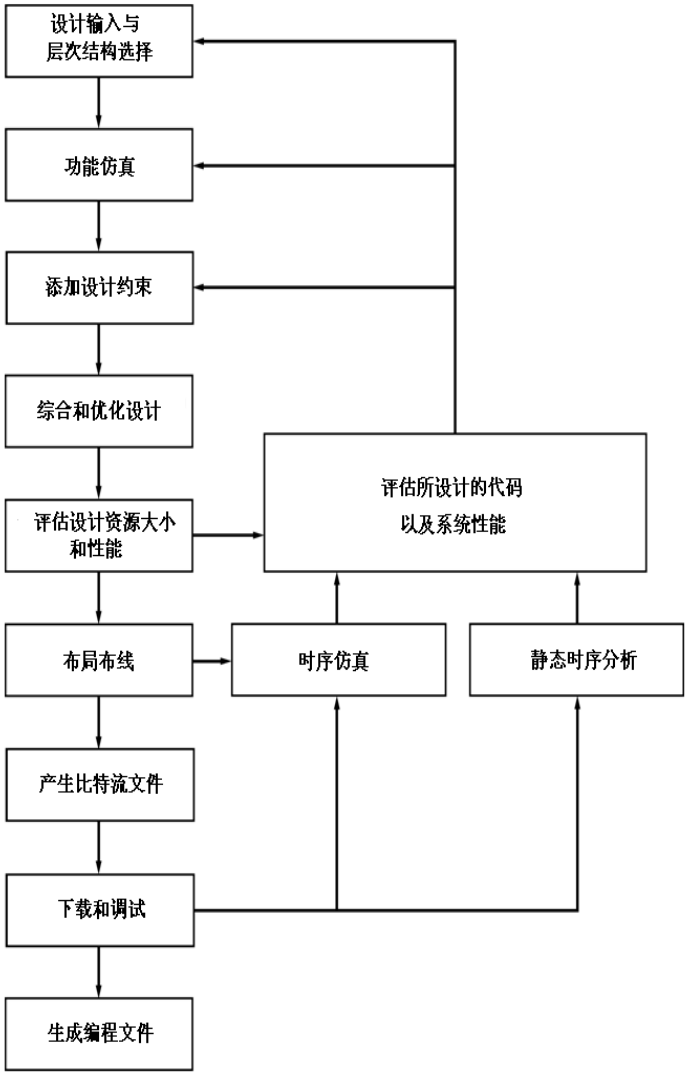
对用户所设计的电路进行逻辑功能验证，此时的验证仅仅对功能进行检验，不含任何时序信息。

仿真工具可以采用Modelsim，也可用ISE自带的Isim。

3．添加设计约束

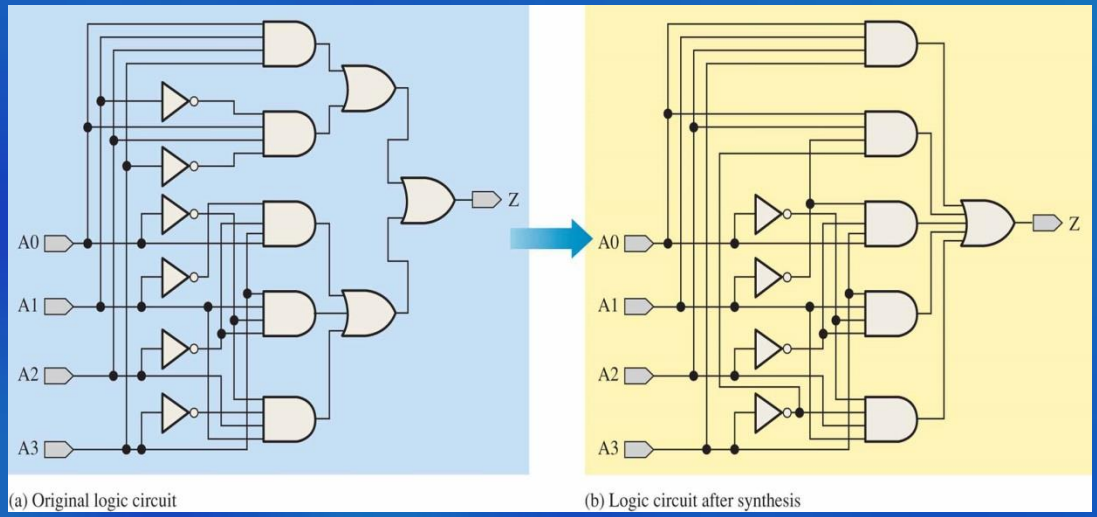
为设计添加时序约束、管脚约束、区域约束和综合约束。（如速度、功耗、成本以及电路类型等要求。）

Xilinx FPGA 设计流程

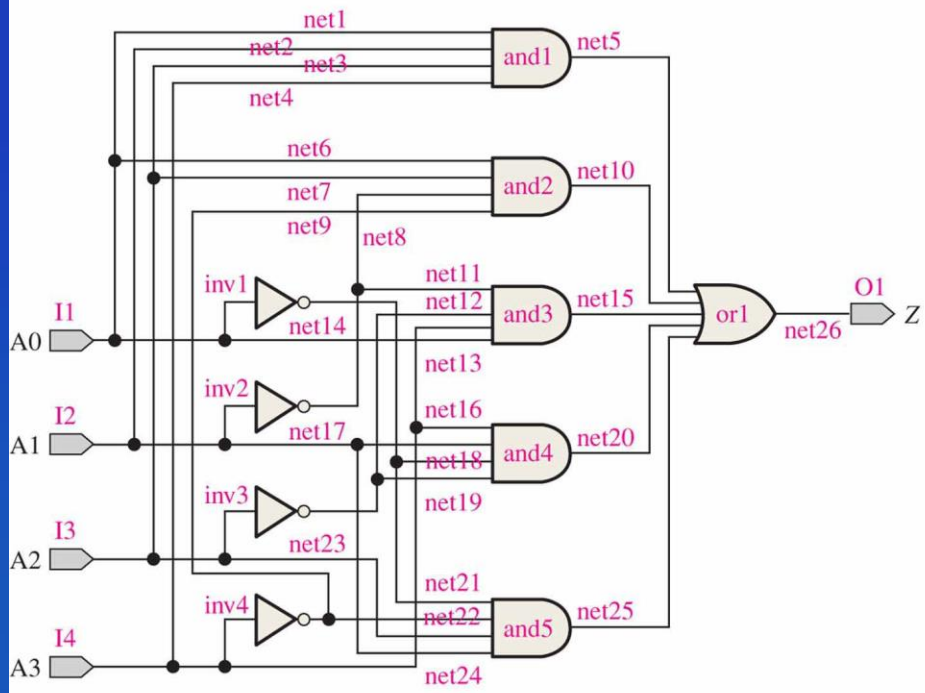


4、综合和优化设计

针对给定的电路实现功能和实现电路的约束条件，通过计算机进行优化处理，获得一个能满足上述要求或者相近的最优电路设计方案。产生优化的FPGA 网表。



(a) Original logic circuit　　(b) Logic circuit after synthesis

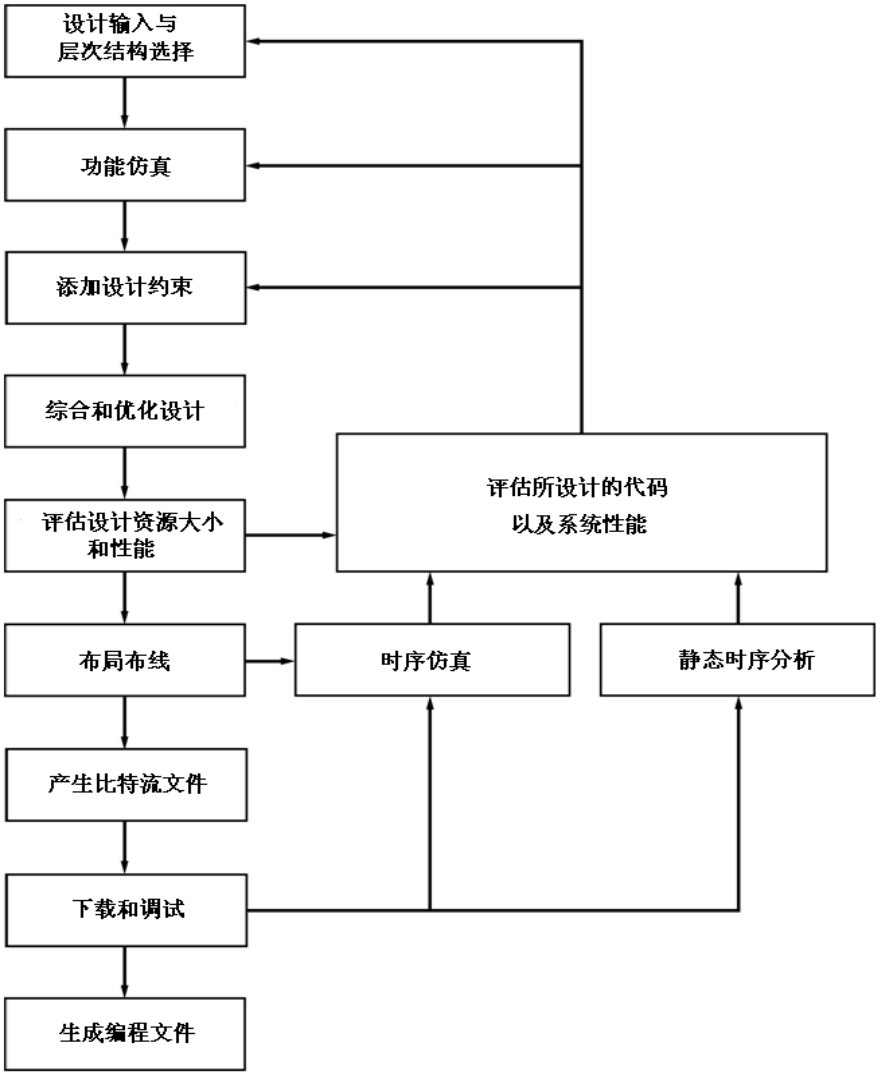


(a)

Netlist (Logic3)
net<name>: instance<name>, <from>; <to>;
instances: and1, and2, and3, and4, and5, or1, inv1, inv2, inv3, inv4;
Input/outputs: I1, I2, I3, I4, O1;
net1: and1, inport1; I1;
net2: and1, inport2; I2;
net3: and1, inport3; I3;
net4: and1, inport4; I4;
net5: and1, outport1; or1, inport1;
net6: and2, inport1; I1;
net7: and2, inport2; I3;
net8: and2, inport3; inv2, outport1;
net9: and2, inport4; inv4, outport1;
net10: and2, outport1; or1, inport2;
net11: and3, inport1; inv2, outport1;
net12: and3, inport2; inv3, outport1;
net13: and3, inport3; I4;
net14: and3, inport4; I1;
net15: and3, outport1; or1, inport3;
net16: and4, inport1; I4;
net17: and4, inport2; I2;
net18: and4, inport3; inv1, outport1;
net19: and4, inport4; inv3, outport1;
net20: and4, outport1; or1, inport4;
net21: and5, inport1; inv1, outport1;
net22: and5, inport2; inv4, outport1;
net23: and5, inport3; I3;
net24: and5, inport4; I2;
net25: and5, outport1; or1, inport5;
net26: or1, outport1; O1;
end

(b)

Xilinx FPGA 设计流程



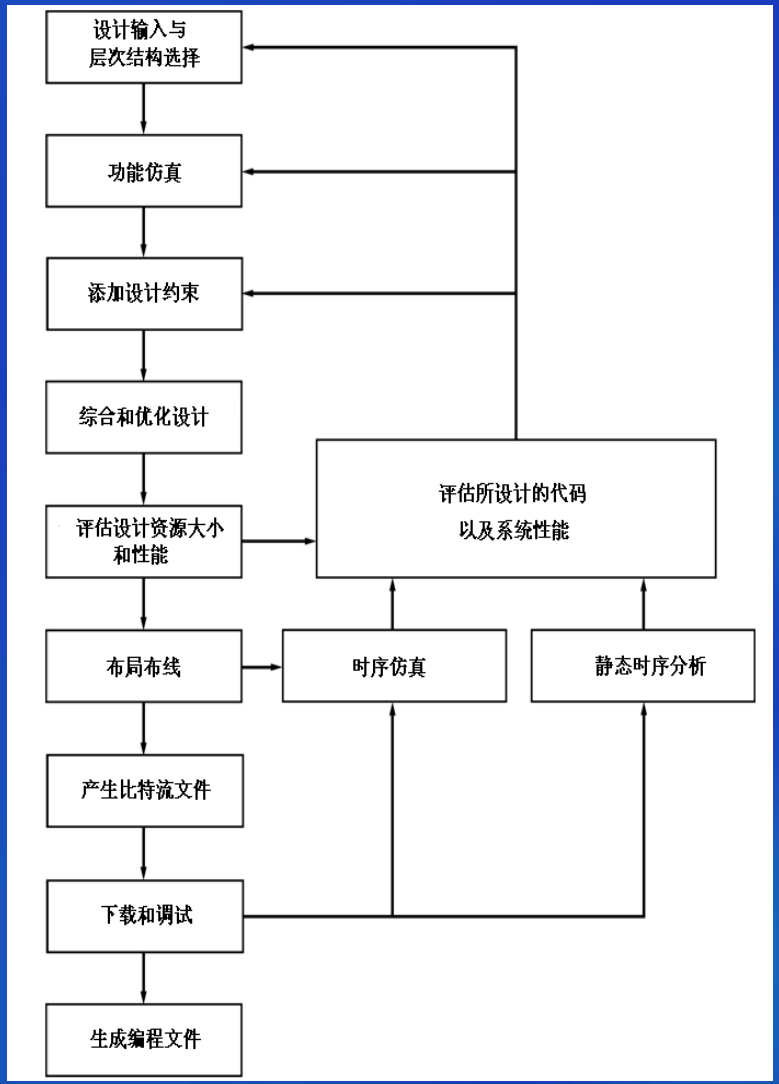
5.评估设计资源大小和性能

应在开发前完成，以免硬件不能完成指定的功能和性能。综合后评估可以比较准确的获得各种资源的消耗，确定是否进行优化调整。

6、布局布线

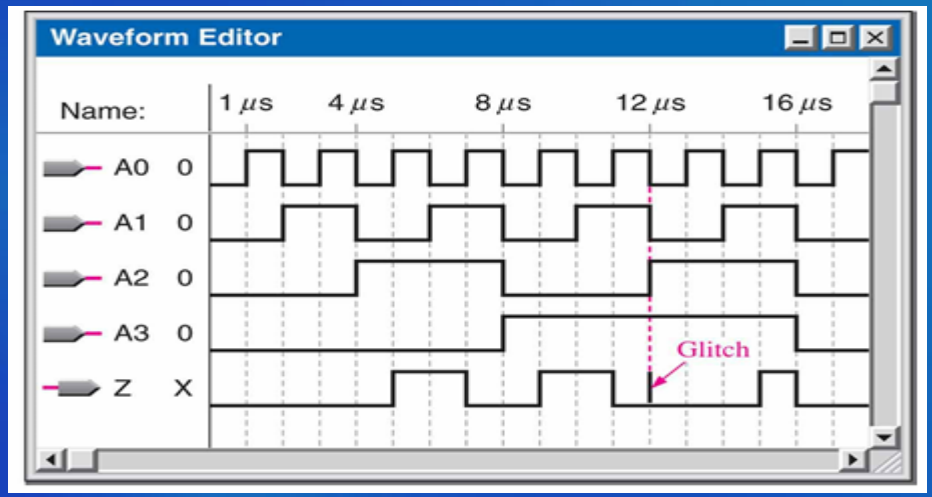
影响布局布线结果是输入的网表，约束文件和布局布线选项设置。建议用缺省选项运行一遍来看看工程的基本性能，查找时序关键路径。再通过设置时序优先或者面积优先来优化。

Xilinx FPGA 设计流程



7. 时序仿真和静态时序分析

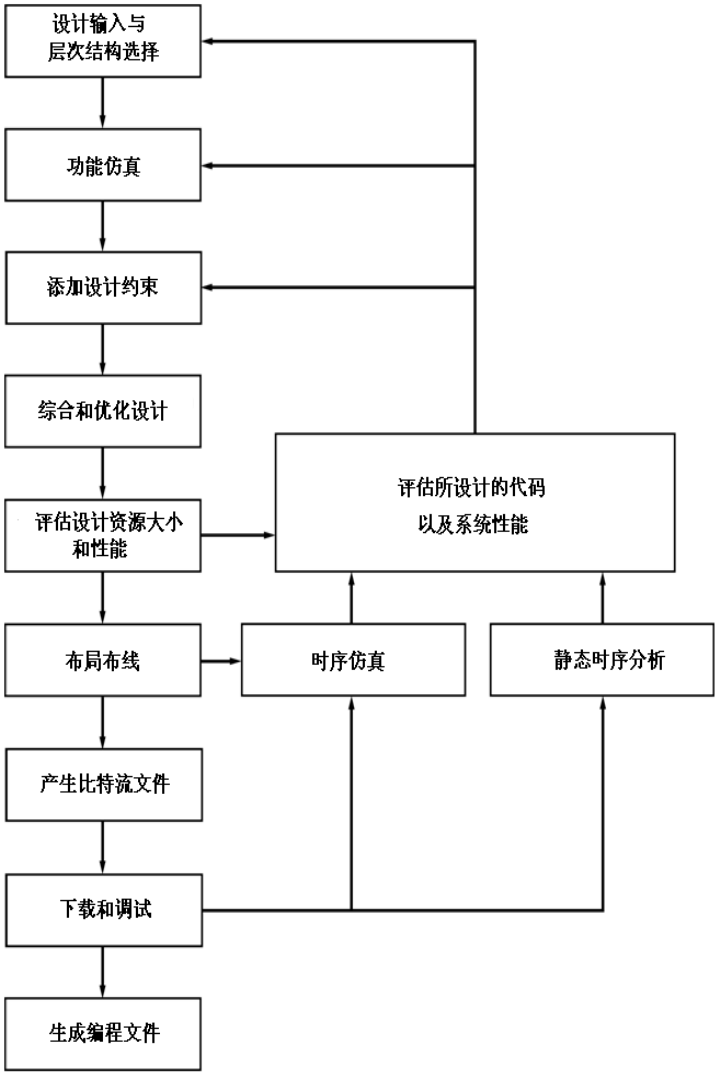
布线后仿真，提取相关器件的延迟、连线延时等时序参数，并在此基础上进行时序仿真，是接近真实器件运行的仿真。



8、产生比特流文件

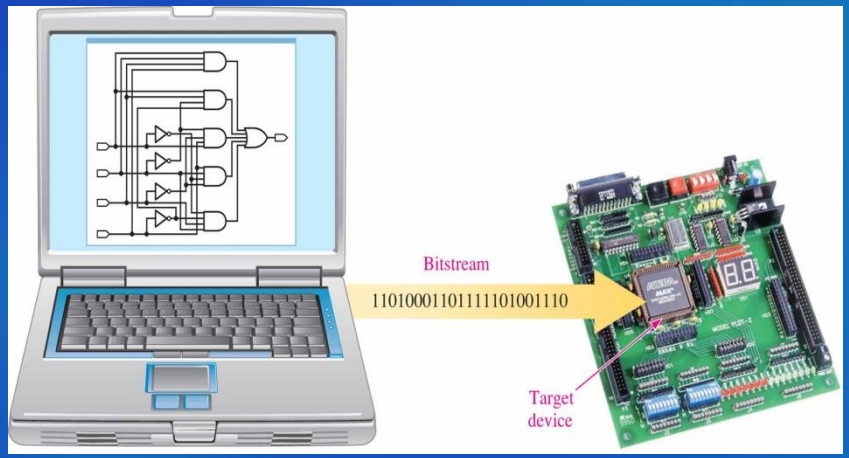
.bit文件是在线配置文件，可以通过JTAG下载到FPGA内，配置FPGA并工作，用来快速验证设计是否正确，掉电就丢失。

Xilinx FPGA 设计流程



9、下载和调试

在调试前，做好规划，如何对模块进行分段结果验证对比，迅速定位故障模块。



10. 生成编程文件

通过ISE软件将.bit文件转换为.mcs文件。编程文件是烧写到FPGA外部的配置芯片（FLASH）上的，掉电后信息不丢失。

CPLD和FPGA比较

- ①CPLD更适合完成各种乘积项丰富的算法和组合逻辑，FPGA更适合于完成触发器丰富时序逻辑。
- ②CPLD比FPGA使用起来更方便。CPLD的编程采用E^2PROM技术，无需外部存储器芯片。而FPGA的编程信息需存放在外部存储器上。
- ③CPLD具有硬件加密功能，保密性好，FPGA保密性差。
- ④一般情况下，CPLD的功耗要比FPGA大，且集成度越高越明显。

本章小结

- PLD是可以由编程来确定其逻辑功能器件的统称，是半定制化器件 。
- PROM是早期的PLD。PAL和GAL则是典型的低密度可编程逻辑器件。GAL是低密度的代表。
- CPLD 和FPGA 属于高密度可编程逻辑器件。
- 利用计算机辅助设计，采用模块化设计方法，基于高密度可编程逻辑器件的逻辑设计，可大大简化设计过程 。

PLD的主要类型，特点（如逻辑功能采用什么方式实现，与或结构还是查找表），一些基本概念（如IP核、ISP、 Xilinx Spartan-3E FPFA的基本结构 LC-Slice-CLB），识图。