

## 8 时序逻辑电路

8.1 时序电路的结构、分类和描述方式

8.2 基于触发器时序电路的分析和设计

8.3 集成计数器

8.4 寄存器

## 8.1 时序电路的结构、分类和描述方式

### 1. 逻辑电路的分类

(1) 组合逻辑电路：任一时刻的输出仅与该时刻电路的输入信号有关，而与该时刻以前的输入状态无关。

(2) 时序逻辑电路：任一时刻的输出不仅与该时刻电路的输入信号有关，而且还与电路过去的状态有关。

## 2. 时序电路的结构框图

表示信号间的逻辑关系的三个向量方程：

### a. 输出方程

$$Z(t_n) = F[X(t_n), Q(t_n)]$$

电路输出变量逻辑式

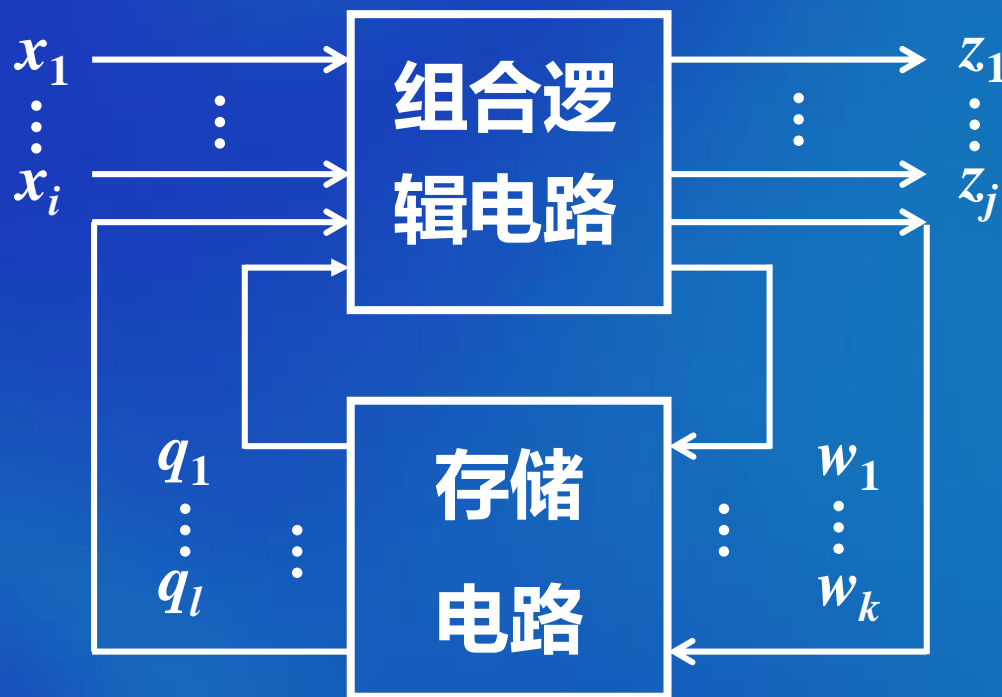
### b. 驱动方程

$$W(t_n) = H[X(t_n), Q(t_n)]$$

各触发器输入端的逻辑式

### c. 状态方程

$$Q(t_{n+1}) = G[W(t_n), Q(t_n)]$$

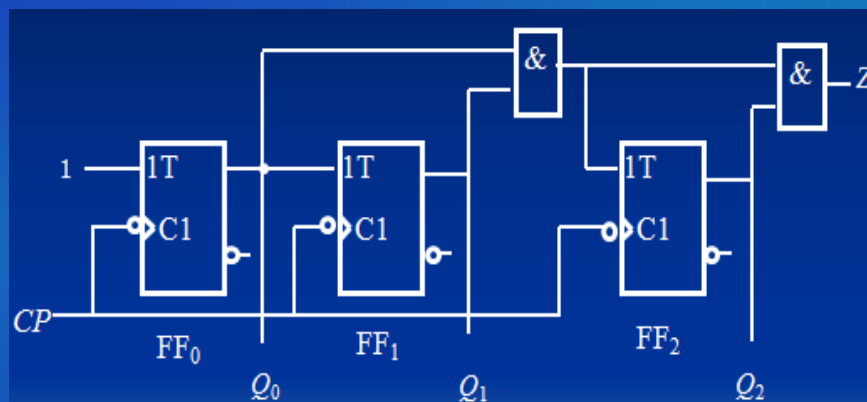


### 3. 时序电路的分类

(1) 根据存贮电路中**触发器状态变化的特点**，时序电路分为两大类：同步时序电路和异步时序电路。

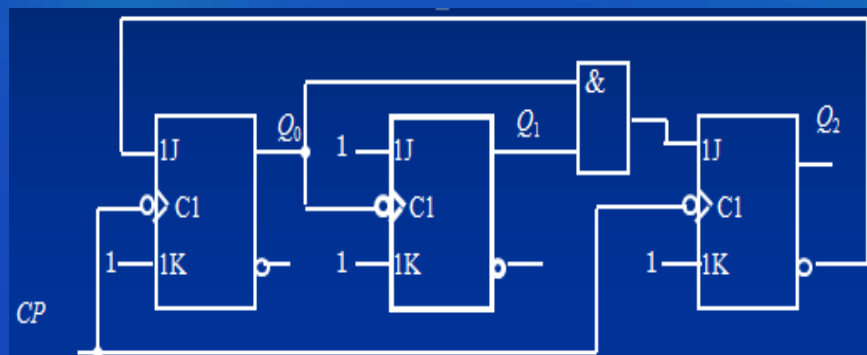
#### a. 同步时序电路

各触发器时钟受同一个时钟脉冲控制，即所有FF的CP接在一起。



#### b. 异步时序电路

没有统一的时钟脉冲，触发器状态变化由各自的时钟脉冲信号或由输入信号决定。

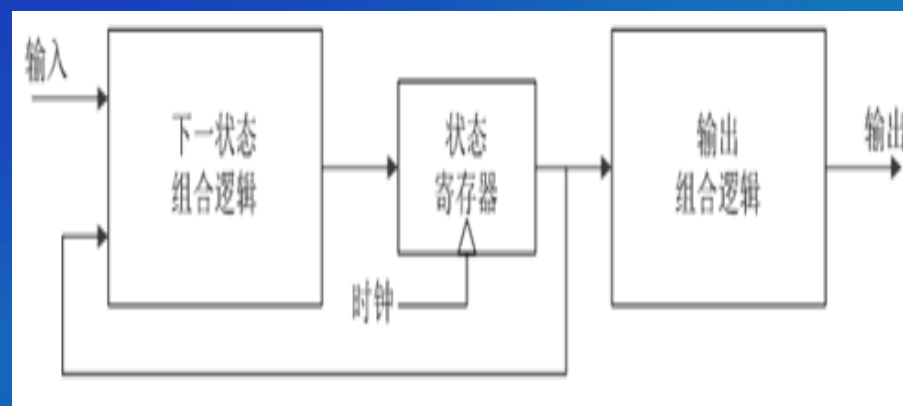


(2) 时序电路按输出信号的特点又可以分为米里 (Mealy) 型和摩尔(Moore)型时序电路两种。

### a. Moore型电路

输出信号仅取决于存贮电路的状态。

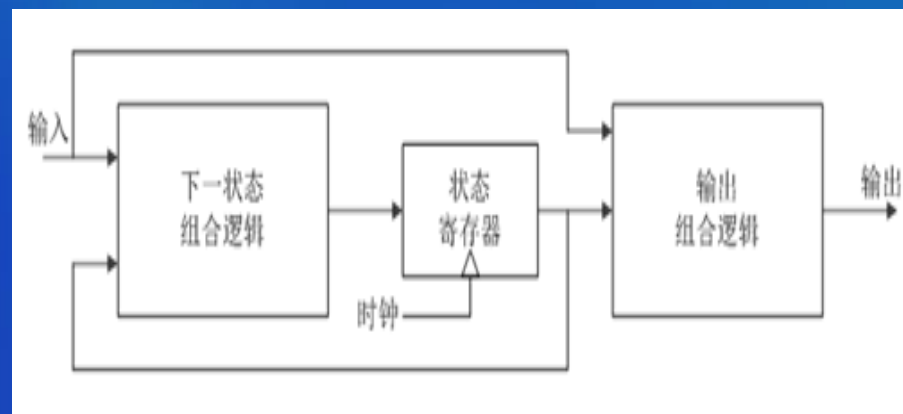
$$Z(t_n) = F[Q(t_n)]$$



### b. Mealy型电路

输出不仅取决于存贮电路的状态，还取决于输入变量的状态。

$$Z(t_n) = F[X(t_n), Q(t_n)]$$

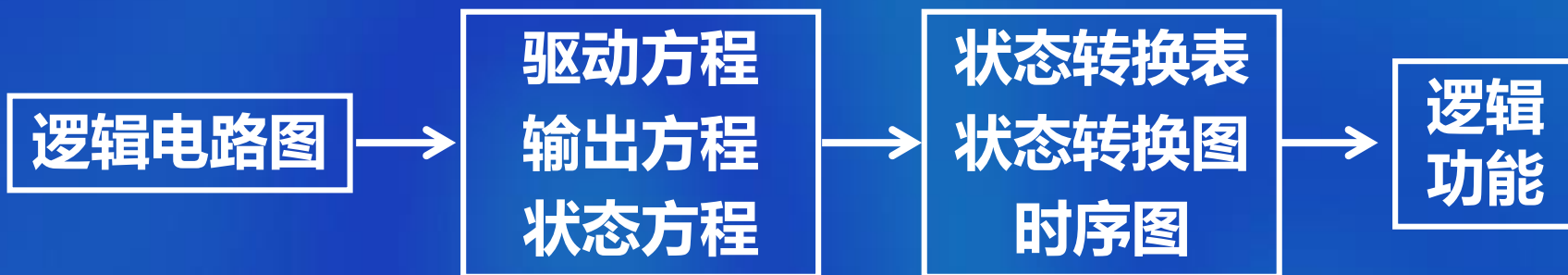


## 8.2 基于触发器时序电路的分析和设计

时序逻辑电路中的基本单元是触发器。

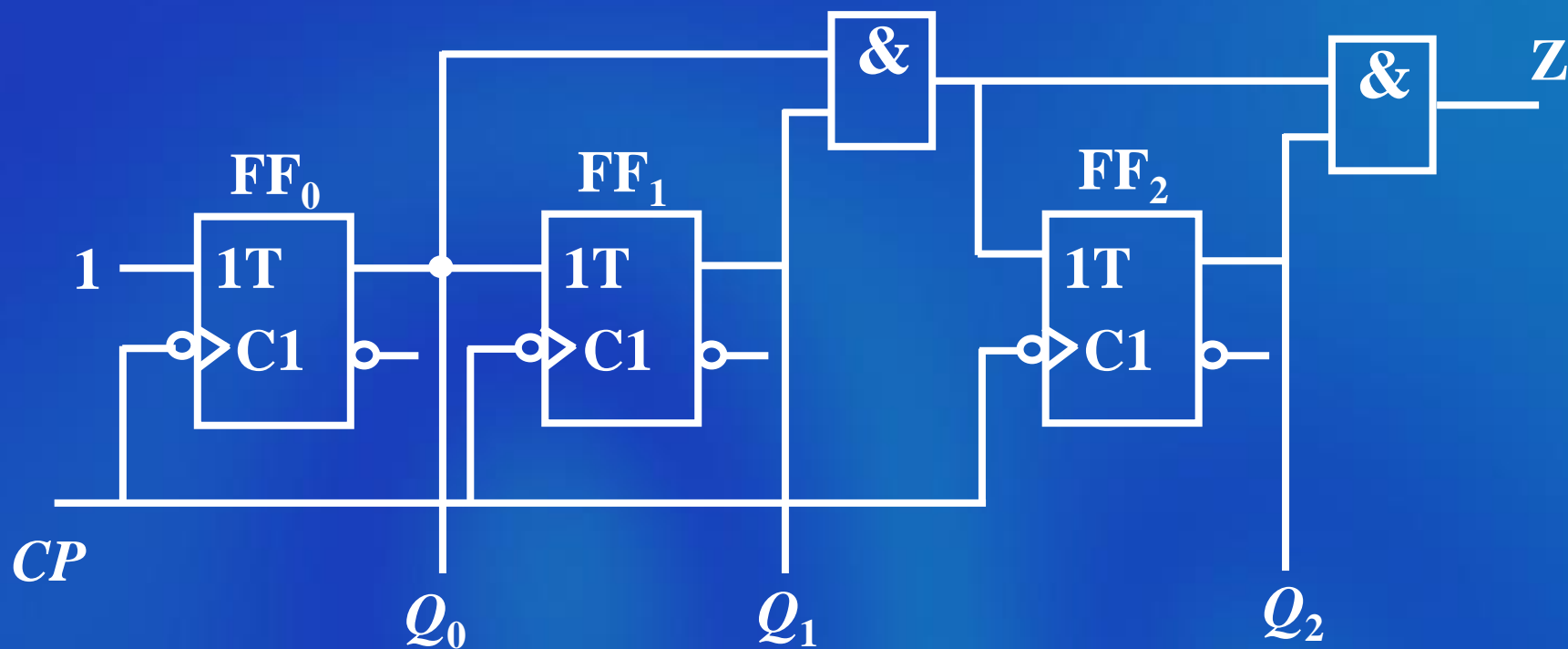
### 分析方法

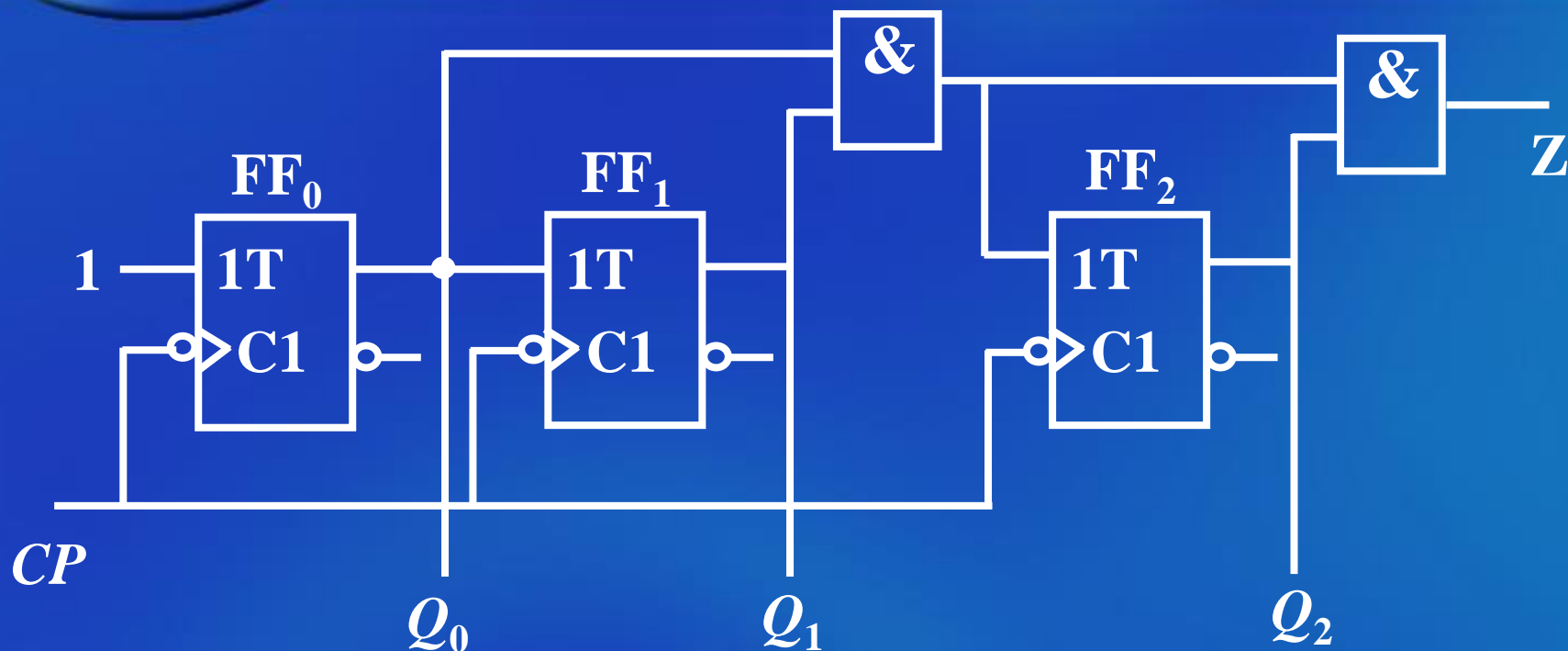
#### 1. 时序电路分析流程图



## 同步时序电路的分析

[例1] 分析如图所示时序电路的逻辑功能。





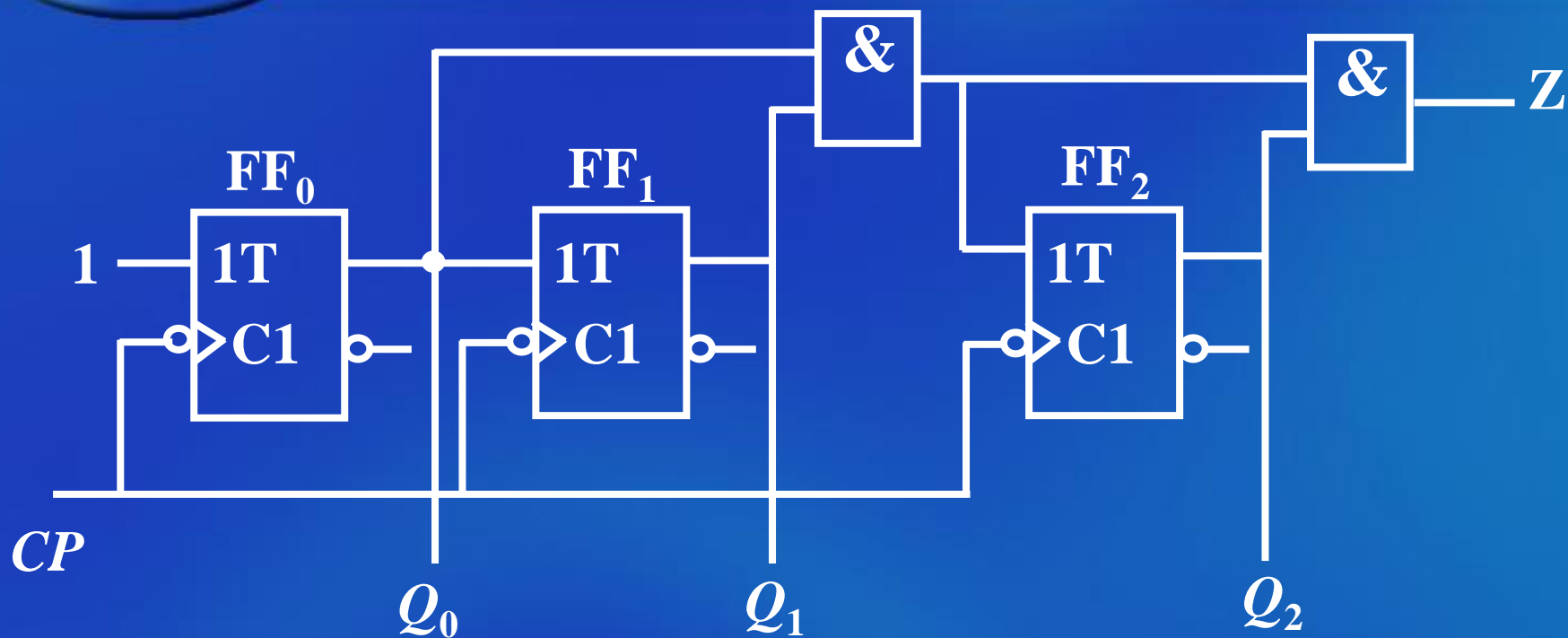
[解] 这个电路的组合电路部分是两个与门。

存贮电路部分是三个T触发器；

$Z$ 为外部输出；

三个触发器由同一时钟 $CP$ 控制，所以是同步时序电路。





### (1) 写三个状态方程

a. 驱动方程  $T_0 = 1$  ;  $T_1 = Q_0^n$  ;  $T_2 = Q_1^n Q_0^n$

b. 输出方程  $Z = Q_2^n Q_1^n Q_0^n$

## c. 求状态方程

T触发器特性方程为  $Q^{n+1} = T \oplus Q^n$

将驱动方程  $T_0 = 1$  ;  $T_1 = Q_0^n$  ;  $T_2 = Q_1^n Q_0^n$

代入触发器的特性方程, 得状态方程为

$$Q_0^{n+1} = T_0 \oplus Q_0^n = \overline{Q_0^n}$$

$$Q_1^{n+1} = T_1 \oplus Q_1^n = Q_0^n \oplus Q_1^n = Q_1^n \overline{Q_0^n} + \overline{Q_1^n} Q_0^n$$

$$Q_2^{n+1} = T_2 \oplus Q_2^n = \overline{Q_2^n} Q_1^n Q_0^n + Q_2^n \overline{Q_0^n} + Q_2^n \overline{Q_1^n}$$

## (2) 列状态转换表画出状态转换图

### a. 状态转换真值表

$$Q_0^{n+1} = \overline{Q_0^n}$$

$$Q_1^{n+1} = Q_0^n \oplus Q_1^n$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n + Q_2^n \overline{Q_0^n} + Q_2^n \overline{Q_1^n}$$

$$Z = Q_2^n Q_1^n Q_0^n$$

$CP$	$Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
1	0 0 0	0 0 1
2	0 0 1	0 1 0
3	0 1 0	0 1 1
4	0 1 1	1 0 0
5	1 0 0	1 0 1
6	1 0 1	1 1 0
7	1 1 0	1 1 1
8	1 1 1	0 0 0

## b. 次态卡诺图

$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z$
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	1

$$Q_0^{n+1} = \overline{Q_0^n} \quad Q_1^{n+1} = \overline{Q_1^n} Q_0^n + Q_1^n \overline{Q_0^n}$$

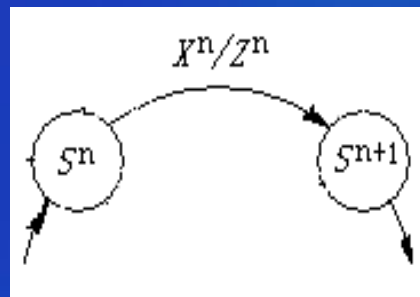
$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n + Q_2^n \overline{Q_0^n} + Q_2^n \overline{Q_1^n}$$

$$Z = Q_2^n Q_1^n Q_0^n$$

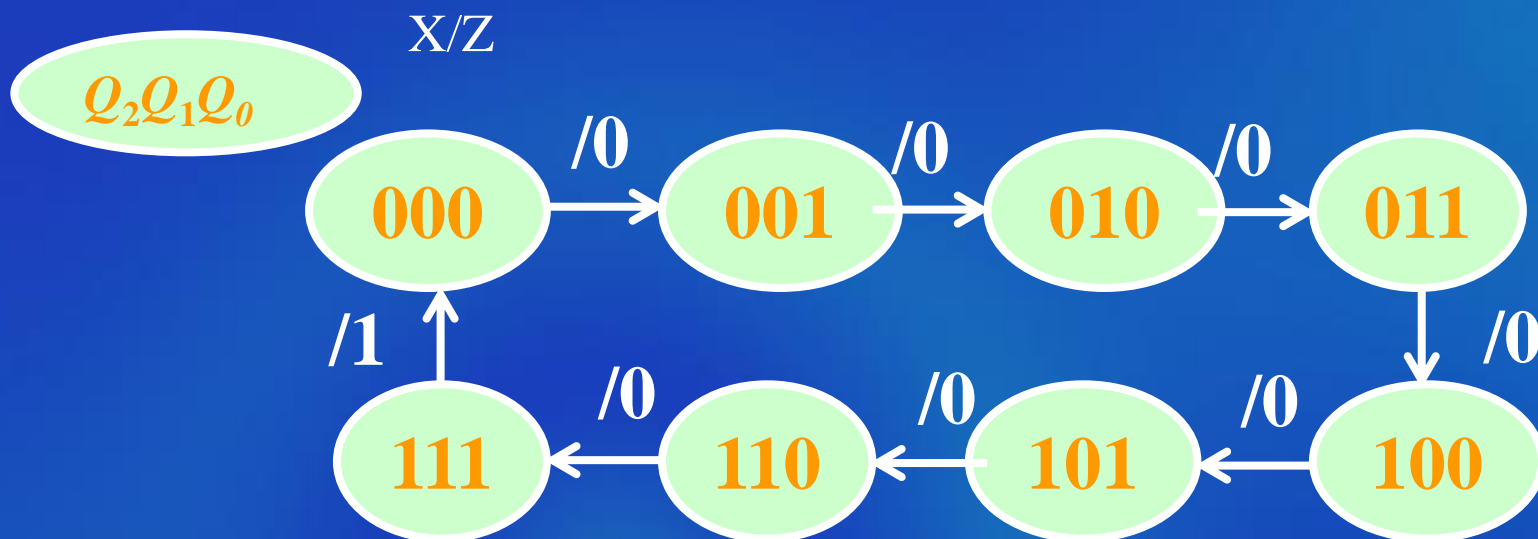
$Q_2^{n+1}$		$Q_1^n Q_0^n$			
$Q_1^n$		00	01	11	10
0	1	1	0	0	1
	1	1	0	0	1
$Q_1^{n+1}$		$Q_1^n Q_0^n$			
$Q_1^n$		00	01	11	10
0	0	0	1	0	1
	1	0	1	0	1
$Q_2^{n+1}$		$Q_1^n Q_0^n$			
$Q_1^n$		00	01	11	10
0	0	0	0	1	0
	1	1	1	0	1
$Z$		$Q_1^n Q_0^n$			
$Q_1^n$		00	01	11	10
0	0	0	0	0	0
	1	0	0	1	0

## c. 状态转换图

状态转换表的图形表示方式

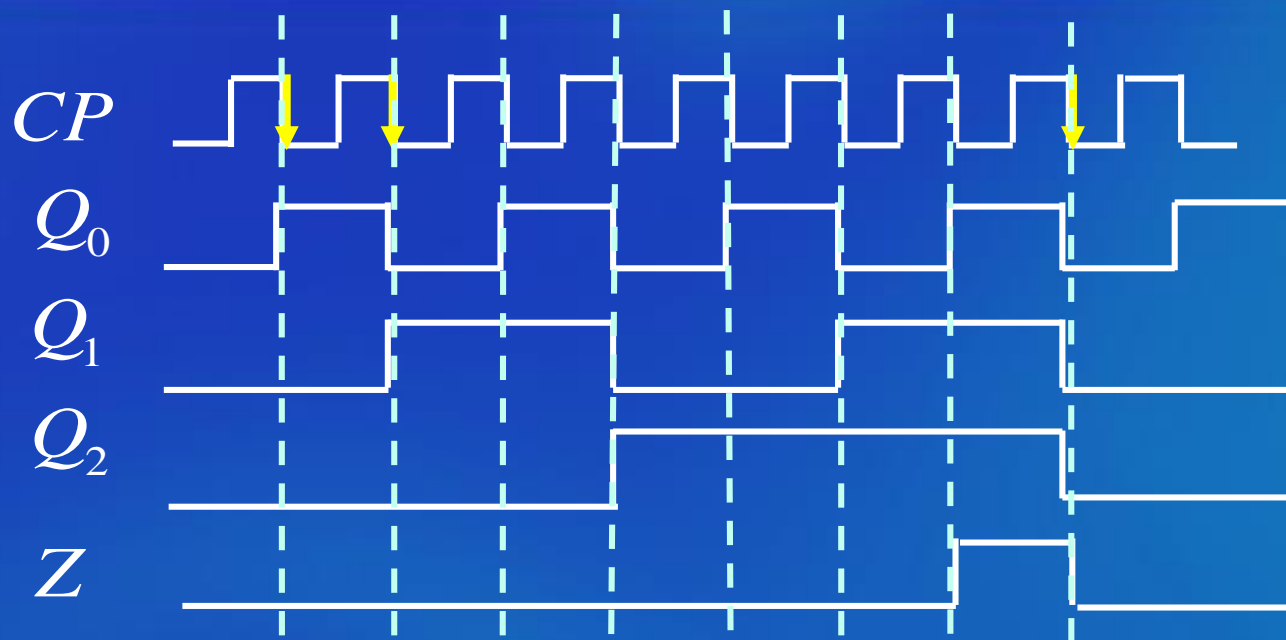


箭头上注明的是在现态 $S^n$ 以及当前输入变量 $X$ 作用下输出变量 $Z$ 的值。



注：三个触发器共有八个状态000, 001, ..., 111。由于本例中没有外部输入，所以 $X/Z$ 斜线上方没有注字。

## d. 时序图



## (3) 说明电路逻辑功能

随着时钟信号的作用，状态转换的次序为二进制数递增规律，当输入八个时钟脉冲时，恢复到初态000，循环周期为8。该电路为同步八进制加法计数器。 $Z$ 可以作为进位信号。当计数到7时， $Z$ 为1。

# 态序表:

态序表也是一种形式的状态转换真值表。  
在态序表中，以时钟脉冲作为状态转换顺序。

首先根据某一现态 $S_0$ ，得到相应的次态 $S_1$

再以 $S_1$ 为现态，得到新的次态 $S_2$ 。

依次排列下去，直至进入到循环状态。

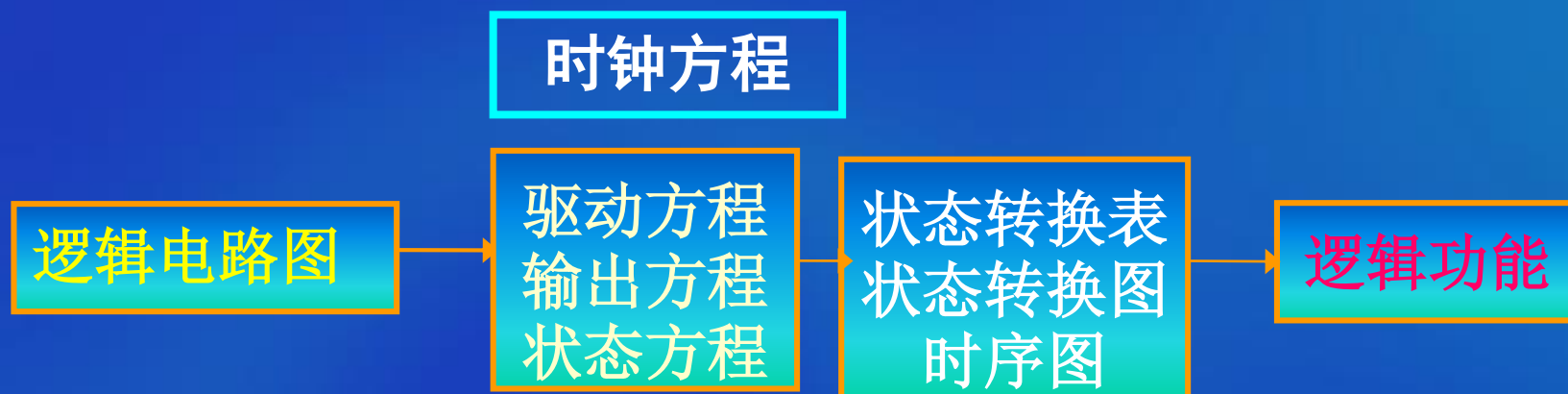
## 态序表

态序 $CP$	触发器状态		
	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

在每一行不再单独列出触发器的现态和次态。

# 异步时序电路的分析

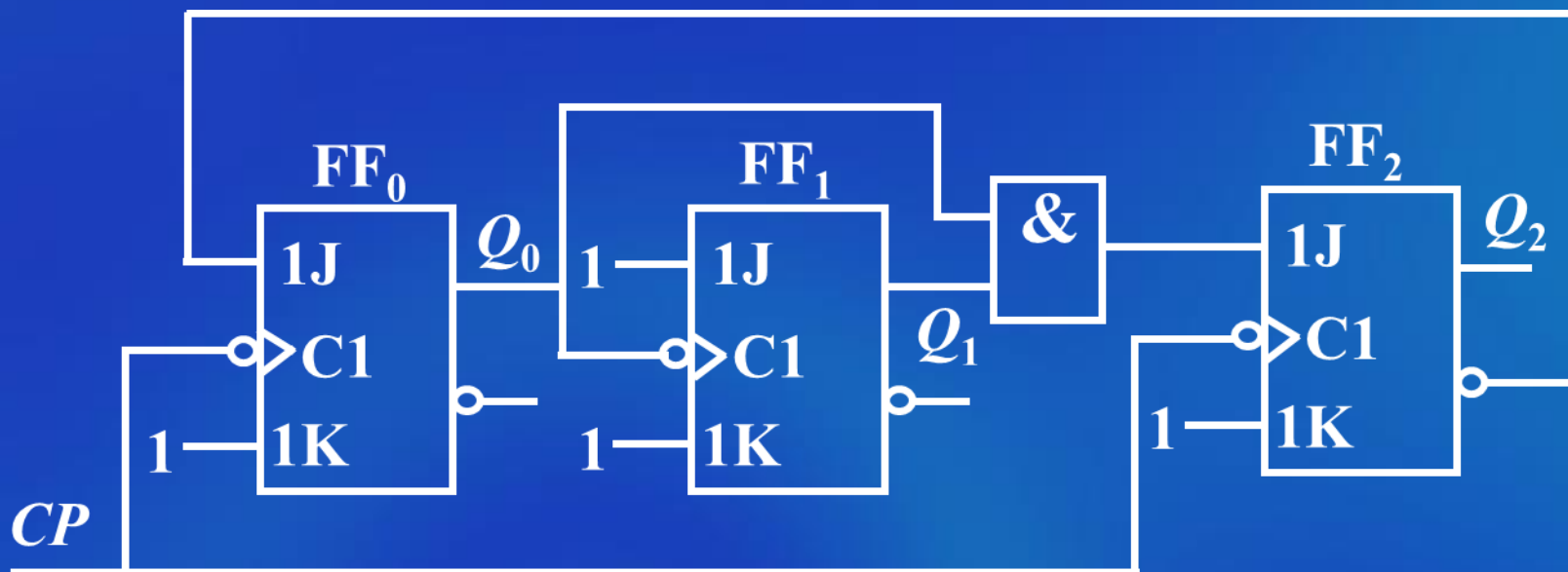
至少有一个触发器时钟与其它触发器不同



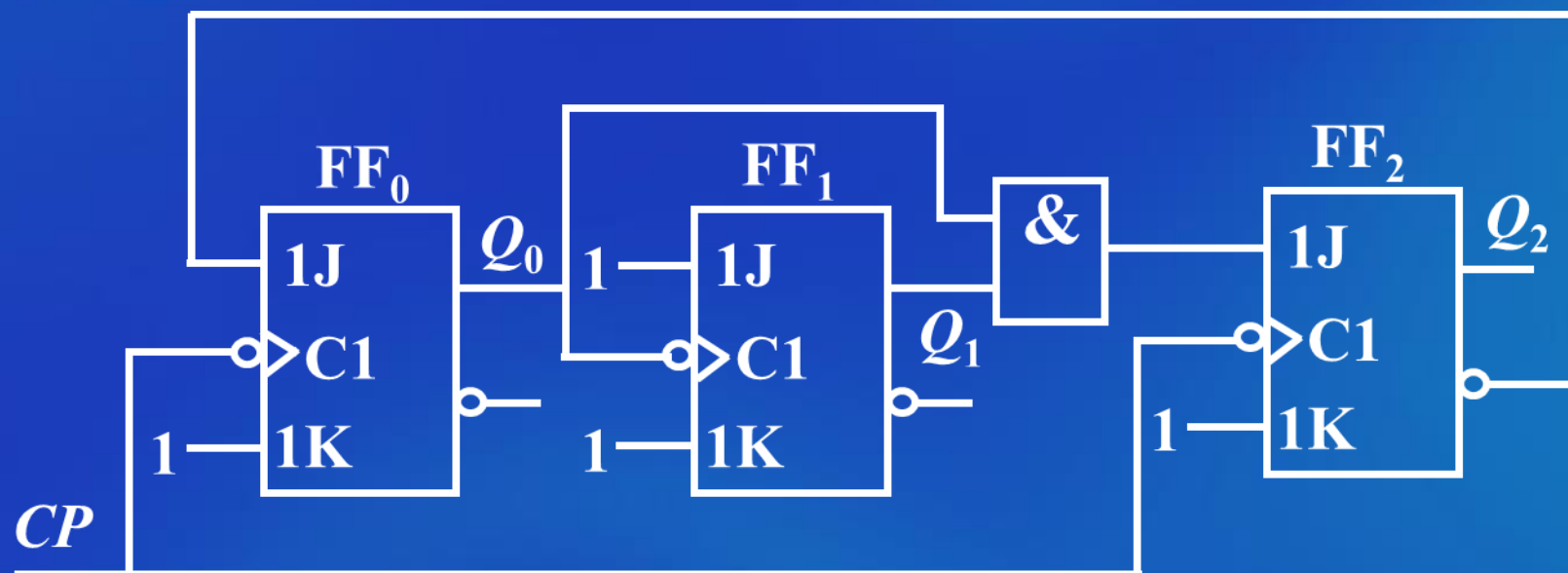
**特别注意：**应写出每一级的时钟方程。



[例] 分析如图所示时序电路的逻辑功能。



[解] (1) 写方程



### a. 驱动方程

$$J_0 = \overline{Q_2^n} ; K_0 = 1 ; CP_0 = CP$$

$$J_1 = K_1 = 1 ; CP_1 = Q_0$$

$$J_2 = Q_1^n Q_0^n ; K_2 = 1 ; CP_2 = CP$$

a. 驱动方程:  $J_0 = \overline{Q_2^n}$  ;  $K_0 = 1$  ;  $CP_0 = CP$

$$J_1 = K_1 = 1 \quad ; \quad CP_1 = Q_0$$

$$J_2 = Q_1^n Q_0^n \quad ; \quad K_2 = 1 \quad ; \quad CP_2 = CP$$

b. 状态方程

将驱动方程代入JKFF的特性方程得状态方程

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} \quad (CP_0)$$

$$Q_1^{n+1} = \overline{Q_1^n} \quad (CP_1)$$

$$Q_2^{n+1} = \overline{Q_2^n} Q_1^n Q_0^n \quad (CP_2)$$

## (2) 根据状态方程列出状态转换真值表

$$Q_0^{n+1} = \overline{Q_2^n Q_0^n} \quad (CP_0=CP)$$

$$Q_1^{n+1} = \overline{Q_1^n} \quad (CP_1=Q_0)$$

$$Q_2^{n+1} = \overline{Q_2^n Q_1^n Q_0^n} \quad (CP_2=CP)$$

$Q_2^n$ $Q_1^n$ $Q_0^n$	$Q_2^{n+1}$ $Q_1^{n+1}$ $Q_0^{n+1}$	$CP_2$ $CP_1$ $CP_0$
0 0 0	0 0 1	↓ ↓ ↓
0 0 1	0 1 0	↓ ↓ ↓
0 1 0	0 1 1	↓ ↓ ↓
0 1 1	1 0 0	↓ ↓ ↓
1 0 0	0 0 0	↓ ↓ ↓
1 0 1	0 1 0	↓ ↓ ↓
1 1 0	0 1 0	↓ ↓ ↓
1 1 1	0 0 0	↓ ↓ ↓

异步8进制加法计数器。

# 基于触发器时序电路的设计

## 同步时序电路的设计

同步时序电路中，时钟脉冲同时加到各触发器的时钟端，不需设计时钟电路。

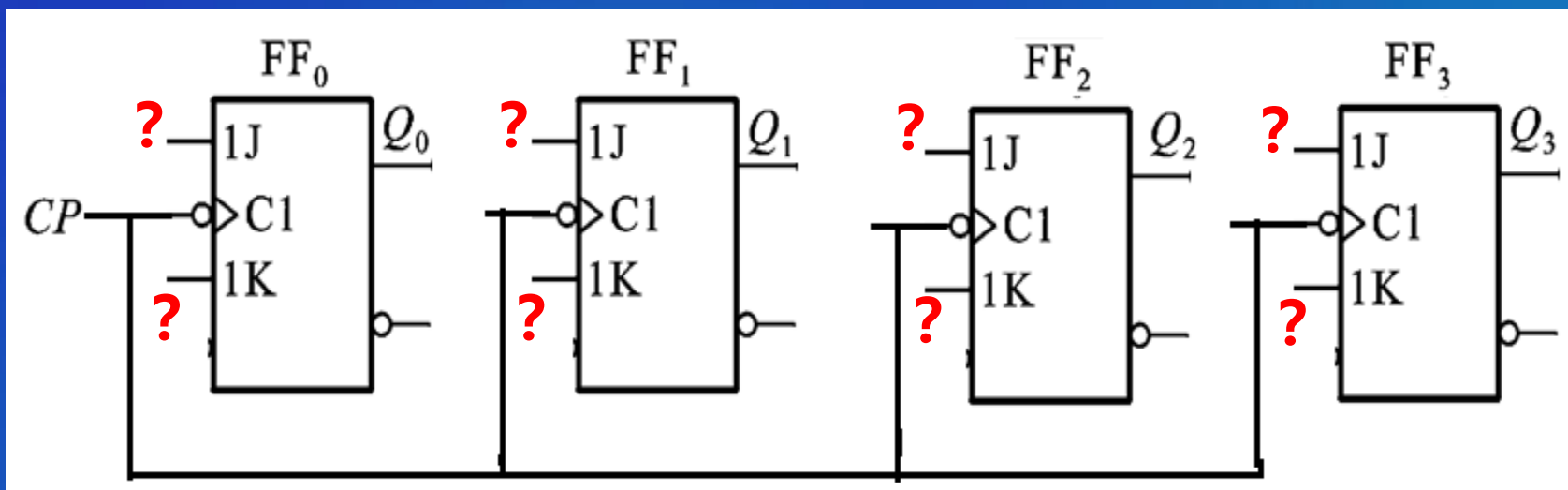
[例1] 用下降沿触发的 $JK$ 触发器设计同步8421BCD码的十进制加法计数器。

[解] (1) 根据设计要求，作出状态转换图。



## (2) 选择触发器的类型、个数并列出现态转换真值表

选择 $JK$ 触发器。因为状态数 $N=10$ ，所以触发器个数 $n=4$ 。



# 列出状态转换真值表

## 状态转换真值表

$CP$	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
1	0 0 0 0	0 0 0 1
2	0 0 0 1	0 0 1 0
3	0 0 1 0	0 0 1 1
4	0 0 1 1	0 1 0 0
5	0 1 0 0	0 1 0 1
6	0 1 0 1	0 1 1 0
7	0 1 1 0	0 1 1 1
8	0 1 1 1	1 0 0 0
9	1 0 0 0	1 0 0 1
10	1 0 0 1	0 0 0 0

### (3) 求三个向量方程 (状态、输出、驱动)

#### a. 画次态卡诺图

$Q_3^{n+1}$		$Q_1^n Q_0^n$			
$Q_3^n Q_2^n$		00	01	11	10
00		0	0	0	0
01		0	0	1	0
11		×	×	×	×
10		1	0	×	×

$$Q_3^{n+1} = Q_3^n \overline{Q_0^n} + \overline{Q_3^n} Q_2^n Q_1^n Q_0^n$$

$$Q^{n+1} = J \overline{Q^n} + \overline{K} Q^n$$

CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
1	0 0 0 0	0 0 0 1
2	0 0 0 1	0 0 1 0
3	0 0 1 0	0 0 1 1
4	0 0 1 1	0 1 0 0
5	0 1 0 0	0 1 0 1
6	0 1 0 1	0 1 1 0
7	0 1 1 0	0 1 1 1
8	0 1 1 1	1 0 0 0
9	1 0 0 0	1 0 0 1
10	1 0 0 1	0 0 0 0

$$J_3 = Q_2 Q_1 Q_0, \quad K_3 = Q_0$$



$Q_2^{n+1}$

	$Q_1^n Q_0^n$	00	01	11	10
$Q_3^n Q_2^n$	00	0	0	1	0
	01	1	1	0	1
	11	×	×	×	×
	10	0	0	×	×

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$\begin{aligned} Q_2^{n+1} &= Q_2^n \overline{Q}_0^n + Q_2^n \overline{Q}_1^n + \overline{Q}_2^n Q_1^n Q_0^n \\ &= Q_2^n (\overline{Q}_1^n + \overline{Q}_0^n) + \overline{Q}_2^n Q_1^n Q_0^n \end{aligned}$$

$$J_2 = Q_1 Q_0 = K_2$$

$Q_1^{n+1}$

	$Q_1^n Q_0^n$	00	01	11	10
$Q_3^n Q_2^n$	00	0	1	0	1
	01	0	1	0	1
	11	×	×	×	×
	10	0	0	×	×

$$Q_1^{n+1} = Q_1^n \overline{Q}_0^n + \overline{Q}_3^n \overline{Q}_1^n Q_0^n$$

$$J_1 = \overline{Q}_3 Q_0, \quad K_1 = Q_0$$

$Q_0^{n+1}$

$Q_1^n Q_0^n$

$Q_3^n Q_2^n$

	00	01	11	10
00	1	0	0	1
01	1	0	0	1
11	×	×	×	×
10	1	0	×	×

$$Q_0^{n+1} = \overline{Q_0^n}$$

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

$$J_0=1, \quad K_0=1$$

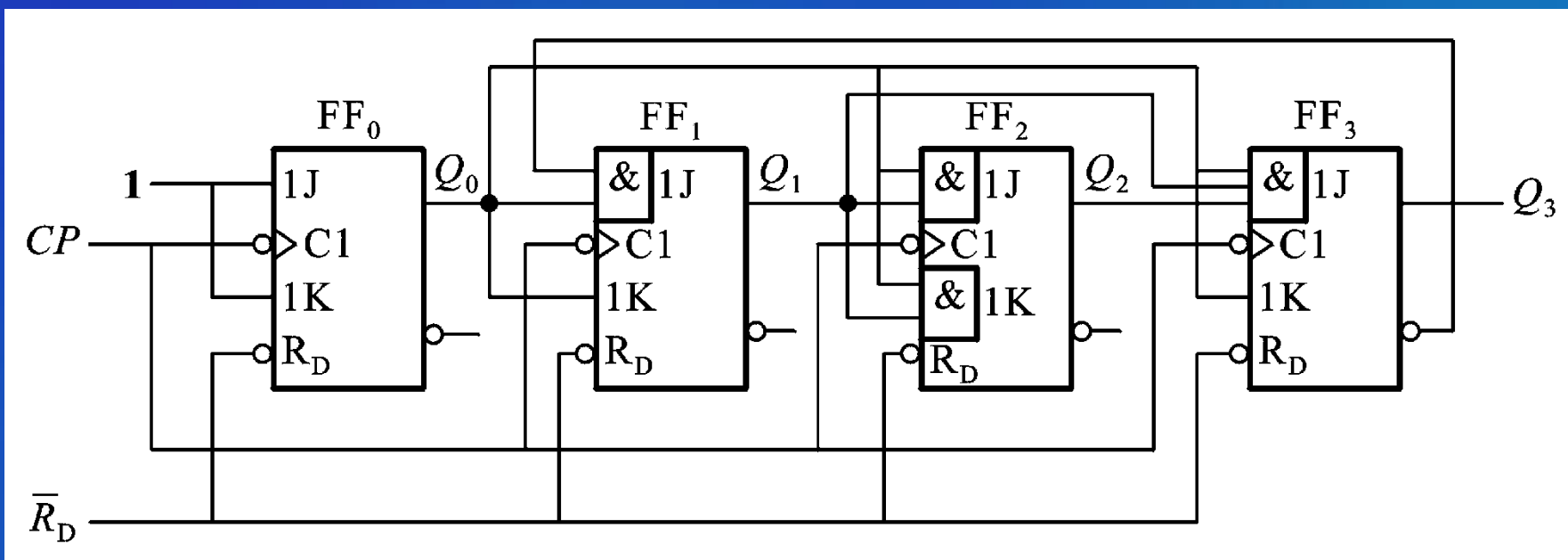
#### (4) 由驱动方程画出逻辑电路图

$$J_0 = K_0 = 1$$

$$J_1 = \overline{Q_3} Q_0 ; K_1 = Q_0$$

$$J_2 = Q_1 Q_0 ; K_2 = Q_1 Q_0$$

$$J_3 = Q_2 Q_1 Q_0 ; K_3 = Q_0$$



## (5) 检查电路的自起启能力。

由次态卡诺图可以得到电路状态为1010 ~ 1111时的次态

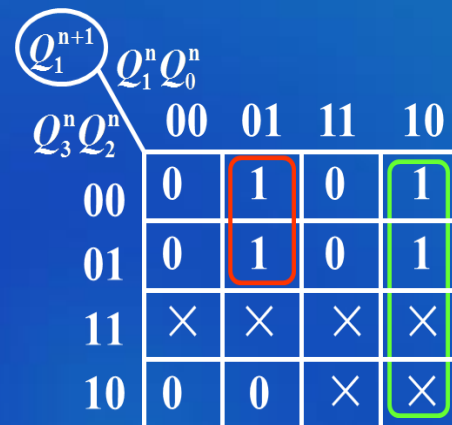
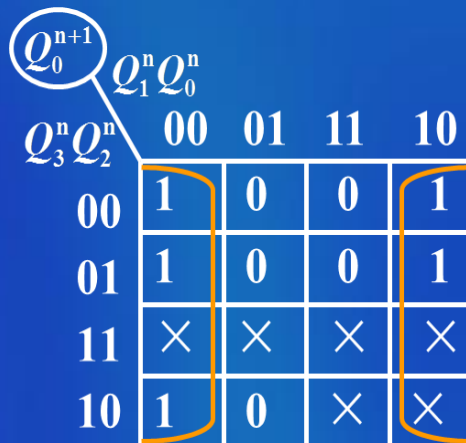
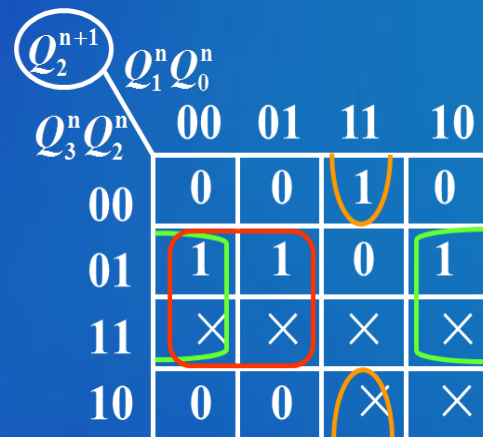
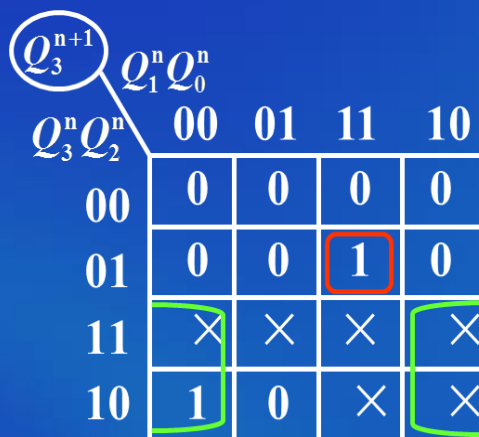
分别为：

1010→1011→0100；

1100→1101→0100；

1110→1111→0000。

该电路能够自启动。

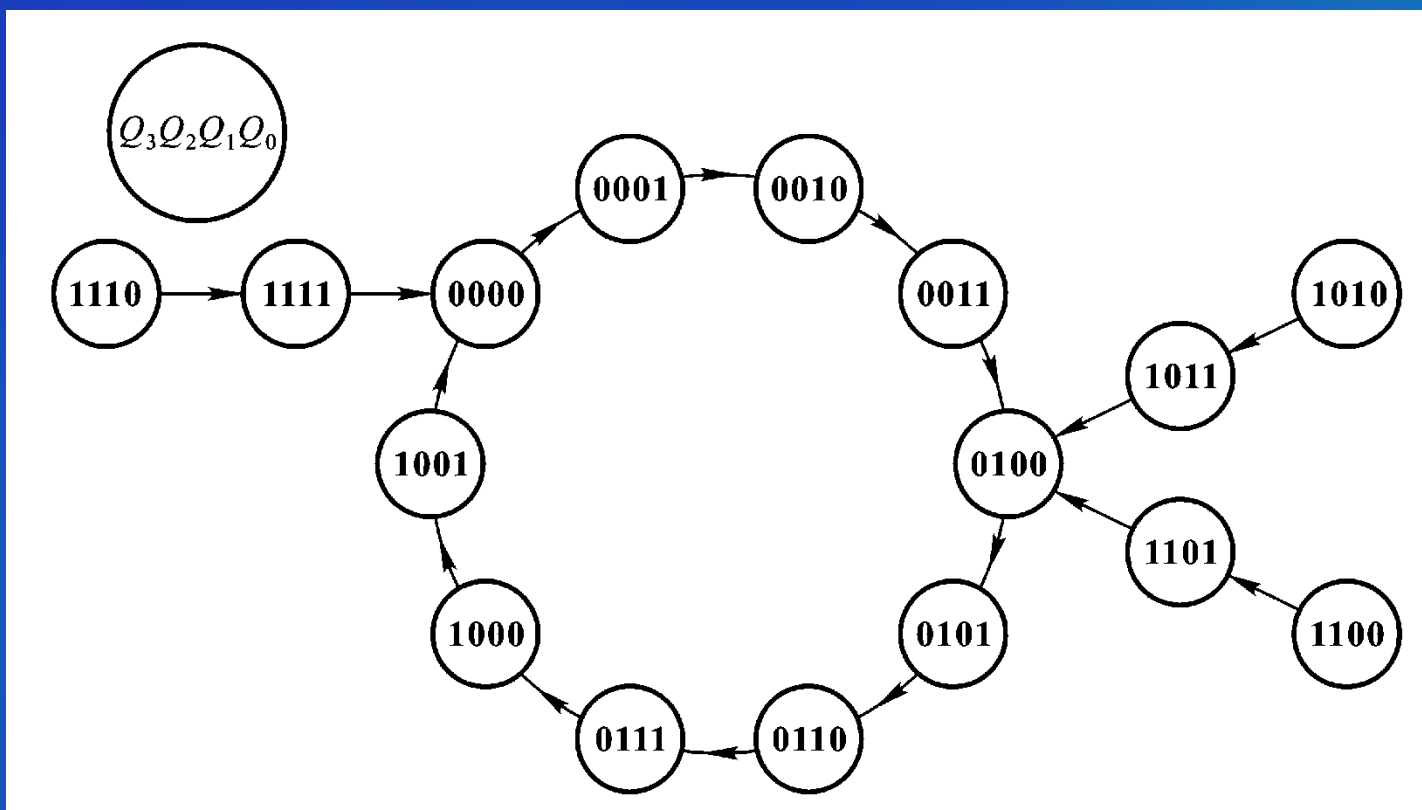


## (6) 状态转换图

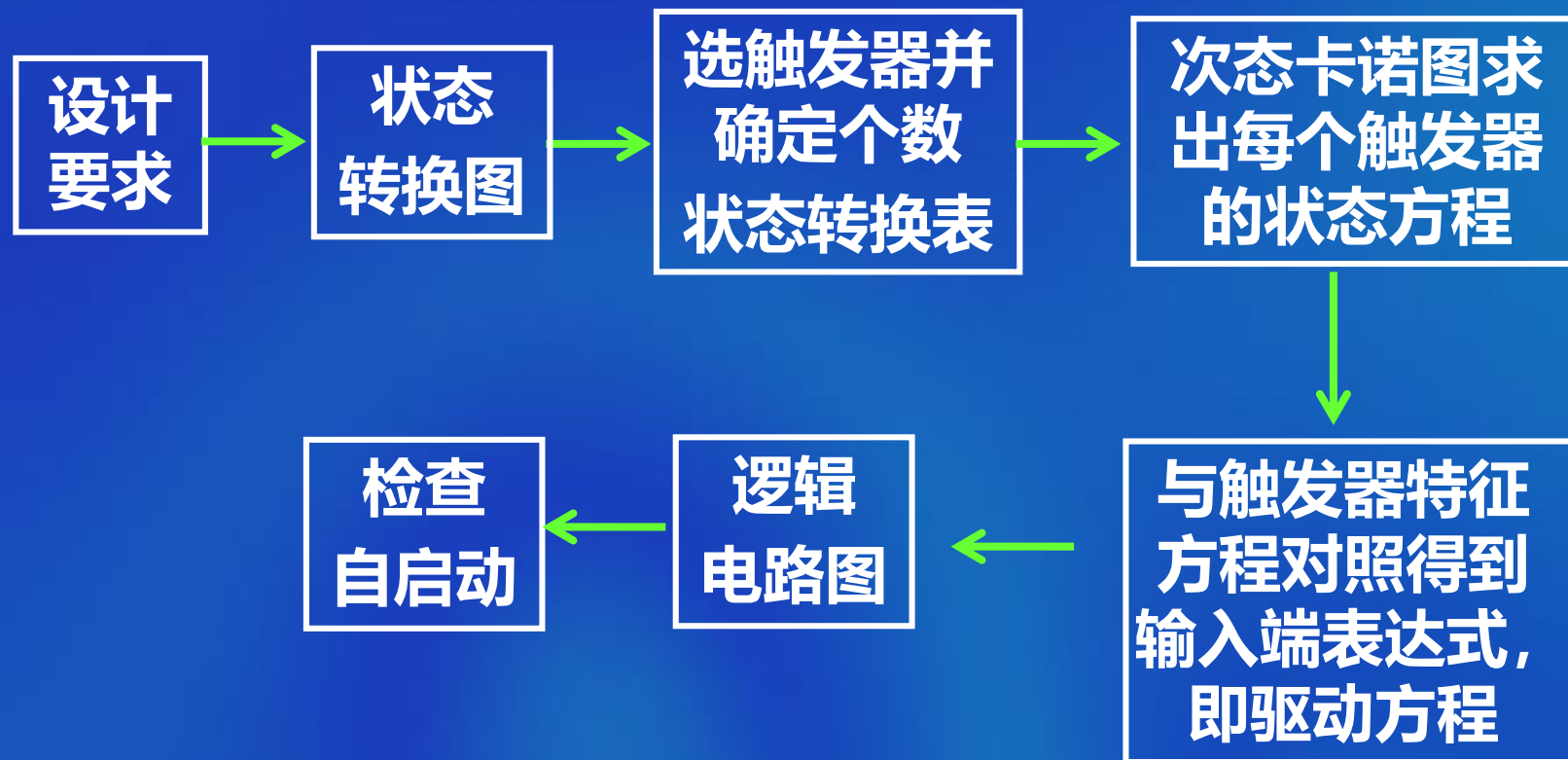
1010→1011→0100;

1100→1101→0100;

1110→1111→0000。



## 设计步骤总结



# 作业

## 自练题:

8.1

8.5

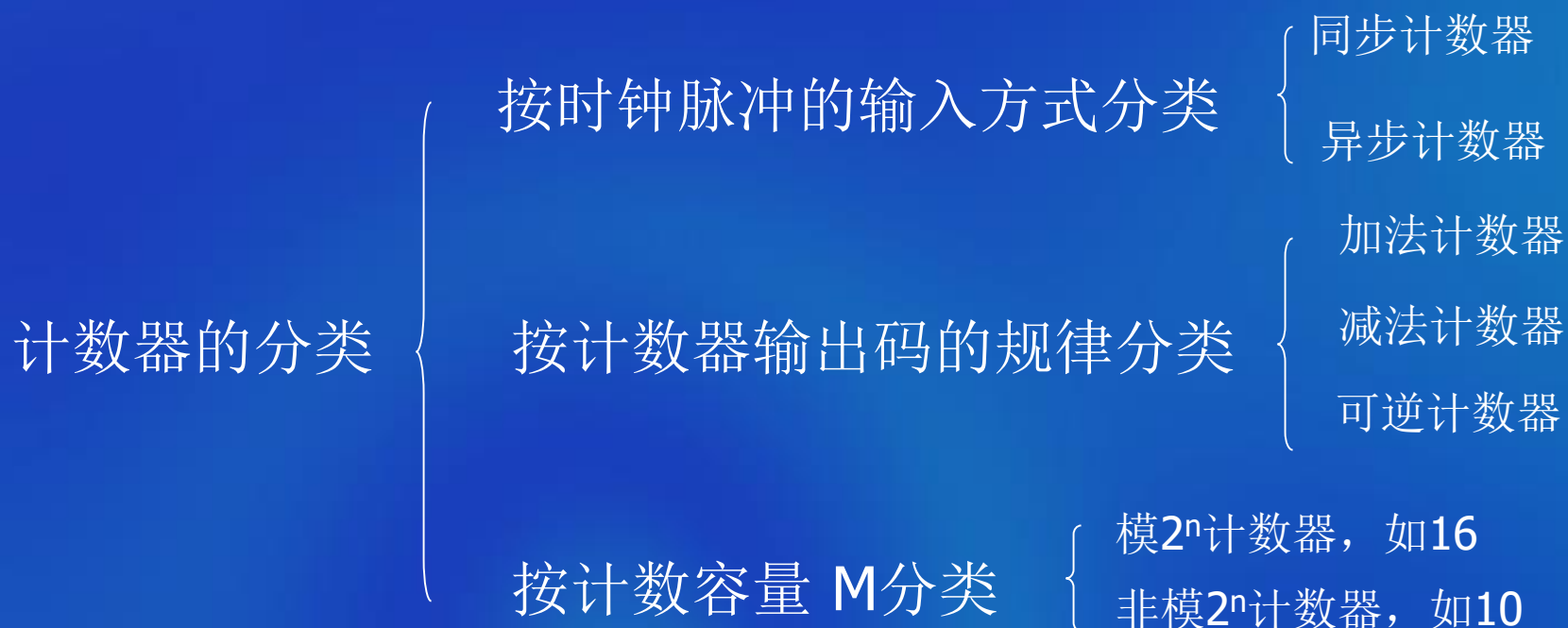
## 作业题:

8.3

8.6

## 8.3 集成计数器

**计数器的功能：计数(累计输入脉冲个数)、分频、定时等；**



**进位模数就是计数器所经历的独立状态总数，即进位制的数。**

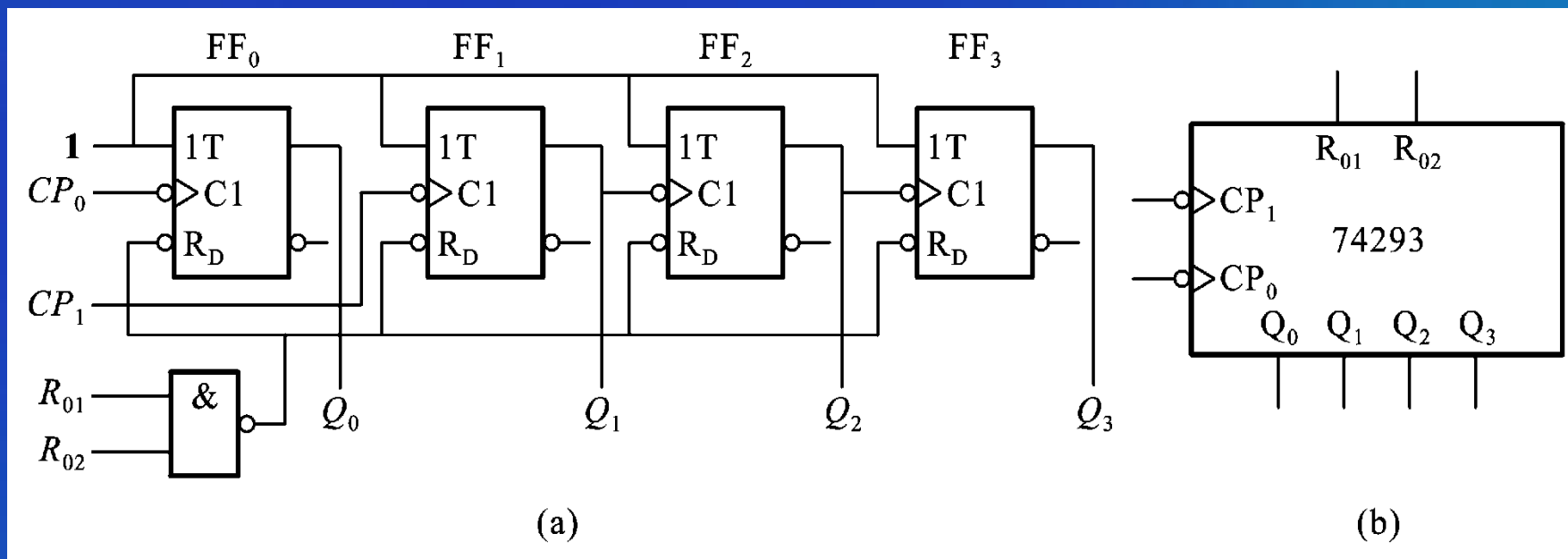


## 2. 几种中规模集成计数器

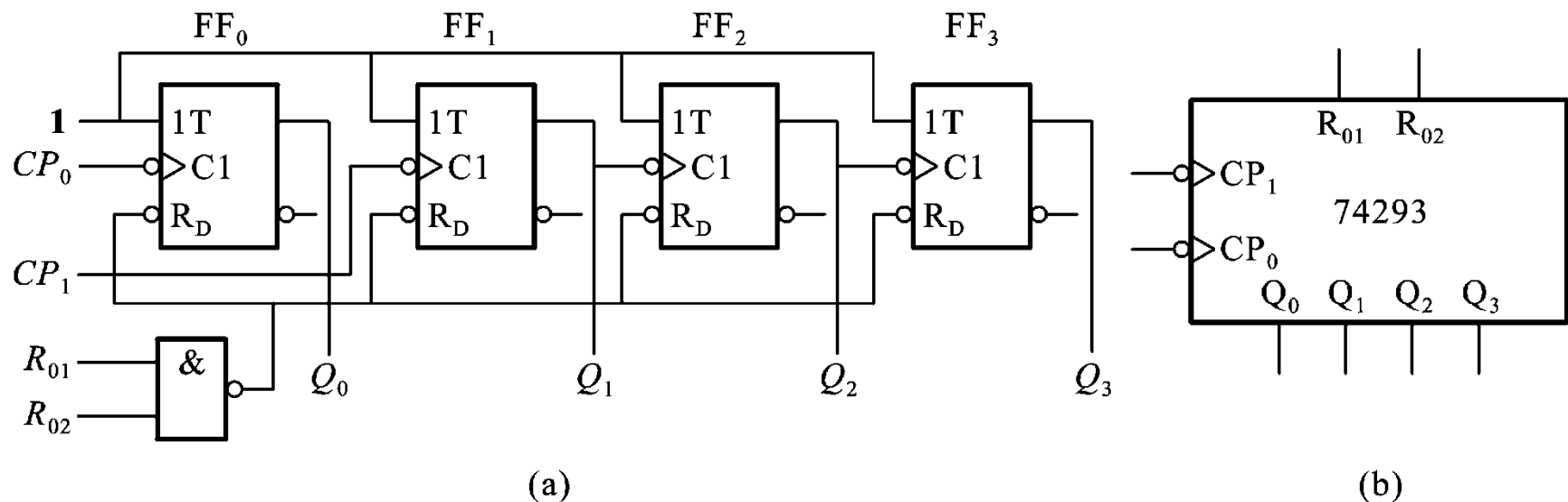
CP 脉冲 引入方式	型 号	计数模式	清零方式	预置数方式
异 步	74293	二·八·十六进制加	异步（高电平）	无
	74290	二·五·十进制加	异步（高电平）	无
同 步	74160	十进制加法	异步（低电平）	同步（低有效）
	74161	4 位二进制加法	异步（低电平）	同步（低有效）
	74HC161	4 位二进制加法	异步（低电平）	同步（低有效）
	74162	十进制加法	同步（低电平）	同步（低有效）
	74163	4 位二进制加法	同步（低电平）	同步（低有效）
	74192	十进制可逆	异步（高电平）	异步（低有效）
	74193	4 位二进制可逆	异步（高电平）	异步（低有效）

## 异步集成计数器

### 1. 计数器74293：二-八-十六进制异步二进制加法计数器



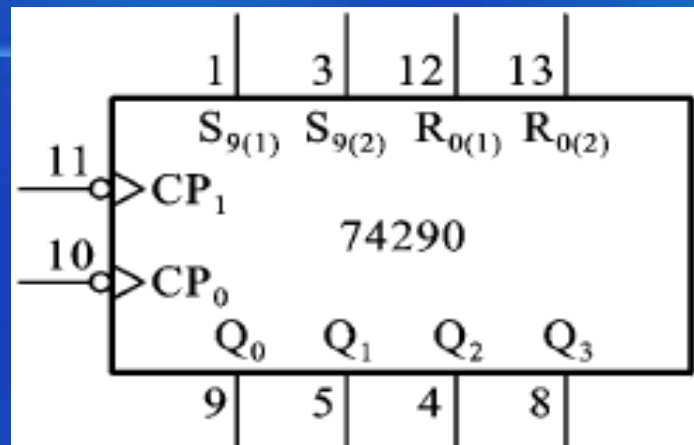
- ① 当 $CP$ 仅送入 $CP_0$ ，由 $Q_0$ 输出，电路为二进制计数器；
  - ② 当 $CP$ 仅送入 $CP_1$ ，由 $Q_3Q_2Q_1$ 输出，电路为八进制计数器；
  - ③ 当 $CP$ 送入 $CP_0$ ，而 $CP_1$ 与 $Q_0$ 相连时，电路为十六进制计数器。
- 74293设有两个复位端 $R_{01}$ 和 $R_{02}$ ，当其全为1时，计数器异步清零。



74293的功能表

$CP_0$	$CP_1$	$R_{01}$	$R_{02}$	工作状态
×	×	1	1	置 0
↓	0	×	0	$FF_0$ 计数
↓	0	0	×	$FF_0$ 计数
0	↓	×	0	$FF_1 \sim FF_3$ 计数
0	↓	0	×	$FF_1 \sim FF_3$ 计数

## 2. 异步2-5-10进制计数器74290



输 入					输 出				功 能	
$R_{01}$	$R_{02}$	$S_{91}$	$S_{92}$	$CP_0$	$CP_1$	$Q_3$	$Q_2$	$Q_1$		$Q_0$
1	1	0	×	×	×	0	0	0	0	异步清 0
1	1	×	0	×	×	0	0	0	0	
×	×	1	1	×	×	1	0	0	1	异步置 9
$R_{01}R_{02}=0$		$S_{91}S_{92}=0$		↓	×	二进制				计 数
				×	↓	五进制				
				↓	$Q_0$	8421BCD 码				
				$Q_3$	↓	5421BCD 码				

## 同步集成计数器

### 1. 同步二进制计数器74161

74161是模 $2^4$ (四位二进制)同步计数器，具有计数、保持、预置、清0功能。

#### (1) 74161符号图



$CP$ 为计数脉冲输入端，上升沿有效。

$D_0 D_1 D_2 D_3$ 是数据输入端。

$Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 是计数输出端。

$CO$ 是进位输出信号；

$EP$ 、 $ET$ 是使能控制端。

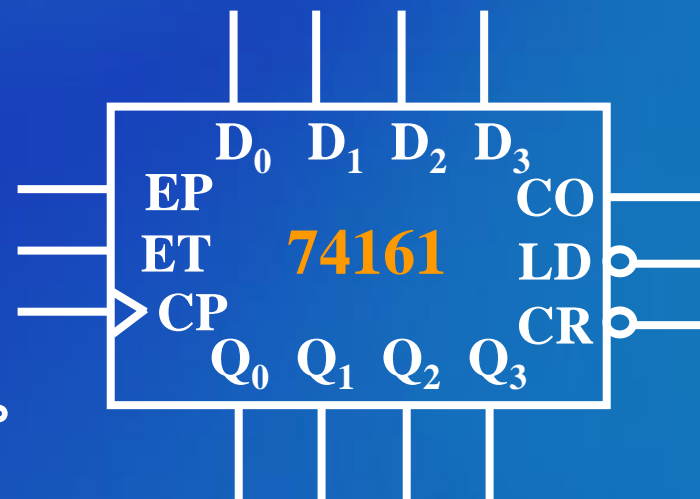
$\overline{CR}$ 是异步清零端。

$\overline{LD}$ 同步置数端。

## (2) 74161功能

### a. 异步清零

当  $\overline{CR}=0$  时，可以使计数器立即清零。



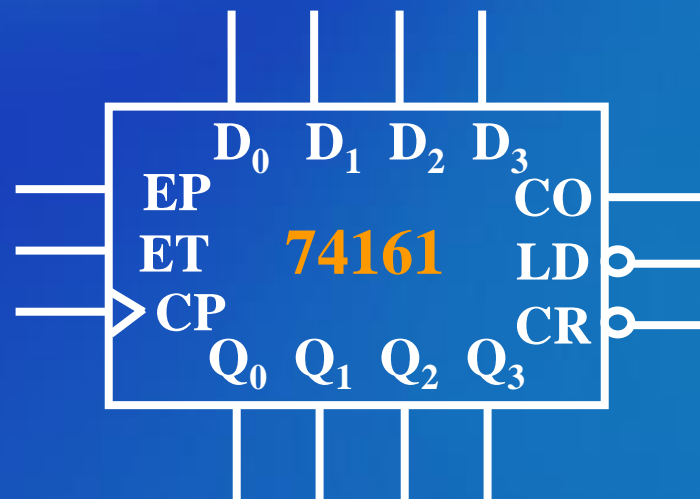
### b. 同步预置

当  $\overline{CR}=1$ ，数据输入  $D_0D_1D_2D_3=ABCD$ ， $\overline{LD}=0$ ，在时钟信号 CP 的上升沿到来时，完成置数操作，使  $Q_3Q_2Q_1Q_0=DCBA$ 。

使能控制信号  $EP$ 、 $ET$  的状态不影响置数操作。

## c. 保持

当 $\overline{CR}=\overline{LD}=1$ ，使能控制信号  
 $EP \cdot ET=0$ 时，计数器各 $Q$ 端的状态  
 保持不变。



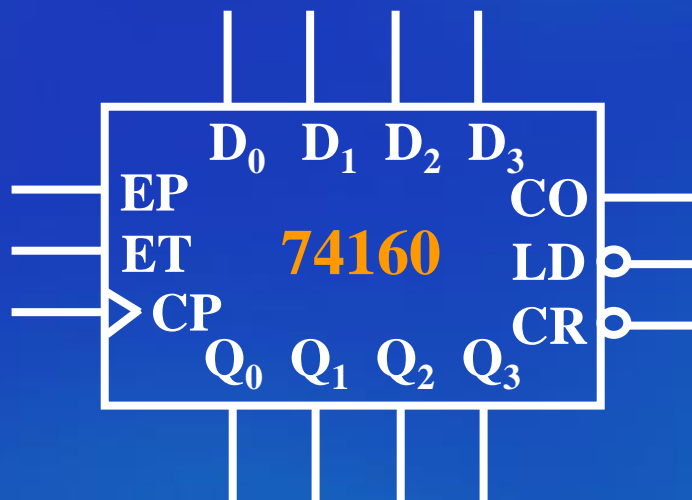
## d. 计数

当 $\overline{CR}=\overline{LD}=1$ ， $EP=ET=1$ 时，在时钟脉冲 $CP$ 的上升沿到来时，计数器进行计数。 $Q$ 端的状态按自然态序变化。

进位输出信号  $CO = Q_3 Q_2 Q_1 Q_0 ET$ ，

当 $Q_3 \sim Q_0$ 及 $ET$ 均为1时， $CO=1$ ，产生正进位脉冲。

## 计数器74160



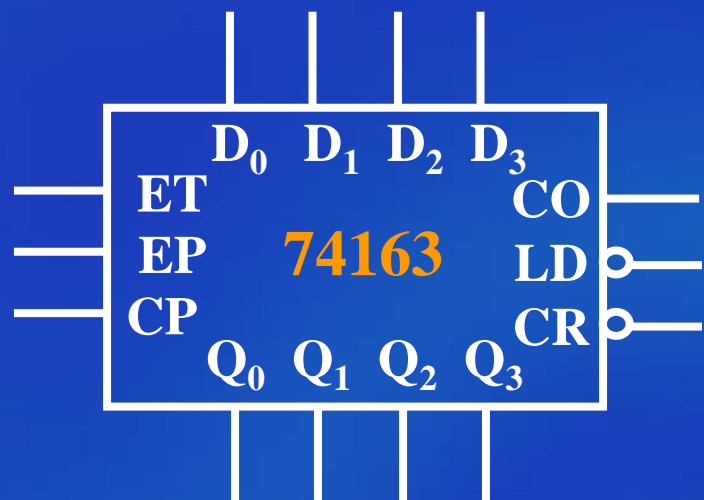
计数器74160，各输入、输出端子功能、功能表及符号与74161相同。

与74161不同的是74160为十进制计数器，它的进位输出方程为 $CO = Q_3Q_0ET$



# 同步二进制计数器74163

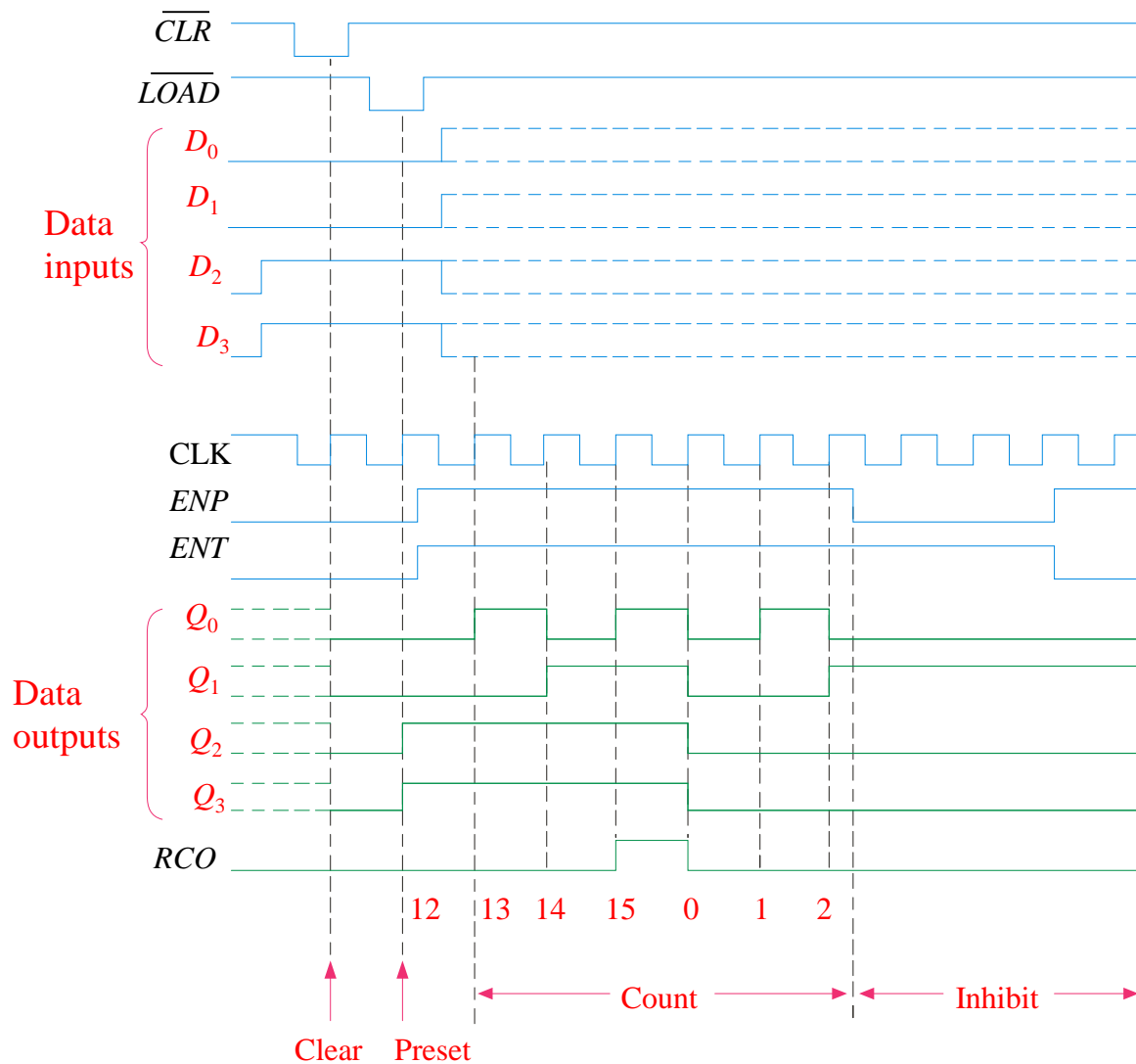
74163是全同步式四位二进制加法计数器。



CP	$\overline{\text{CR}}$	$\overline{\text{LD}}$	ET	EP	工作状态
↑	0	×	×	×	清0
↑	1	0	×	×	预置数
×	1	1	0	×	保持
×	1	1	×	0	保持
↑	1	1	1	1	计数

$\overline{\text{CR}}$ 为同步清零端。

其余端子功能与74161完全相同。



- The LOW level pulse on the  $\overline{CLR}$  input causes all the outputs to go LOW.
- Next, the LOW on the  $\overline{LOAD}$  synchronously enters the data into the counter and 1100 appear on the Q outputs at the positive-going clock edge.
- The count advance through states 13, 14, and 15. And then recycles to 0, 1 during high  $ENT$  and  $ENP$ .
- When  $ENP$  goes LOW, the counter is inhibited and remains in the binary 2 state.

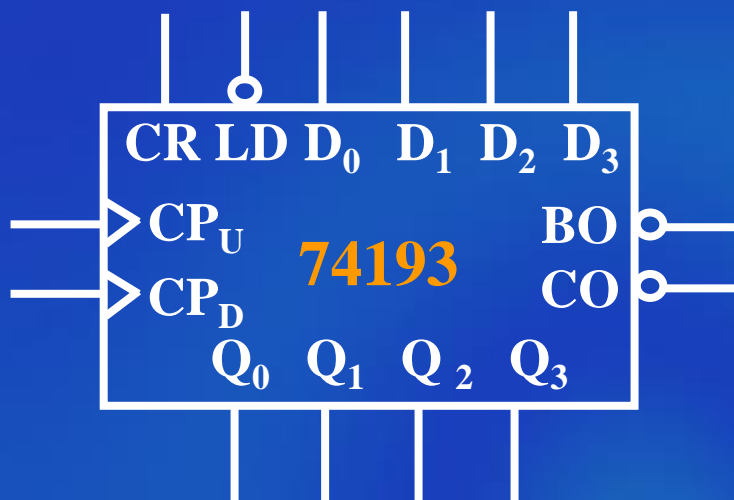
## 全同步式集成计数器74162



74162与74163唯一不同之处是74162为十进制加法计数器。其功能表、符号图与74163完全相同。

### 3. 同步可逆集成计数器74193

74193是双时钟输入四位二进制同步可逆计数器。



$CP_U$ 是加法计数时钟信号;

$CP_D$ 是减法计数时钟信号;

$CR$ 是置零信号;

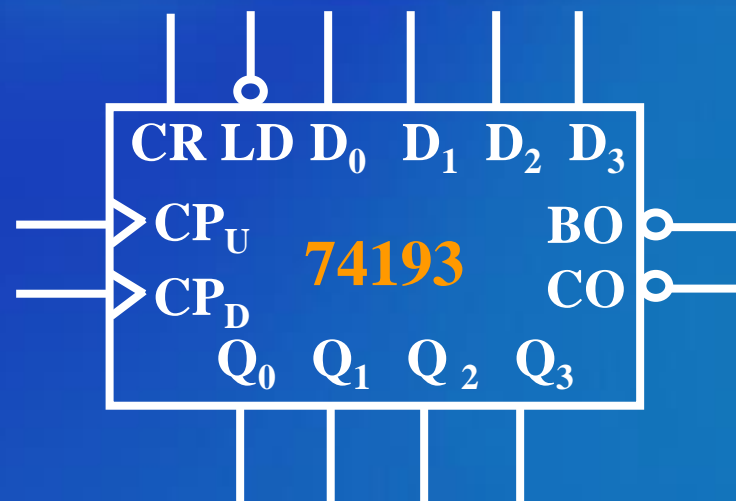
$\overline{LD}$ 是送数控制信号;

$\overline{CO}$ 是加法进位信号;

$\overline{BO}$ 为减法借位信号。

## 74193主要功能

a. 当 $CR=0$ ,  $CP_D=1$ 时, 时钟信号引入 $CP_U$ , 计数器作**加法计数**。



加法计数进位输出:

$$\overline{CO} = \overline{Q_3 Q_2 Q_1 Q_0 CP_U}$$

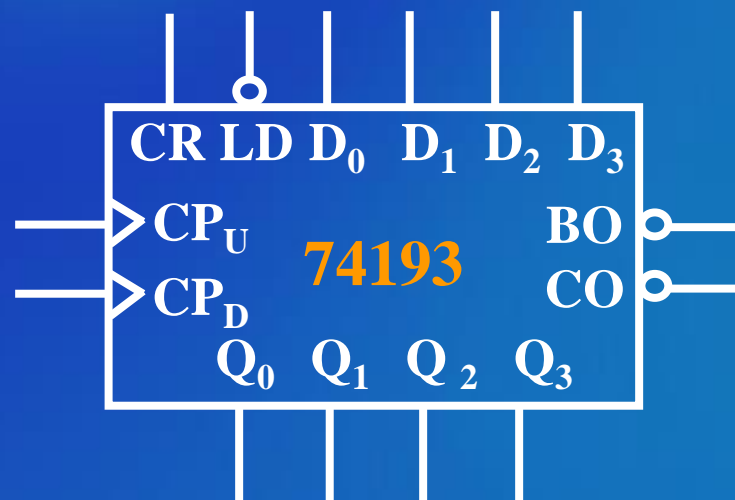
当计数器输出1111状态, 且 $CP_U$ 为低电平时, 输出一个负脉冲;

b. 当  $CR = 0$ ,  $CP_U = 1$  时, 时钟信号应引入  $CP_D$ , 74193 作**减法计数**。

减法计数借位输出:

$$\overline{BO} = \overline{Q_3 Q_2 Q_1 Q_0 CP_D}$$

当计数器输出 0000 状态, 且  $CP_D$  为低电平时, 输出一个负脉冲信号。

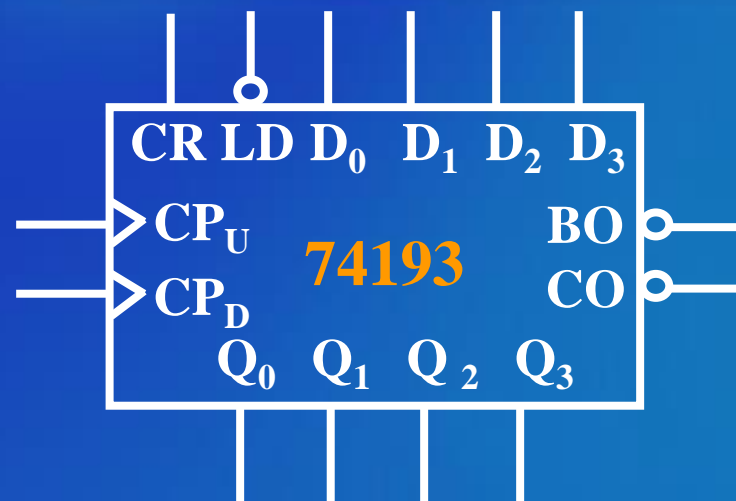


### c. 异步送数

当  $\overline{LD}=0$  时,将  $D_3D_2D_1D_0$  立即置入计数器中, 使

$$Q_3Q_2Q_1Q_0 = D_3D_2D_1D_0$$

送数与  $CP$  无关。

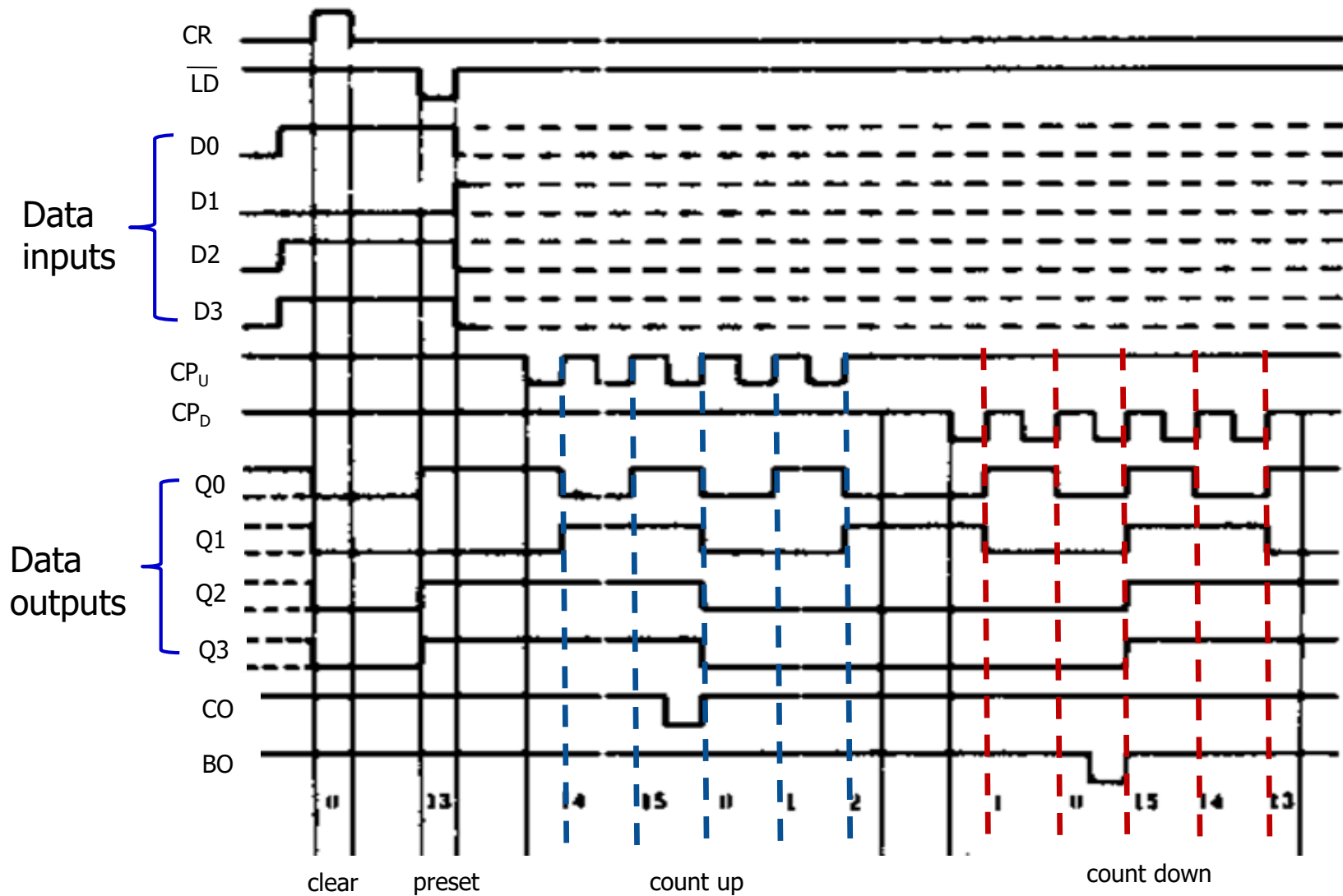


74193功能表

### d. 异步清零

当  $CR=1$  时, 计数器立即清零, 与其它输入端的状态无关。

$CP_U$	$CP_D$	$CR$	$\overline{LD}$	工作状态
×	×	1	×	清0
×	×	0	0	预置数
↑	1	0	1	加法计数
1	↑	0	1	减法计数



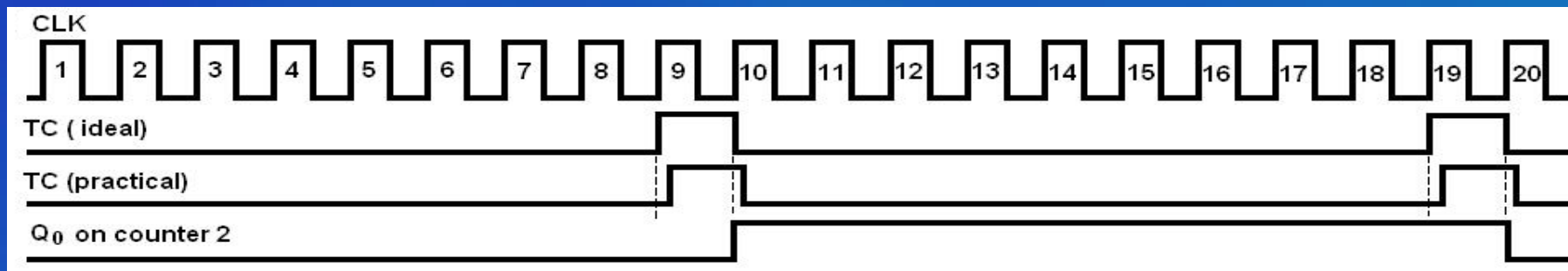
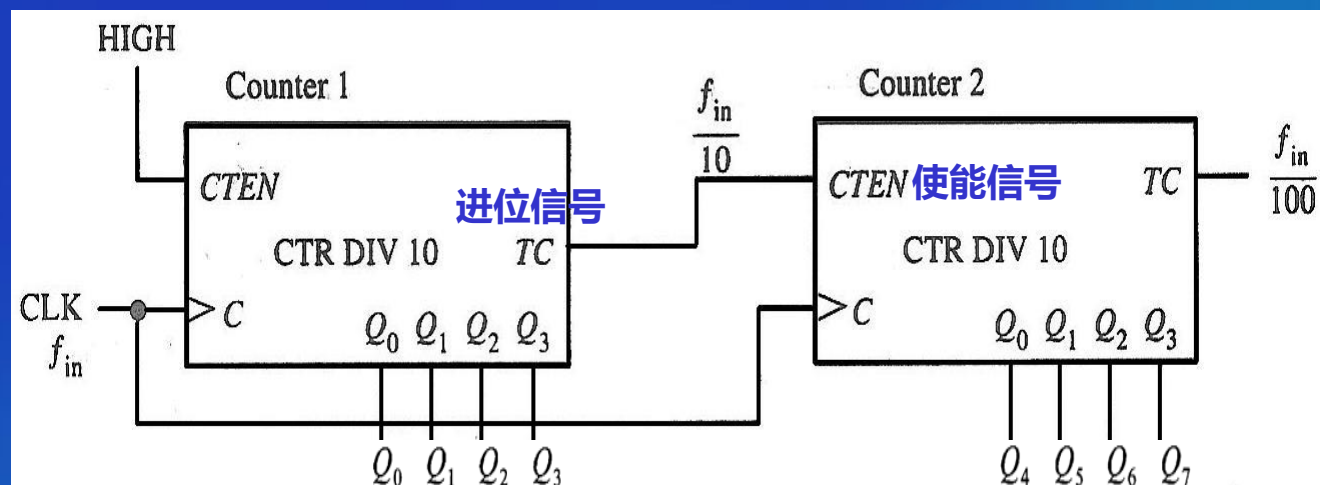
$$\overline{CO} = \overline{Q_3 Q_2 Q_1 Q_0 CP_U} \quad \overline{BO} = \overline{Q_3 Q_2 Q_1 Q_0 CP_D}$$



# 多片集成计数器的级联

## 同步级联

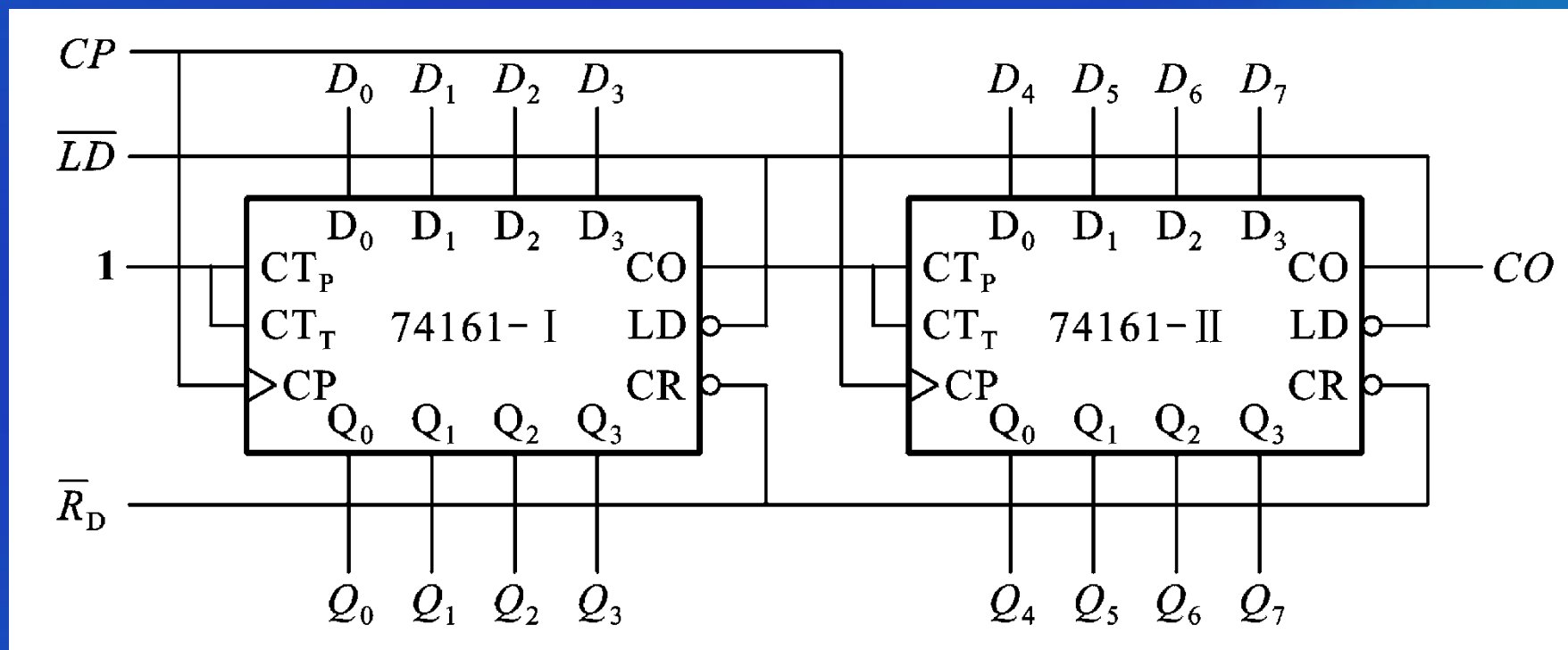
- 将各片的CP端相连。
- 计数器1的进位输出端与计数器2的计数使能端相接。



当计数器1计数到最后一个数，即1001时，在进位输出端产生高电平，使片II的计数使能端为1，这样，片II在下一个CP到来时“加1”计数1次。

总计数模数=每片计数模数的乘积。

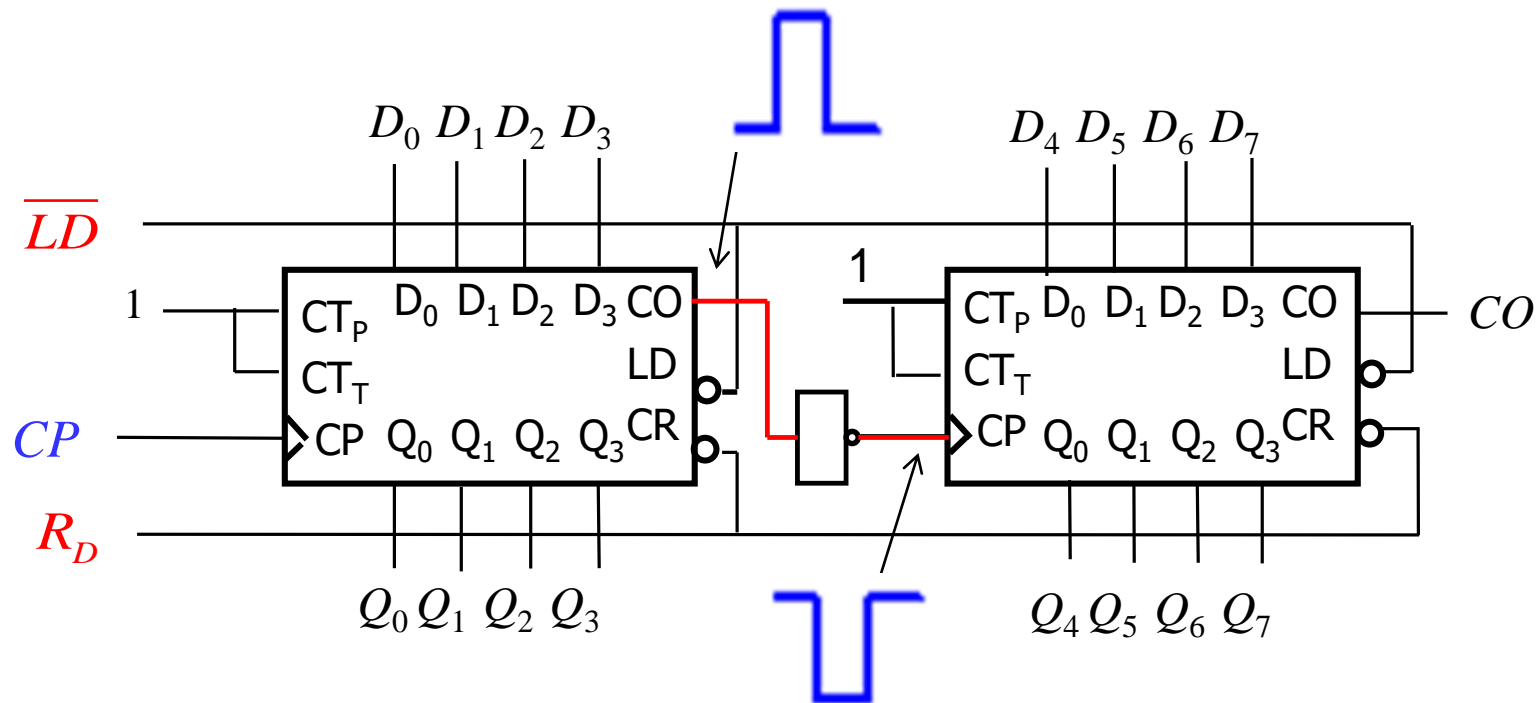
## 74LS161的同步级联方法



将各片的 $CP$ 端相连，并将低位片的 $CO$ 端与高位片的 $ET$ 和 $EP$ 端相连。片I在 $CP$ 作用下进行正常计数，当它计到1111时，片I的 $CO$ 变到1，使片II的 $ET$ 和 $EP$ 端为1，这样，片II在下一个 $CP$ 到来时才能进行“加1”计数。

总计数模数 $=16 \times 16 = 256$

## 74LS161的异步级联方法



片I在CP作用下进行正常计数，当它计到1111时，片I的CO变到1，其下降沿经反相器为片II CP提供了一个上升沿，使其进行“加1”计数。

## 任意进制计数器构成

目前市售集成计数器只做成应用较广的十进制、十六进制、7位二进制、12位二进制、14位二进制等几种产品。

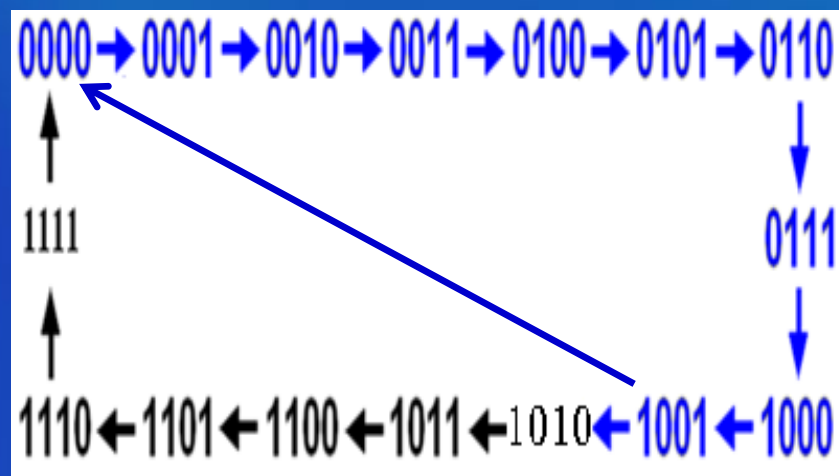
需要的模数 $<$ MSI提供的最大模数：只需一片

需要的模数 $>$ MSI提供的最大模数：多片级联

## 如何实现任意进制？

利用清零端截断序列：

利用置数端控制初始态：



# 1. 控制端异步操作

把控制端异步作用(如异步清零、异步置数立即作用, 与  $CP$  无关)称为异步操作。

## (1) 反馈清0法

对于具有**异步清零输入**的计数器, 只要在清零输入端加入清零信号, 计数器的输出立即变为0态。

清零信号一般由计数器输出 $Q_3Q_2Q_1Q_0$ 译码得到。

$N$ 进制计数器的有效状态 $S_0 \sim S_{n-1}$ , 所以必须用 $S_{n-1}$ 的下一个状态, 即 $S_n$  (无效状态) 译码产生清零信号。该无效状态作为一个瞬态而出现, 稳态的计数模仍为 $N$ 。

用反馈清零法设计 $N$ 进制的具体步骤如下：

① 写出 $N$ 进制计数器 $S_n$ 状态的编码

对满足 $2^i$ 进制的集成计数器， $S_n$ 状态应取二进制编码，对十进制集成计数器， $S_n$ 状态应取8421 BCD码。

② 求反馈逻辑

$$F = \begin{cases} \Pi Q^1 & \text{控制端高有效} \\ \overline{\Pi Q^1} & \text{控制端低有效} \end{cases}$$

$\Pi Q^1$  —— 是指 $S_n$ 状态编码中值为1的各 $Q$ 之“与”。

③ 画逻辑图

[例1] 用74LS293构成十进制计数器。

[解] 74LS293是一个2-8-16异步计数器。异步高电平清零。

(1) 令 $CP_0=CP$ ,  $CP_1=Q_0$ , 把计数器接成 $M=16$ 。

由于 $M>N(=10)$ , 所以用一片74LS293, 再加反馈逻辑即可构成。

(2) 写出 $N$ 进制计数器 $S_n$ 状态的二进制编码

$$N=10, \quad S_n=1010$$

(3) 求反馈逻辑

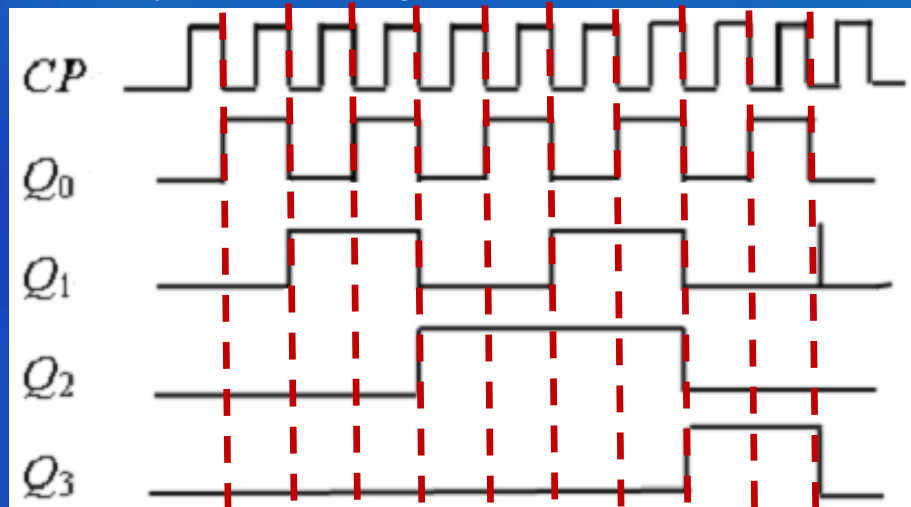
$$F = R_{01} R_{02} = Q_3 Q_1$$

## (4) 画逻辑图



## (5) 波形图

1010是瞬态，其持续时间仅为一级与非门和一级触发器的延迟，非常短暂，故不将其作为计数循环的有效状态，列计数态序表，画状态图和工作波形图时，不将其列入。





[例2] 用74LS290设计六进制计数器，画出状态循环图。

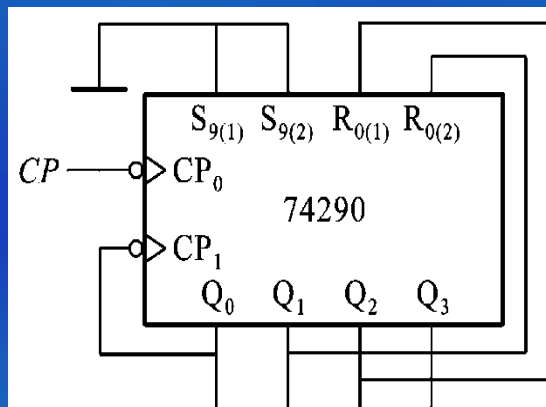
[解] 74LS290为二-五-十进制计数器，异步高电平清零。

(1) 将74LS290转为10进制( $CP_0=CP$ ,  $CP_1=Q_0$ )。

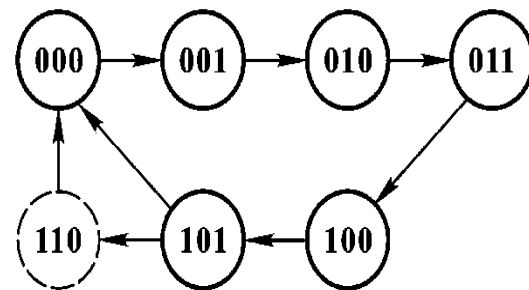
(2)  $N=6$ ,  $S_n=0110$ 。

(3)  $F=R_{01}R_{02}=Q_2Q_1$

(4) 画逻辑图和状态图。



(a)



(b)

(a) 逻辑图

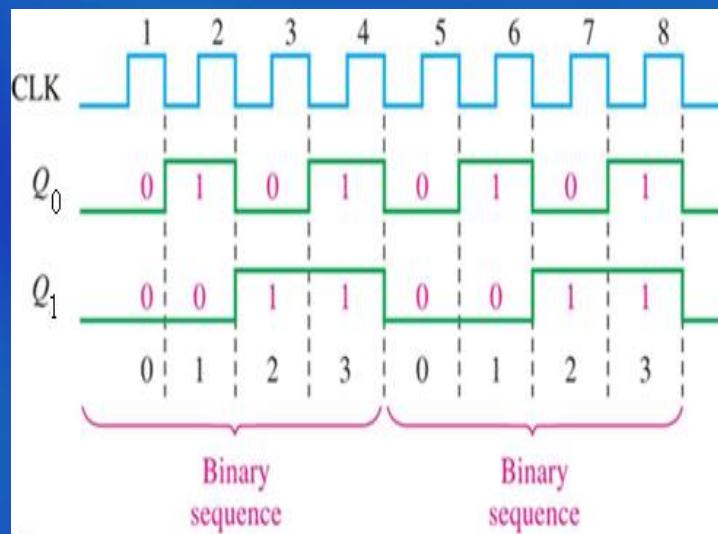
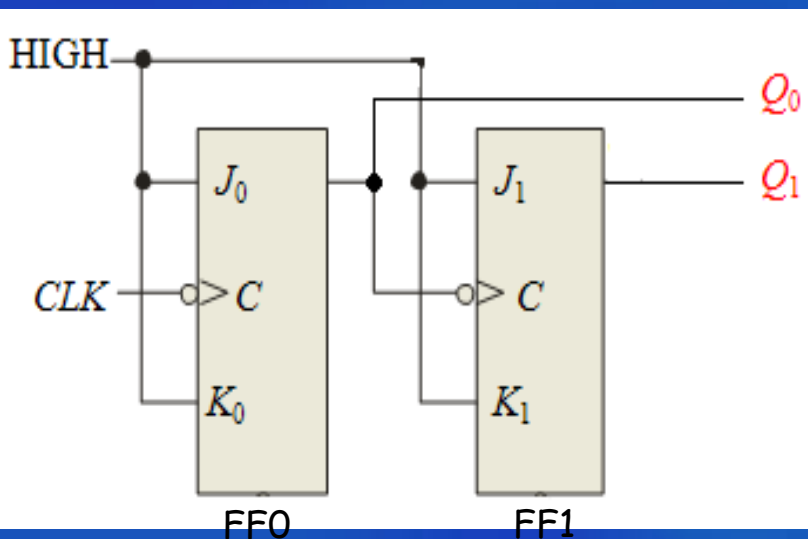
(b) 状态图

## [例4] 用74LS290构成60分频电路。

### [解] 分频电路与计数电路的区别：

计数电路将所有 $Q$ 状态作为一组代码输出；

分频电路一般仅有一个输出端（由某一 $Q$ 端输出或若干 $Q$ 端的组合），  
作为与 $CP$ 成某种特定关系的脉冲序列。



$Q_0$ : 二分频

$Q_1$ : 四分频

$Q_1Q_0$ :  
4进制 计数器

## [例4] 用74LS290构成60分频电路。

本例可按六十进制计数器设计，而仅由最高位 $Q$ 端输出。

74LS290所能实现的最大计数模数 $M=10$ ，2片级联先构成100进制计数器；

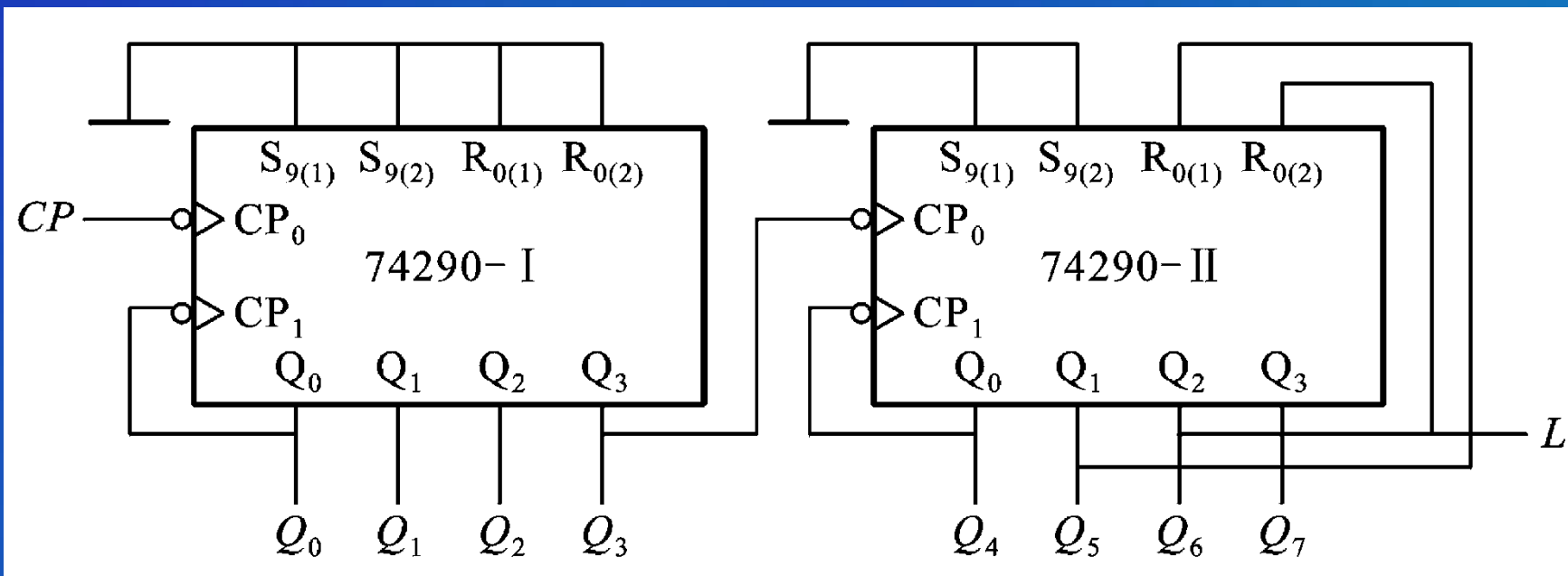
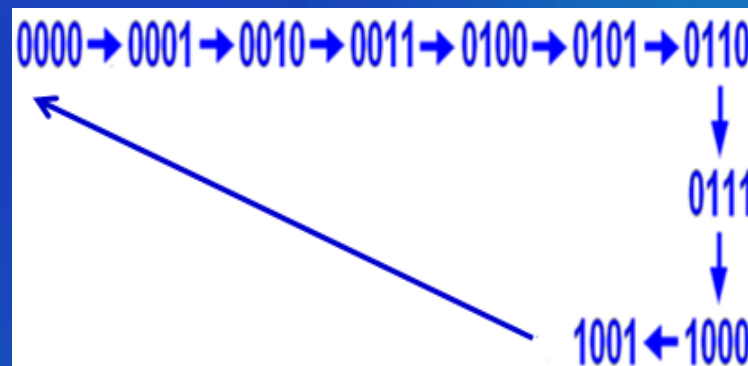
利用反馈清零再构成60进制。

**注意：**  $S_n$  状态只能用8421BCD码，而不能用二进制码。

①  $N=60$ ,  $S_n=01100000$ ;

②  $F = R_{01}R_{02} = \Pi Q^1 = Q_6Q_5$

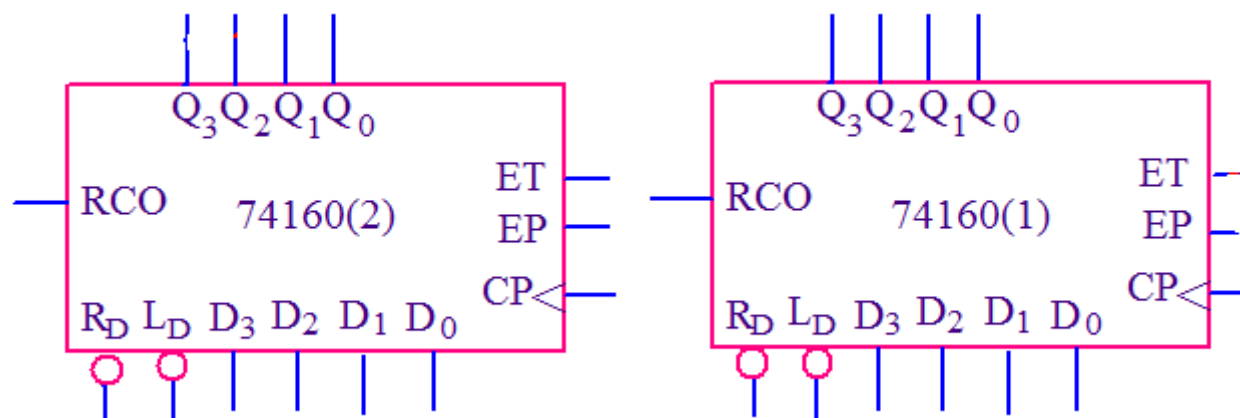
③ 画逻辑图



# 练习： 用74160组成48进制计数器。

CP	$\overline{\text{CR}}$	$\overline{\text{LD}}$	EP	EP	工作状态
×	0	×	×	×	清0
↑	1	0	×	×	预置数
×	1	1	0	×	保持
×	1	1	×	0	保持
↑	1	1	1	1	计数

74160为模10计数器



上页

下页

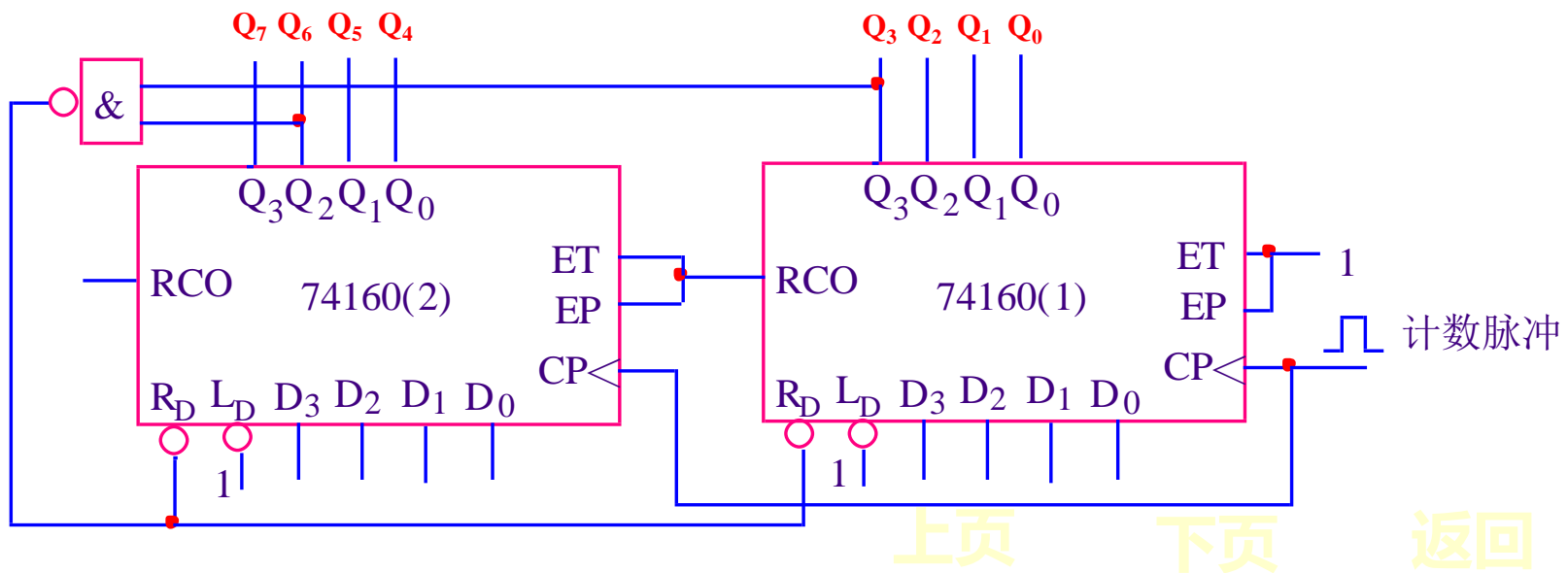
返回

## 练习：用74160组成48进制计数器。

解：因为 $N=48$ ，而74160为模10计数器，所以要用两片74160构成此计数器。

先将两芯片采用同步级联方式连接成100进制计数器，然后再用**异步清零**法组成48进制计数器。

$N=48, \quad S_n=01001000$  ( $S_n$  状态只能用8421BCD码)



## (2) 反馈置数法

对于**异步置数**，只要在其置数输入端加入置数控制信号，计数器立即将由数据输入( $D_3D_2D_1D_0$ )决定的状态(记为 $S_0$ )置于计数器中，置数控制信号随之消失，计数器由 $S_0$ 开始重新计数。

已知初态 $S_0$ ，对于 $N$ 进制计数器，末态则为 $S_0 + (N-1)_B$ ，因此，置数控制信号应来自于 $S_0 + (N)_B$ 。

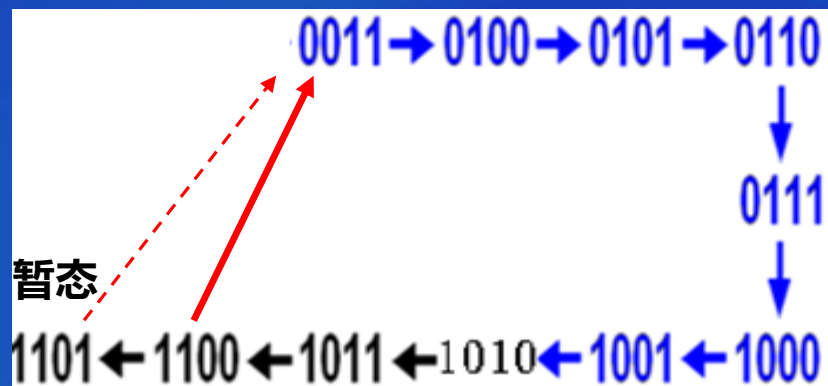
[例5] 试用74LS193设计十进制加法计数器，计数器的起始状态为0011。

[解] ① 写出置数控制状态 $S_n$ 的二进制编码

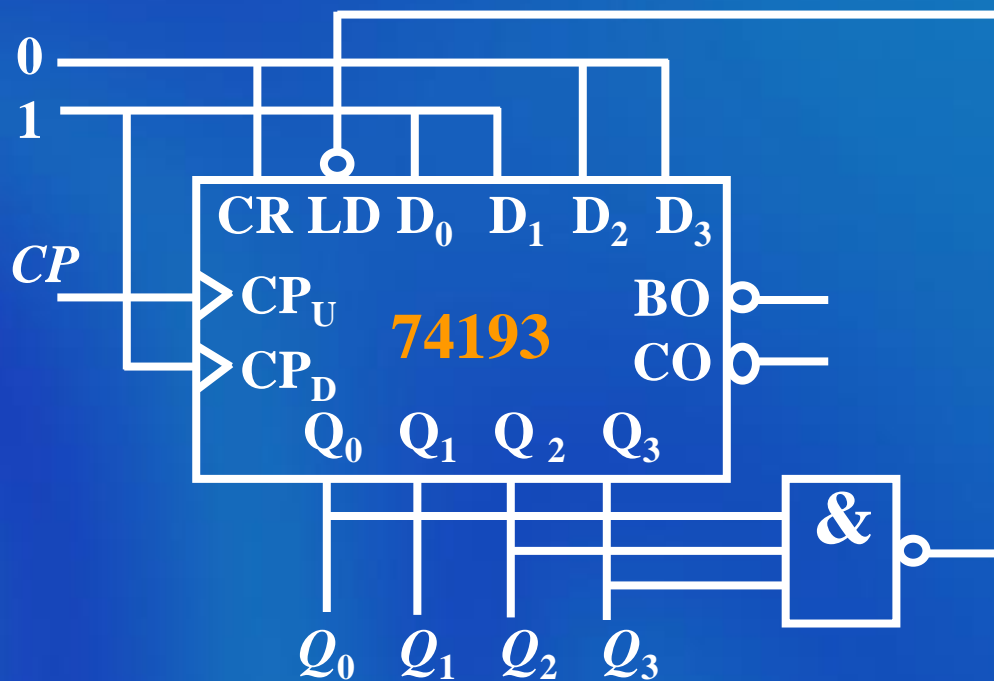
$$S_n = S_0 + (N)_B = 0011 + 1010 = 1101$$

② 求反馈逻辑

$$\overline{LD} = \overline{Q_3 Q_2 Q_0}$$



③ 画逻辑图





## 2. 控制端同步操作

在控制端加入有效的清零或置数控制信号后，必须等待 $CP$ 有效沿到来时，计数器才清零或置数——同步操作。

同步清零或置数没有过渡状态。

计数器在 $S_0 \sim S_{N-1}$ 共 $N$ 个状态中工作，当计数器进入 $S_{N-1}$ 状态时，利用 $S_{N-1}$ 状态译码产生清零或置数信号并反馈到同步清零或置数端，要等下一拍时钟来到时，才完成清零或置数动作，使计数器返回 $S_0$ 。

[例6] 用74LS161和74163分别设计一个十进制加法计数器，要求初始状态为0000。

[解] 74LS161 置数为同步；74LS163清零和置数均为同步。

① 写出N进制计数器 $S_{n-1}$ 状态的二进制编码

$$S_{n-1} = S_0 + (N-1)_B = 0000 + 1001 = 1001$$

② 求反馈逻辑

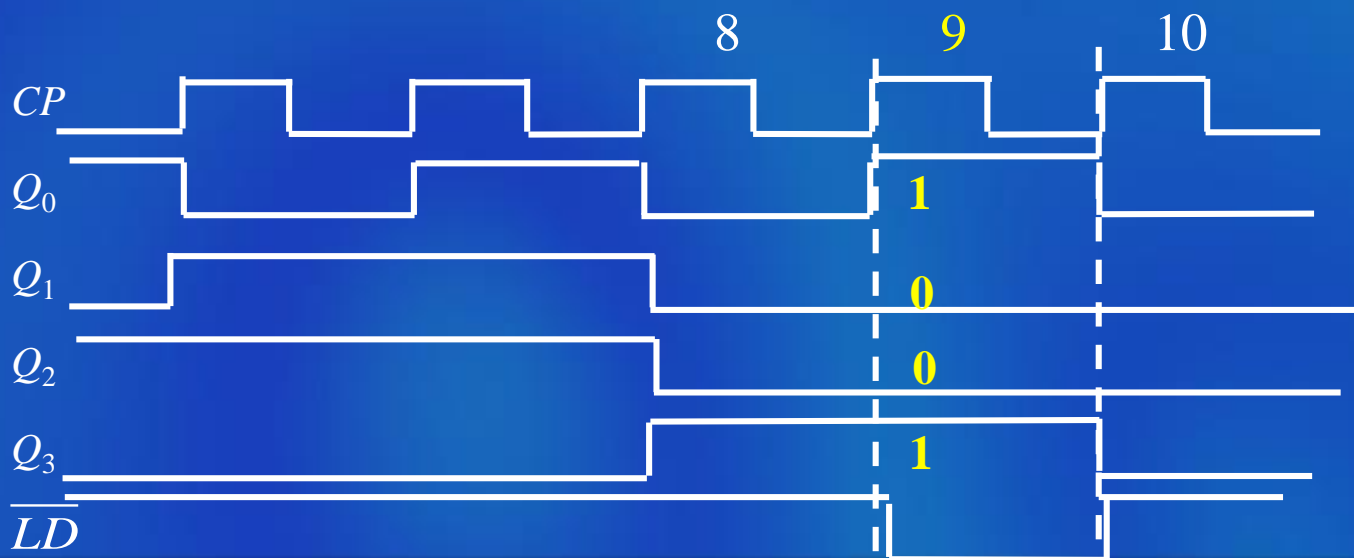
$$\overline{LD} = \overline{Q_3} \overline{Q_0}$$

③ 画逻辑图

## 同步预置法



## 同步清0法

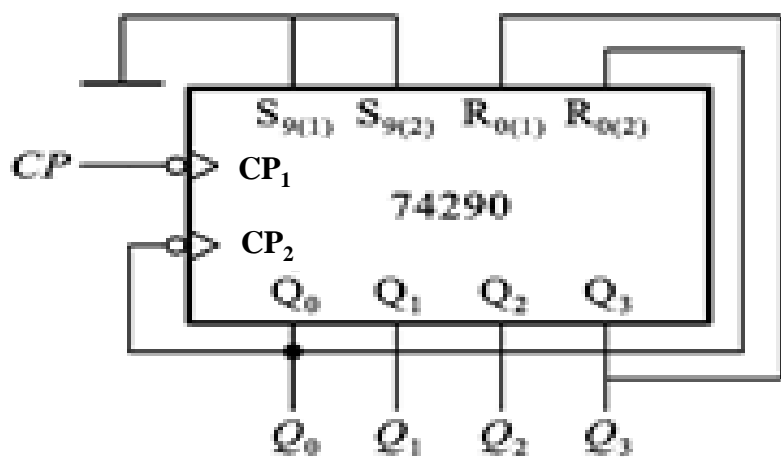
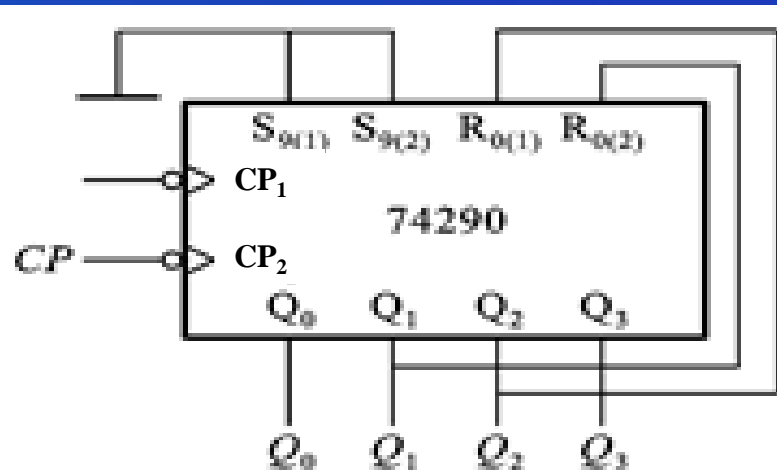


## 同步操作和异步操作的比较:

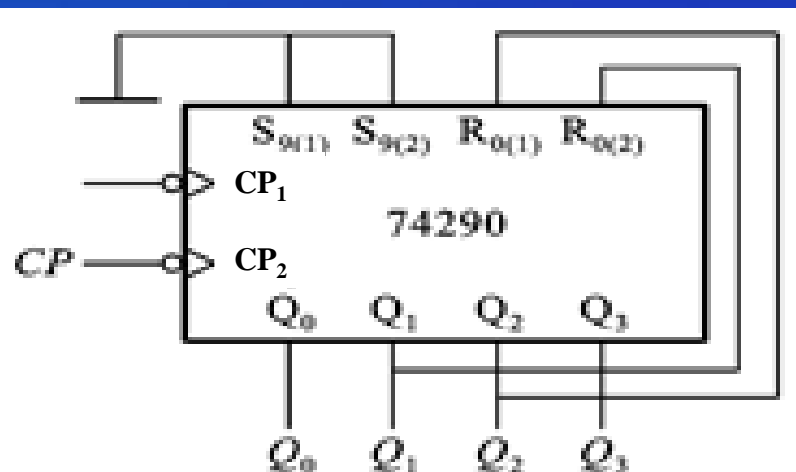
在异步操作条件下, 无论是异步清零法, 还是异步置数法, 均用 $S_n$ 状态反馈, 且 $S_n$ 状态为瞬态;

在同步操作条件下, 无论是同步清零法还是同步置数法, 均用 $S_{n-1}$ 状态反馈, 无瞬态,  $S_{n-1}$ 为有效计数状态。

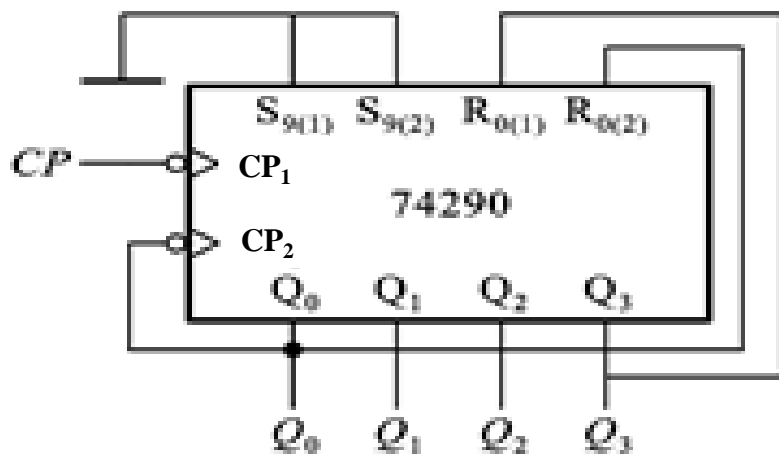
# 练习：分析以下电路是几进制计数器。



输 入					输 出				功 能
$R_{01}$ $R_{02}$	$S_{91}$ $S_{92}$	$CP_1$ $CP_2$	$Q_D$ $Q_C$ $Q_B$ $Q_A$						
1    1	0    X	X    X	0   0   0   0				异步清 0		
1    1	X    0	X    X	0   0   0   0						
X    X	1    1	X    X	1   0   0   1				异步置 9		
$R_{01}R_{02}=0$	$S_{91}S_{92}=0$	↓    X	二进制				计 数		
		X    ↓	五进制						
		↓ $Q_A$	8421BCD 码						
		$Q_D$ ↓	5421BCD 码						



(1)  $CP \rightarrow CP_2$ , 仅 $Q_3Q_2Q_1$ 作输出, 反馈连线 $S_n = 011$ , 故为3进制计数器。



(2)  $CP \rightarrow CP_1$ ,  $Q_0 \rightarrow CP_2$ , 为8421BCD码的十进制计数器。

$Q_3Q_2Q_1Q_0$ 输出均有效,  $S_n = 1001$ , 故为9进制计数器。

## 利用进位输出信号 $CO$ 实现反馈置数

当计数器由 $S_0=0$ 开始计数， $CO$ 端有进位信号输出时，集成计数器一定实现了自身的 $M$ 进制，其末态 $S_{n-1}=M-1$ 。

可用 $CO$ 提供同步置数信号。求初态？

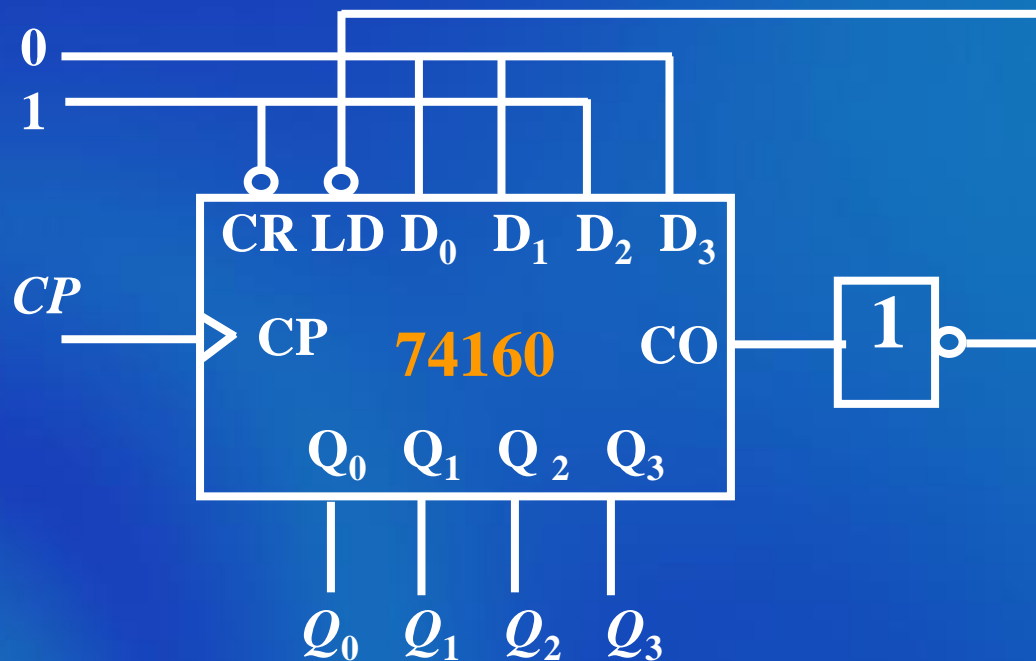
对同步置数

$$\text{已知 } S_{n-1} = S_0 + (N-1)_B \rightarrow S_0 = M - N$$

**[例7] 试用74160（同步置数十进制）的CO端反馈，实现6进制计数器。**

**[解] ① 求预置数**  $S_0 = [10-6]_{\text{BCD}} = 0100$

**② 画逻辑图**



由于预置数0100是计数循环中的最小数，这种设计方法也称为**置最小数法**。



# 模M的计数器设计成任意N进制计数器总结

- $M > N$ : 单片即可, 有效状态  $S_0 \sim S_{N-1}$ 
  - 反馈清零、反馈置数、利用进位信号实现反馈置数
    - 同步操作取  $S_{N-1}$  状态构成反馈方程
    - 异步操作取  $S_N$  状态构成反馈方程
    - 对  $2^i$  进制的集成计数器, 反馈状态应取二进制编码, 对十进制集成计数器, 反馈状态应取8421 BCD码。
- $M < N$ : 先级联, 再得到N进制

# 作业

**自练题:**

8.10

8.11

**作业题:**

8.7

8.12