

# 其它TTL集成逻辑门

## 1. 集电极开路门(OC门)

当将两个TTL“与非”门  
输出端直接并联时：

产生一个大电流

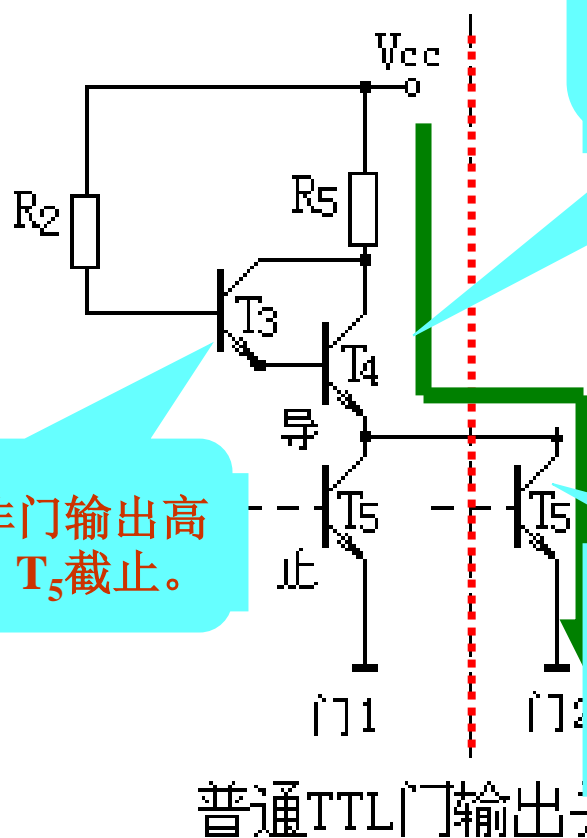
- a. 抬高门2输出低电平；
- b. 会因功耗过大损坏门器件。

**注：** TTL输出端  
不能直接并联。任何具有  
确定输出逻辑的器件都不  
允许直接将多个输出端接  
在一起。

该与非门输出高  
电平， $T_5$ 截止。

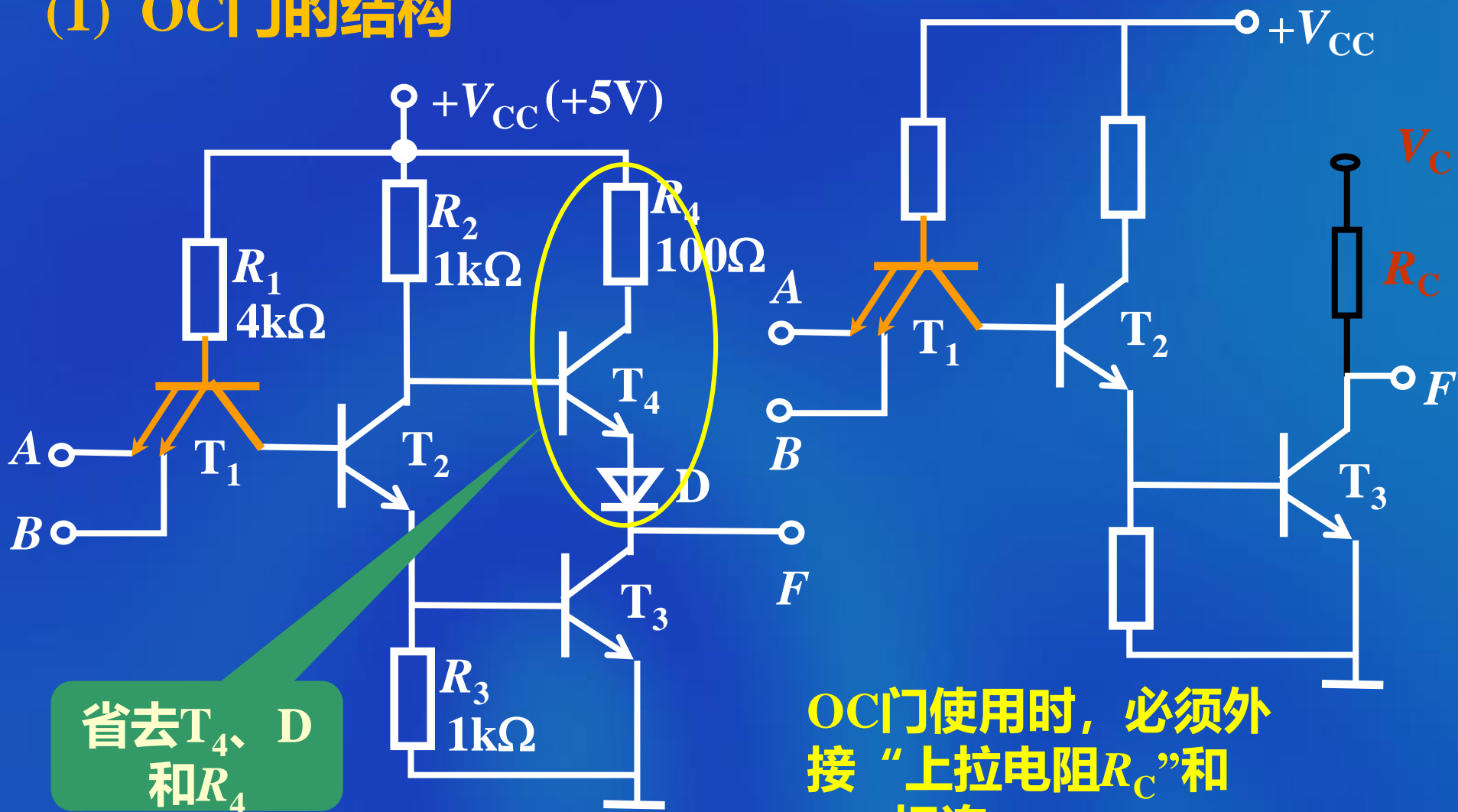
$V_{cc} \rightarrow R_5 \rightarrow$  门1  
的 $T_4 \rightarrow$  门2的 $T_5$ 产  
生一个很大的电  
流。

该与非门输  
出低电平， $T_5$ 导  
通。



普通TTL门输出并联

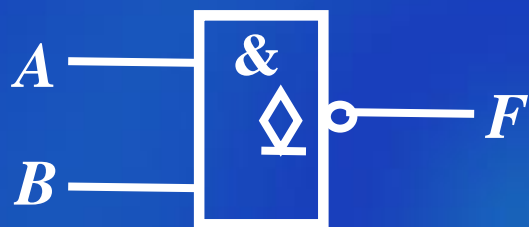
## (1) OC门的结构



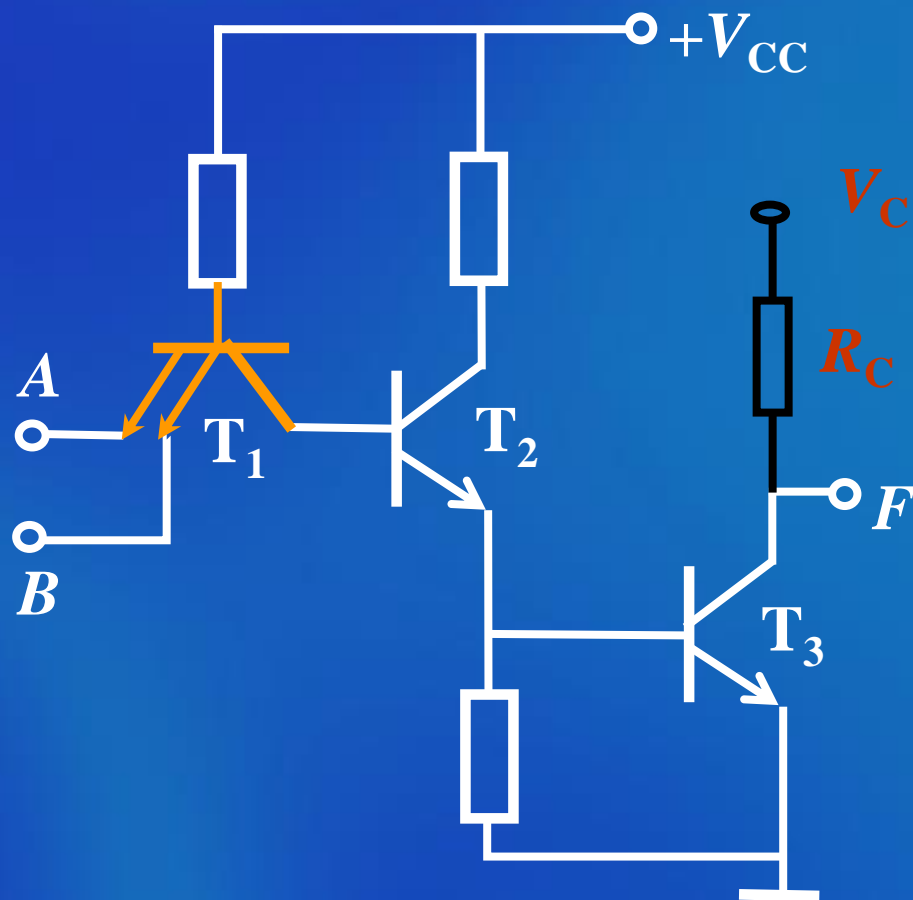
## (2) OC门的电路符号



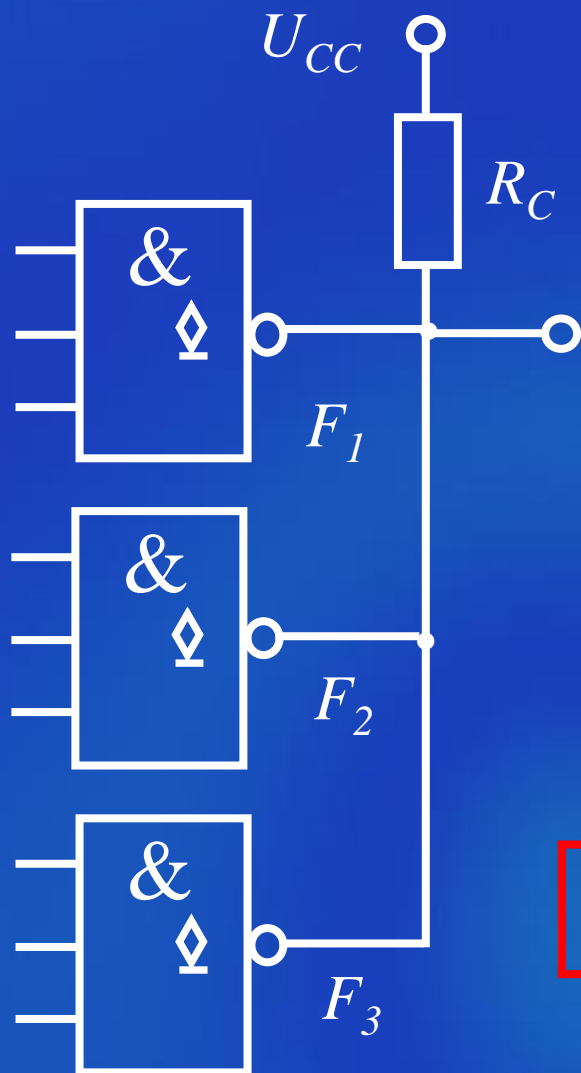
曾用符号



国标符号

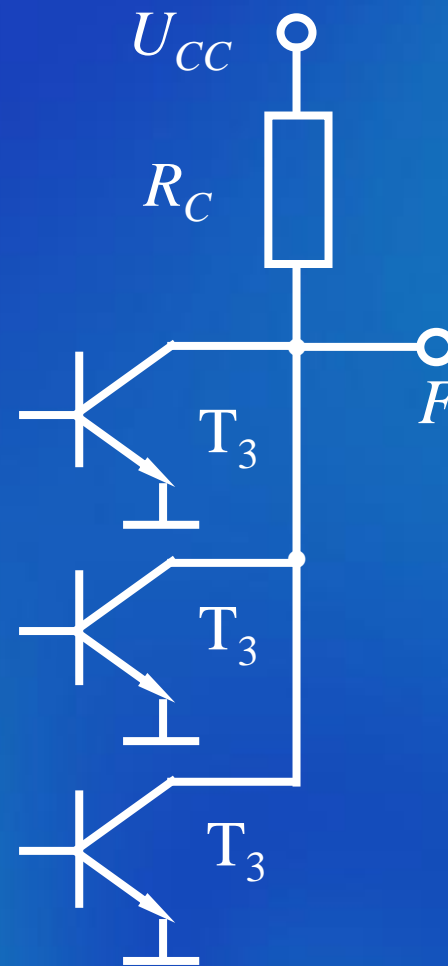


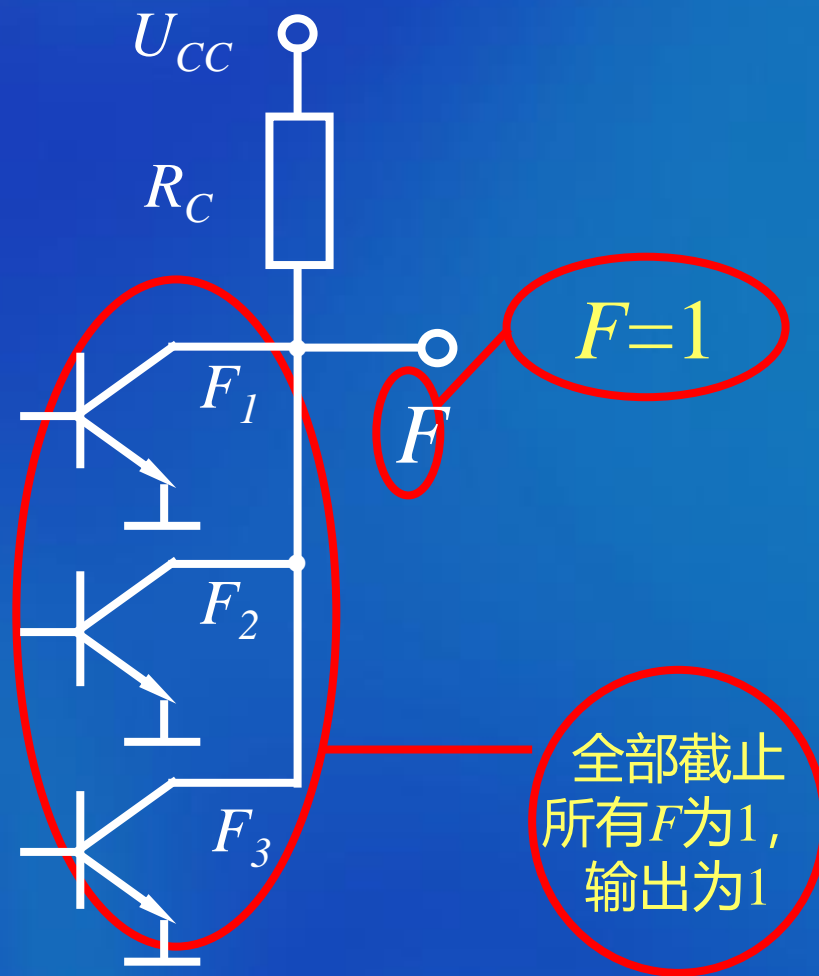
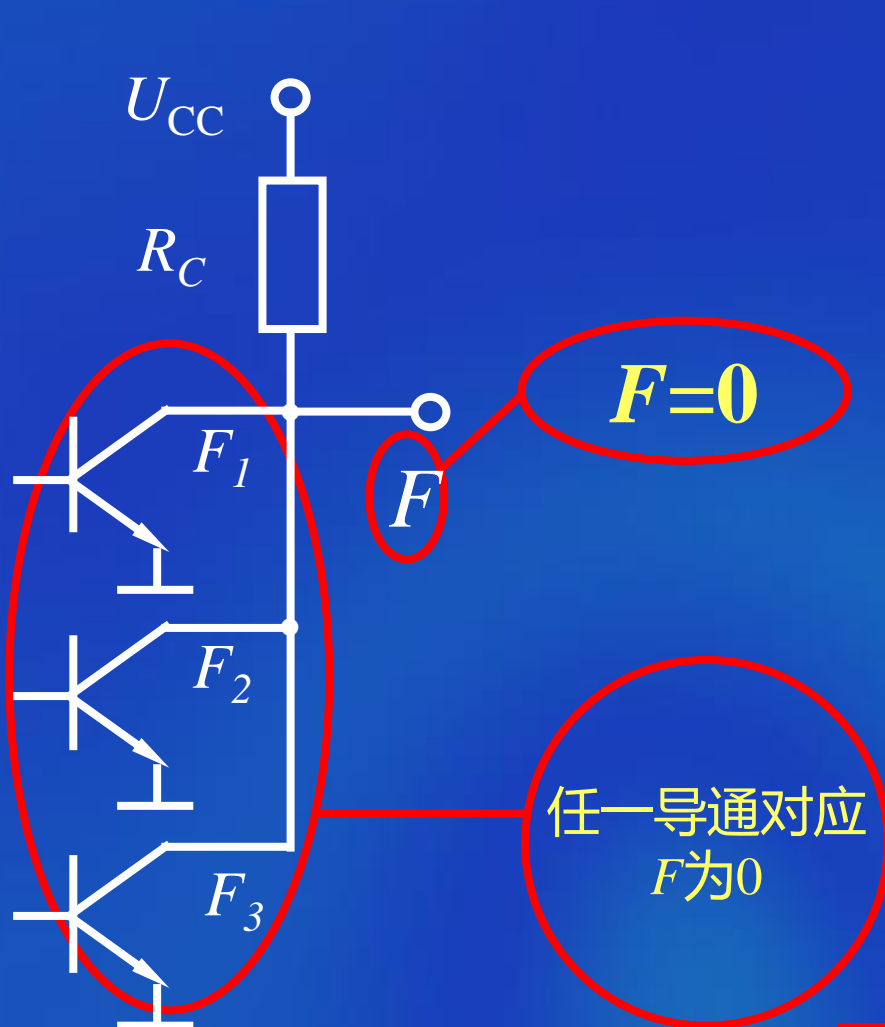
### (3) OC 门实现“线与”逻辑



输出级

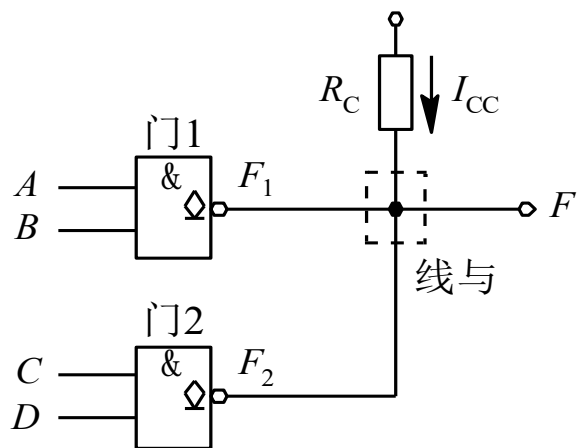
$$F = F_1 F_2 F_3?$$



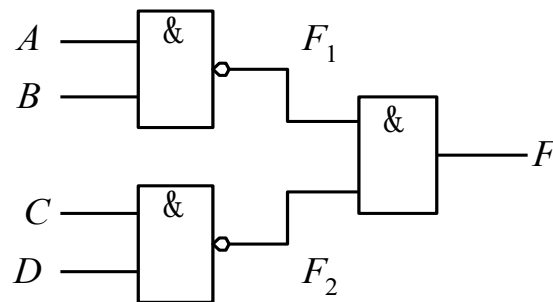


所以:  $F = F_1 F_2 F_3$

由于这种“与”逻辑是两个OC门的输出线直接相连实现的，故称作“线与”。



(a)



(b)

$$F = F_1 \cdot F_2 = \overline{A}B \cdot \overline{C}D$$

## (4) 负载电阻 $R_C$ 的选择

$R_C$ 的选取原则： 保证OC门输出的高电平不低于 $U_{OHmin}$ ；  
输出的低电平不大于 $U_{OLmax}$ 。

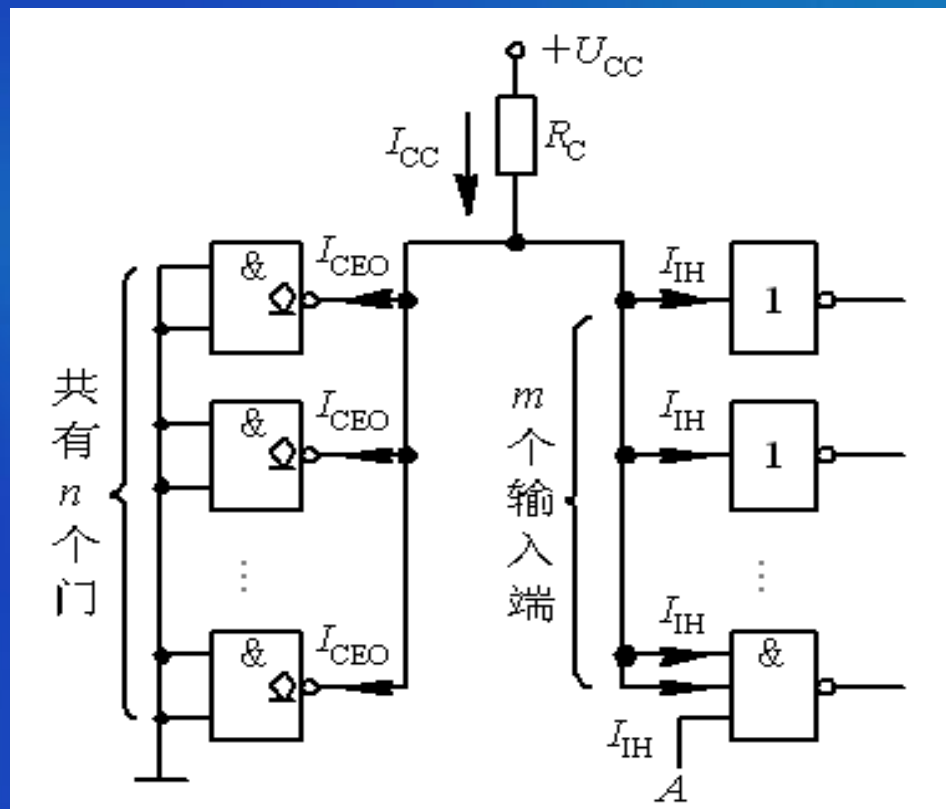
(a) 当驱动门输出高电平时：

$n$ 个驱动门全部输出 $U_{OH}$

$$U_{OH} = U_{CC} - I_{CC}R_C$$

$$= U_{CC} - (nI_{CEO} + mI_{IH})R_C$$

$I_{CEO}$ 为内部 $T_3$ 管的穿透电流



为使 $U_{OH} \geq U_{OHmin}$ ，则必须使

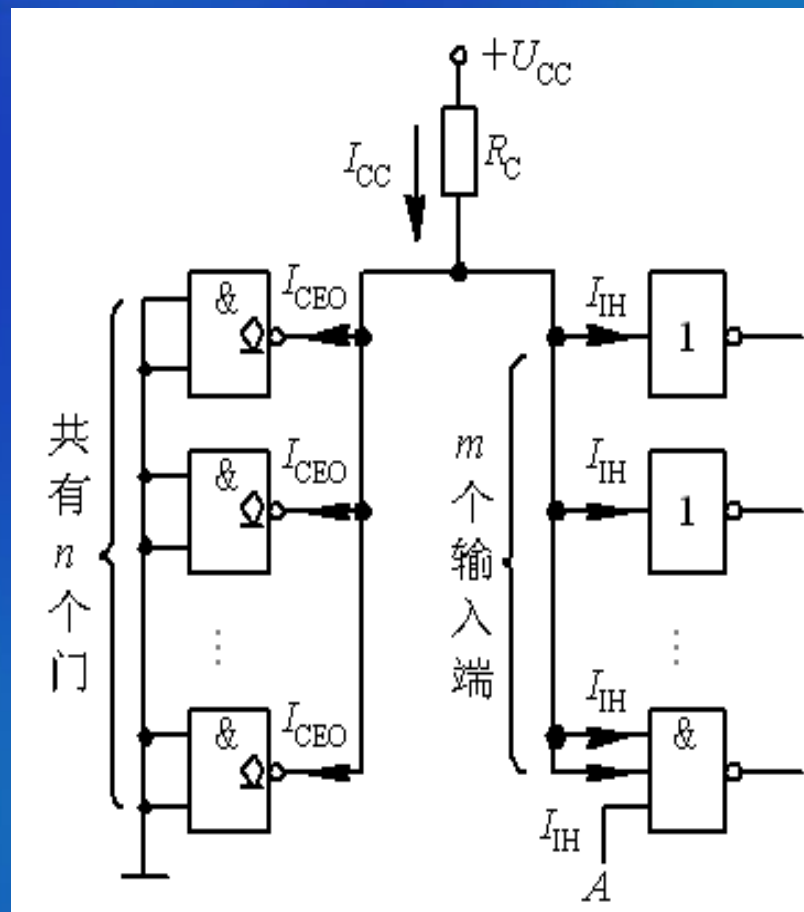
$$U_{CC} - (nI_{CEO} + mI_{IH})R_C \geq U_{OHmin}$$

即

$$R_C \leq \frac{U_{CC} - U_{OHmin}}{nI_{CEO} + mI_{IH}}$$

故

$$R_{Cmax} = \frac{U_{CC} - U_{OHmin}}{nI_{CEO} + mI_{IH}}$$



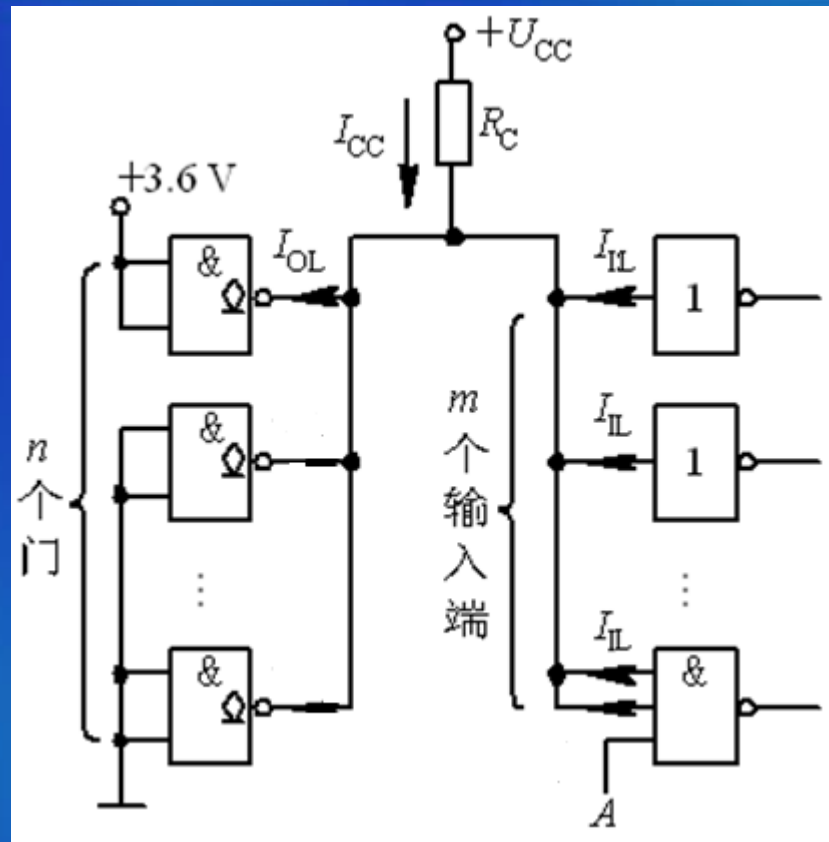


(b) 当驱动门输出低电平时:

假设 $I_{CC}$ 和所有的负载电流全部流入唯一导通门的输出管 $T_3$ 。

这种情况对于导通门来说负载是最重的。因为

$$I_{CC} = I_{OL} - mI_{IL}$$



$$U_{OL} = U_{CC} - I_{CC}R_C = U_{CC} - (I_{OL} - mI_{IL})R_C$$

为保证 $I_{OL}=I_{OLmax}$ 时,  $U_{OL} \leq U_{OLmax}$ , 应当使

$$U_{CC} - (I_{OLmax} - mI_{IL})R_C \leq U_{OLmax}$$

即

$$R_C \geq \frac{U_{CC} - U_{OLmax}}{I_{OLmax} - mI_{IL}}$$

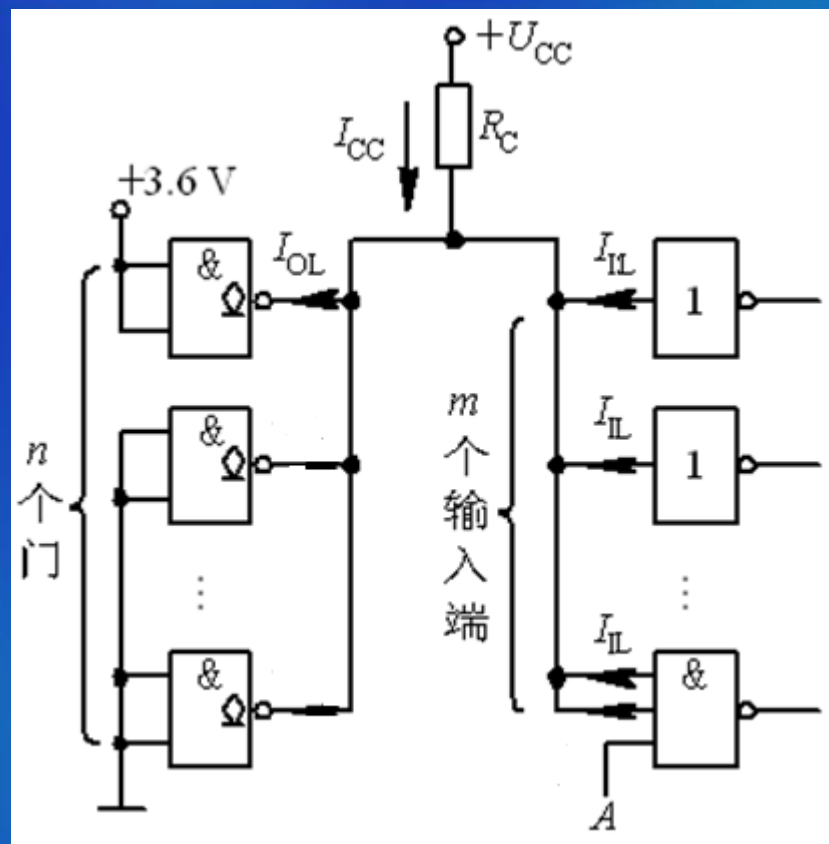
故

$$R_{Cmin} = \frac{U_{CC} - U_{OLmax}}{I_{OLmax} - mI_{IL}}$$

$I_{OLmax}$  是一个OC门允许的最大灌电流。

综上,  $R_C$  范围:  $R_{Cmin} \leq R_C \leq R_{Cmax}$

如果希望电路时延小一些, 可以选择接近  $R_{Cmin}$  的较小电阻; 若希望功耗低一些, 可以选择接近  $R_{Cmax}$  的一个较大电阻。通常OC门的上拉电阻值可以选  $10k\Omega$ 。

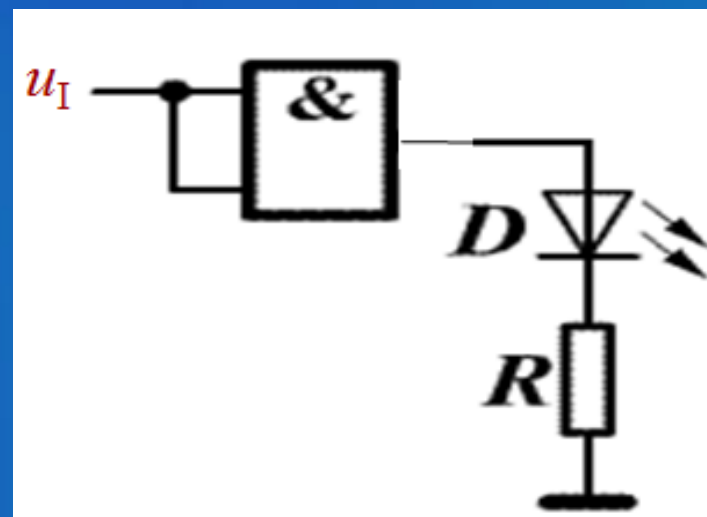
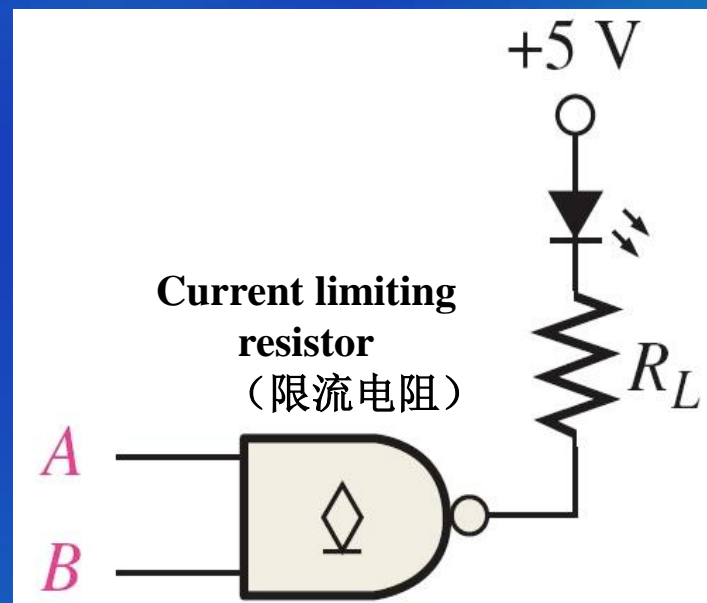


## (5) OC门的应用

### 驱动非逻辑性负载

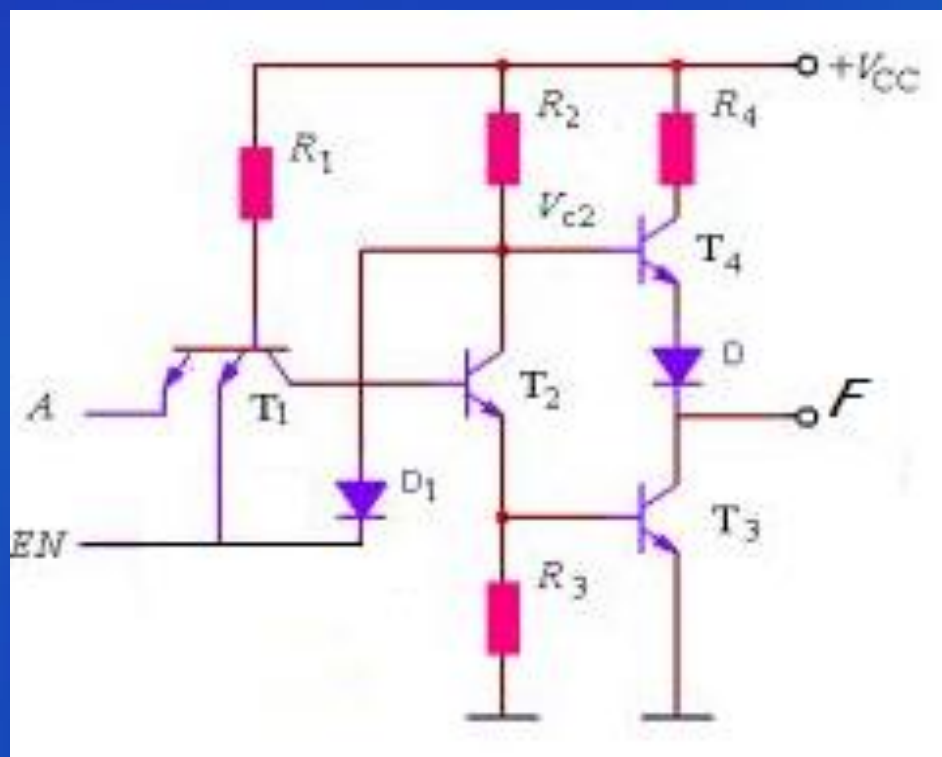
如：发光二极管(LED)

思考：门输出高电平驱动还是输出低电平驱动好？



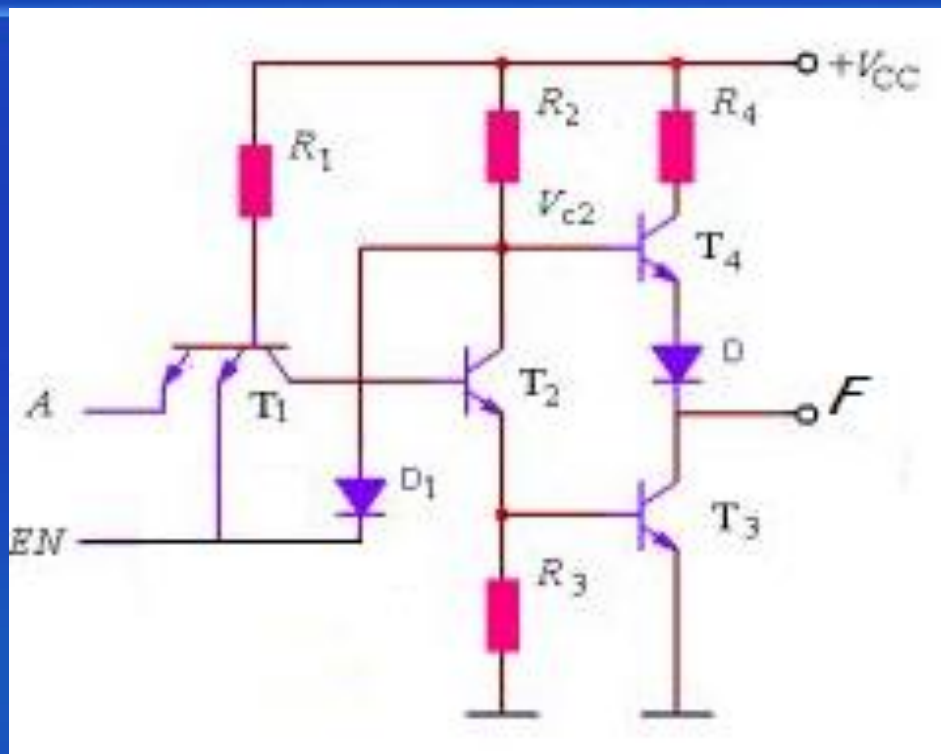
## 2. 三态门(TS或TSL门, tri-state logic)

输出有三种状态：逻辑0和逻辑1和高阻抗状态（即TTL输出级的上下2个管子都截止）。



$EN$ 端为控制端，也叫选通端或使能端。

$A$ 端为信号输入端， $F$ 端为输出端。



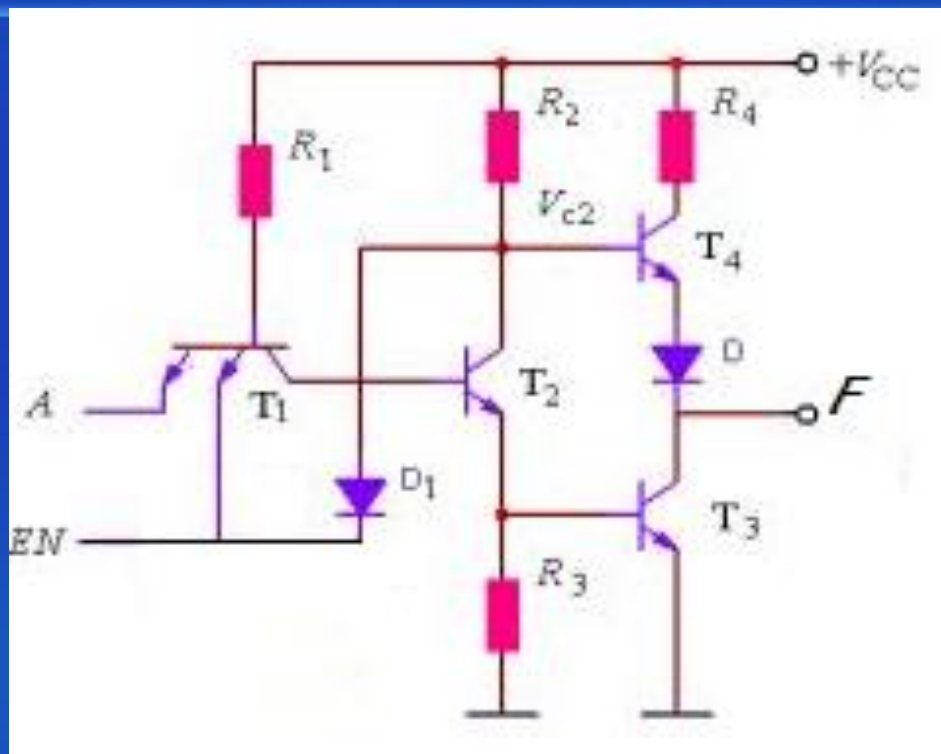
## (1) 功能分析

a. 当  $EN=1$  (即  $EN$  端输入高电平) 时

二极管  $D_1$  截止，相当于开路，不起任何作用。

这时三态门和普通与非门一样，完成“与非”功能。  $F = \overline{A}$

这种状态是三态门的工作状态，也叫选通状态。

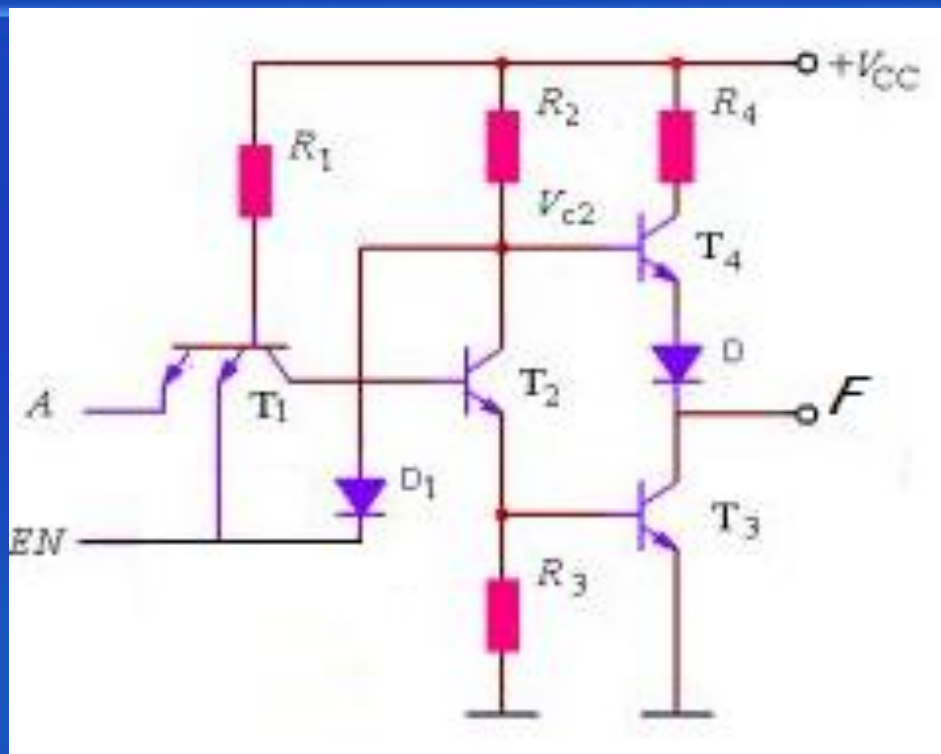


b. 当 $EN=0$ (即 $EN$ 端输入低电平)时

$D_1$ 导通,  $V_{C2} \approx 0.7V$ ,  $T_4$ 和 $D$ 截止。

同时 $T_1$ 管射极之一为低电平,  $T_2$ 、 $T_3$ 也截止。

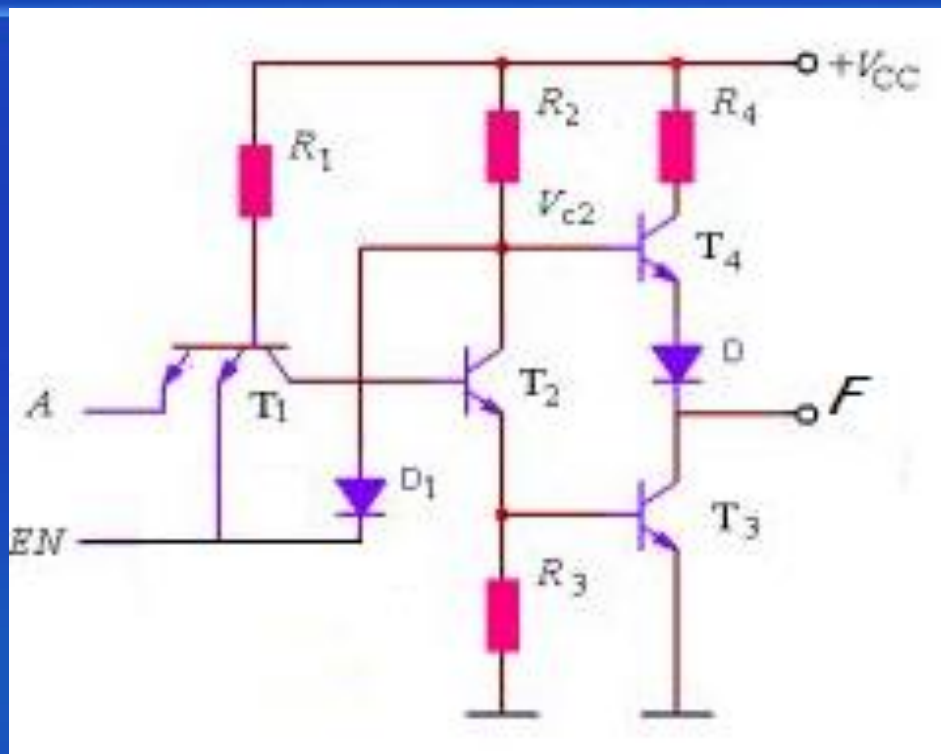
由于晶体管 $T_4$ 和 $T_3$ 同时截止, 输出端相当于悬空或开路。



这时三态门相对负载而言呈现高阻抗，故称这种状态为高阻态或悬浮状态，也叫禁止状态。

在禁止状态下，三态门与负载之间无信号联系，对负载不产生任何逻辑功能，所以禁止状态不是逻辑状态。





禁止状态不是逻辑状态，三态门也不是三值逻辑门，叫它“三态门”只是为区别于其它门的一种“方便称呼”。

**思考：三态门能否实现“线与”逻辑？**

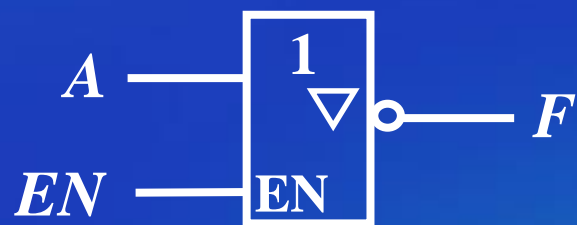


输出三种状态：逻辑0、逻辑1和高阻抗状态（即TTL输出级的上下2个管子都截止）。

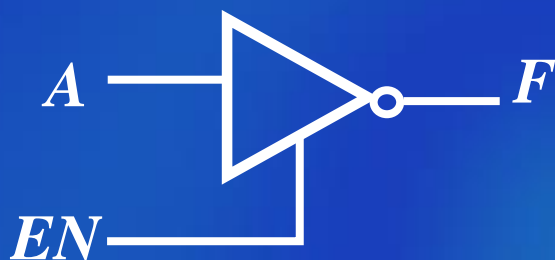
三态门的真值表

<i>EN</i>	<i>A</i>	<i>B</i>	<i>F</i>
0	X	X	高阻
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

## (2) 三态逻辑门等效电路



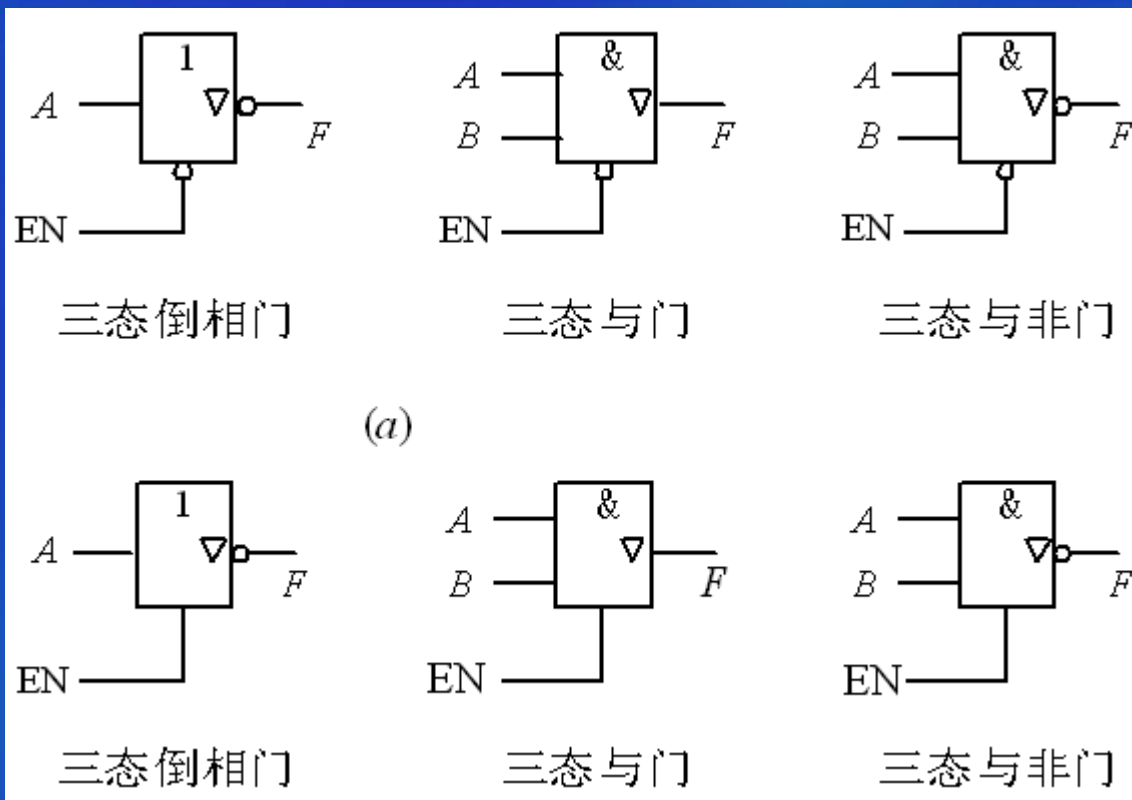
(b) 长方形符号



(c) 特殊形状符号



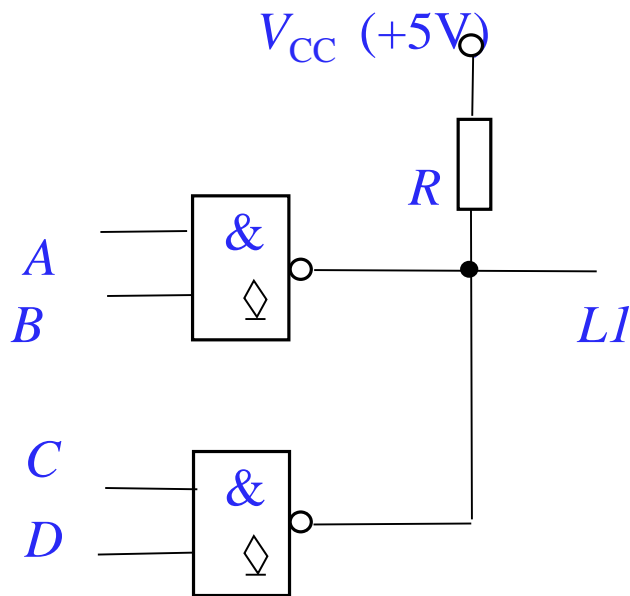
(a) 等效电路



**三态门有两种控制模式：**

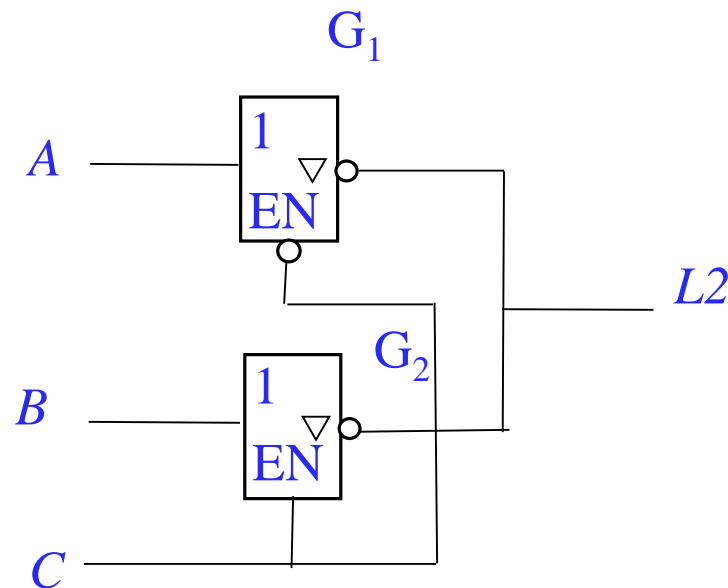
- a.  $EN$ 为低电平时门工作，高电平时禁止，称为低电平使能；
- b.  $EN$ 为高电平时门工作，低电平时禁止，称为高电平使能。

# 练习：写出下面电路表达式



例1

$$L1 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$



例2

当C=0时，三态门G1“使能”，G2“禁止”  $L2 = \overline{A}$

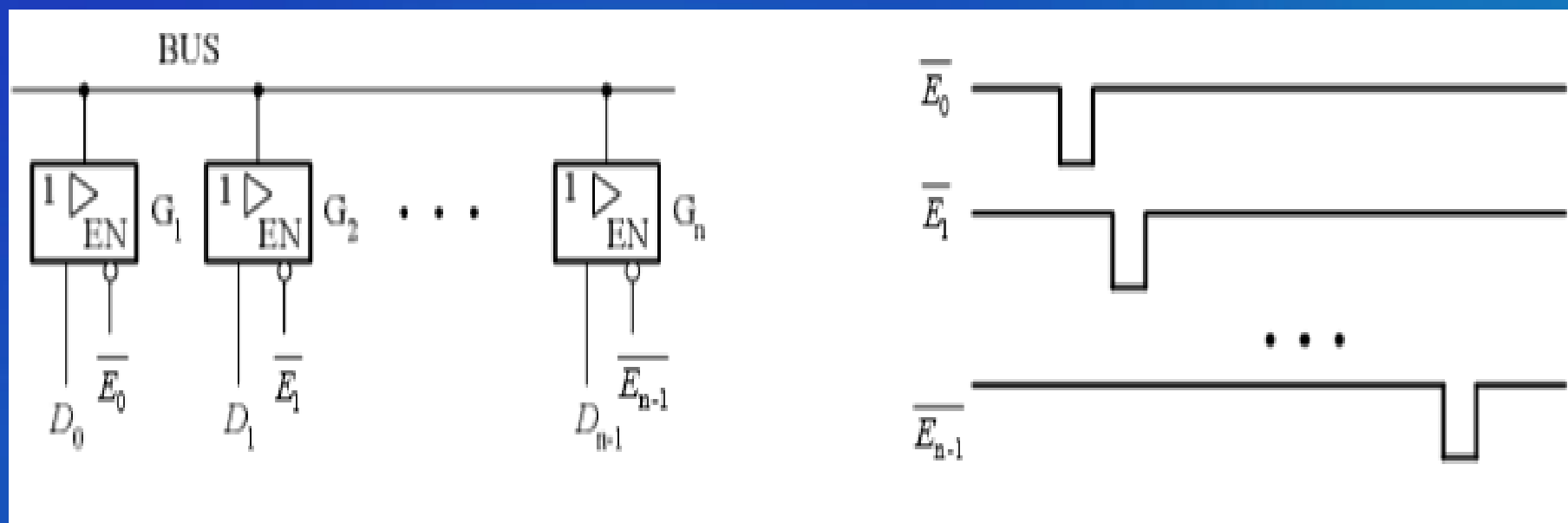
当C=1时，三态门G1“禁止”，G2“使能”  $L2 = \overline{B}$

### 3.4 三态门在微处理器总线中的作用

a. 用于数据总线结构,实现多路数在总线上的分时传送。

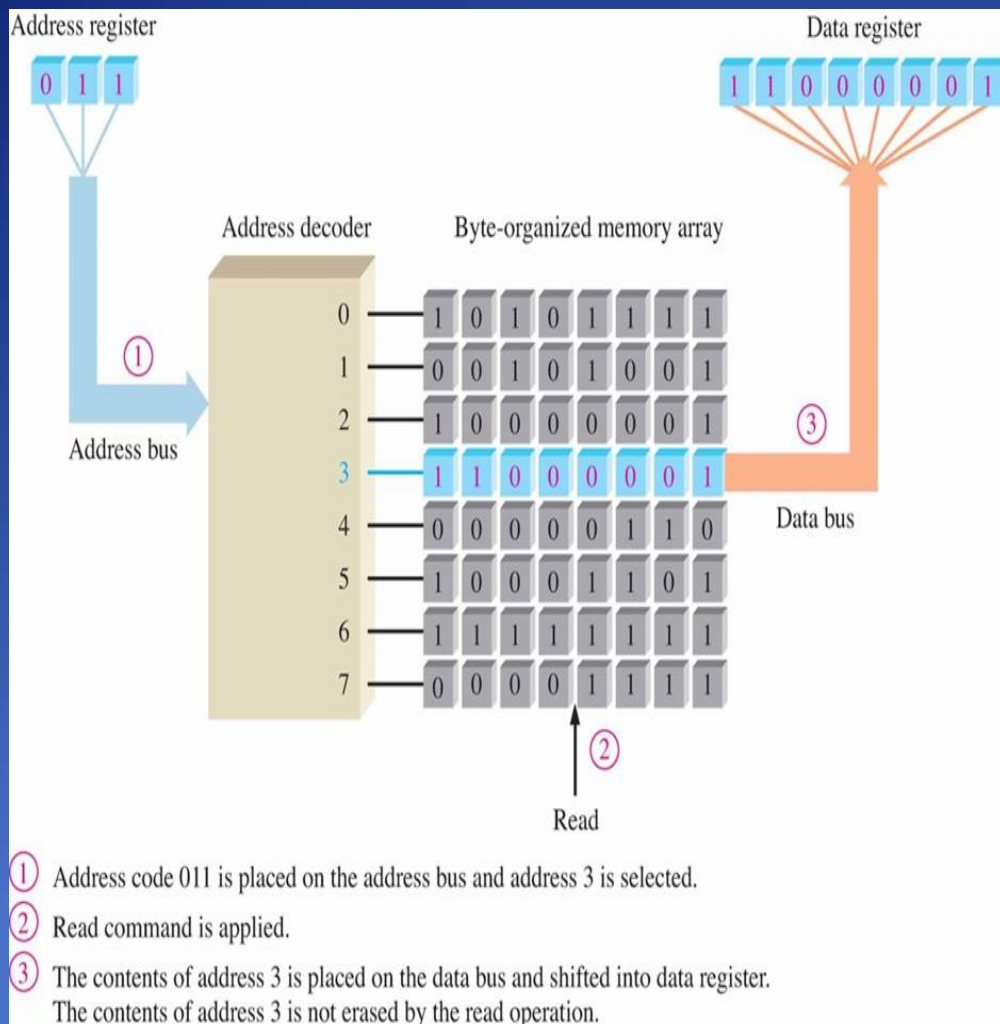
数据总线是数字系统的高速公路,所有逻辑可以共享总线传输信息。

接入总线的电路都必须具有3态特性,否则引起总线竞争。



任何时刻只有一个控制端有效,即只有一个门处于数据传输,其它门处于禁止状态。

# 思考：CPU如何从memory中读取数据？



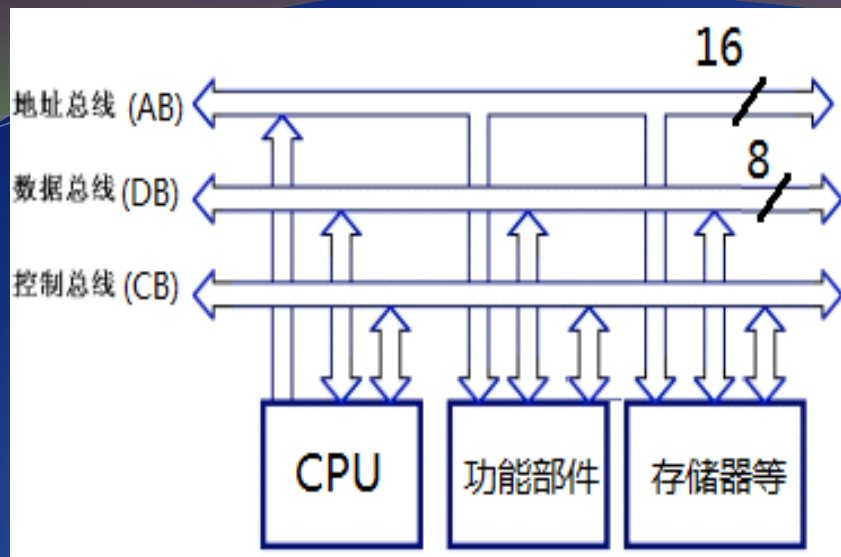
根据总线上流动的数据性质，一套总线一般包括：

**数据总线**（Data Bus, DB, 传送数据，多为8或16位）、

**地址总线**（Address Bus, AB, 区分微处理器片内外的接口或存储器单元。地址线若为16位宽度，说明该系统CPU最多可以区分65 536 ( $2^{16}$ ) 个存储器单元或功能部件，16位宽度可以访问的地址范围是：

0~FFFFH)

**控制总线**（Control Bus, CB, 传送控制信号、时钟信号、状态等信息）三部分。



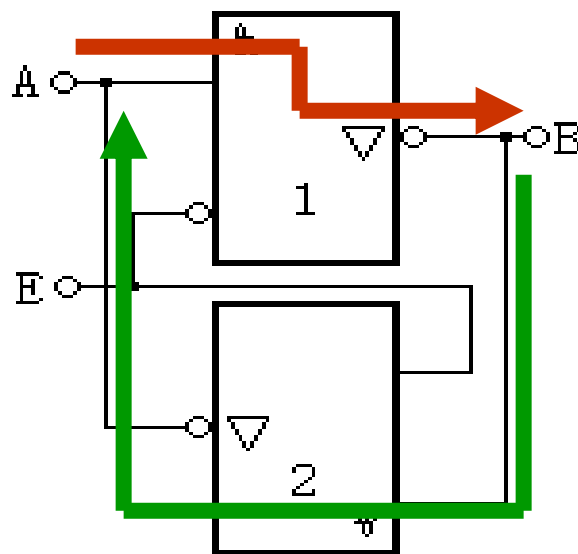
**单向总线:** 信息只能向一个方向传送。如 地址总线。

**双向总线:** 信息可以向两个方向传送，既可以发送，也可以接收。

## 双向传输

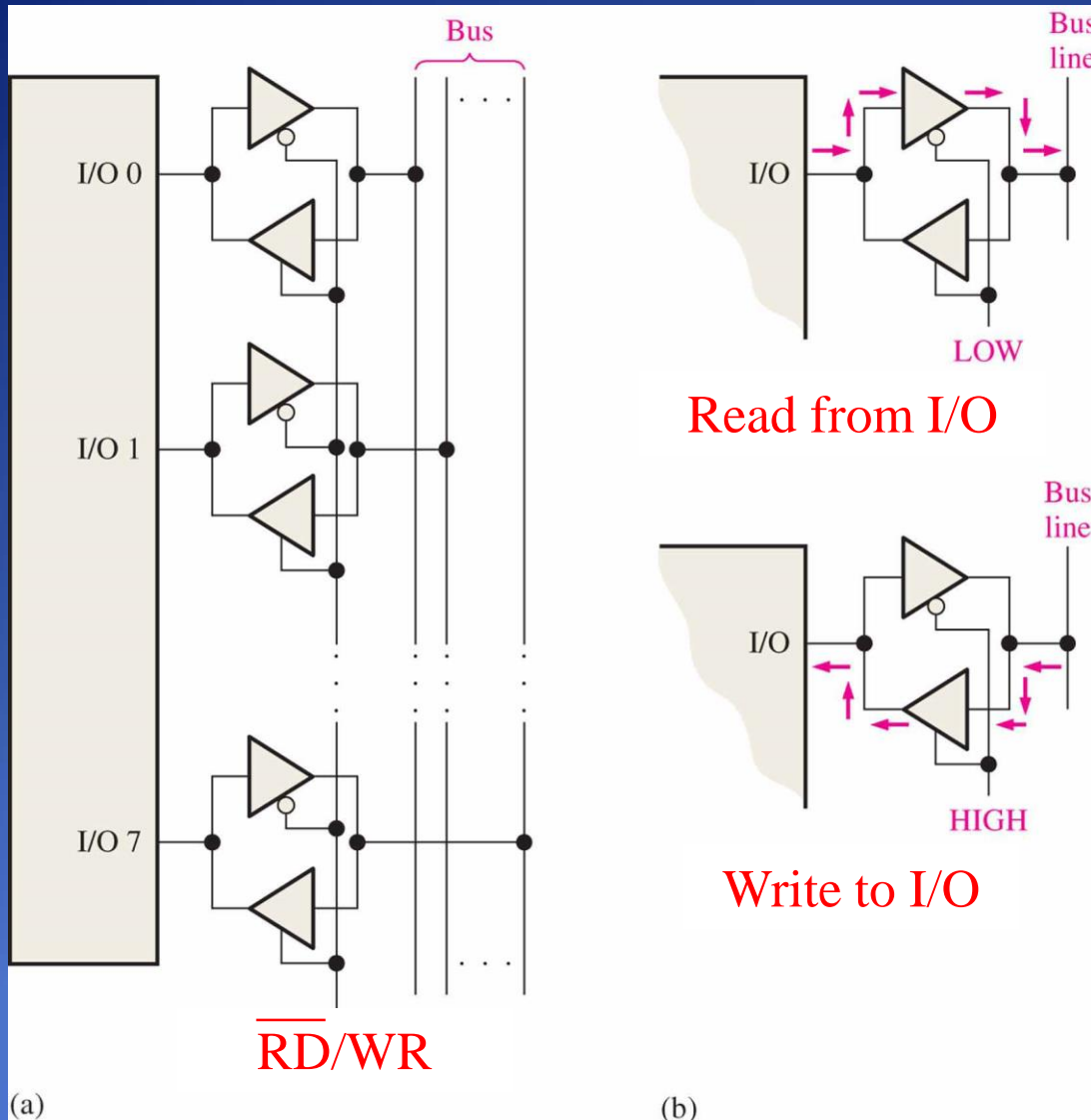
当  $E=0$  时，门1工作，门2禁止，数据从A送到B；

当  $E=1$  时，门1禁止，门2工作，数据从B送到A。



三态门双向传输

# 双向传输接口



Each I/O port has a pair of tri-state buffers.

When the  $\overline{RD}/WR$  line is LOW, the upper tristate buffer in each pair is enabled and the lower one disabled. Data was read to the internal bus.

When the  $\overline{RD}/WR$  line is HIGH, the upper tristate buffer in each pair is disabled and the lower one enabled. Data was sent from internal bus to the outside I/O.



## 各种TTL门的性能比较

TTL门主要有74系列，它是国际上通用的标准电路。

TTL门的品种可分为以下几类：

标准系列（74××系列）

高速型（74H××系列、74F××）

低功耗型（74L××系列）

肖特基（Schottky）型（74S××系列）

低功耗肖特基型（74LS××系列）

改进肖特基型（74AS××系列）

改进低功耗肖特基型（74ALS××系列）

- 对同一个xx器件，其引脚排列、逻辑功能完全一致；仅在功耗和时延及个别电压电流参数上不同

比如，7400,74LS00,74F00,74ALS00都是4个2输入的与非门

## TTL电路的各系列性能比较

类型 性能	74 ××	74H××	74L××	74S××	74LS××	74AS××	74ALS××
$P_D/\text{mW}$	10	22	1	19	2	22	1
$T_{pd}/\text{ns}$	10	6	33	3	9.5	1.5	4
$M/\text{pJ}$	100	132	33	57	19	33	4

# 有关网址

<http://www.datasheet5.com/>

<http://www.icpdf.com/>

<http://www.51ic.info/>

<http://www.21ic.com/>

<http://www.icminer.com/>

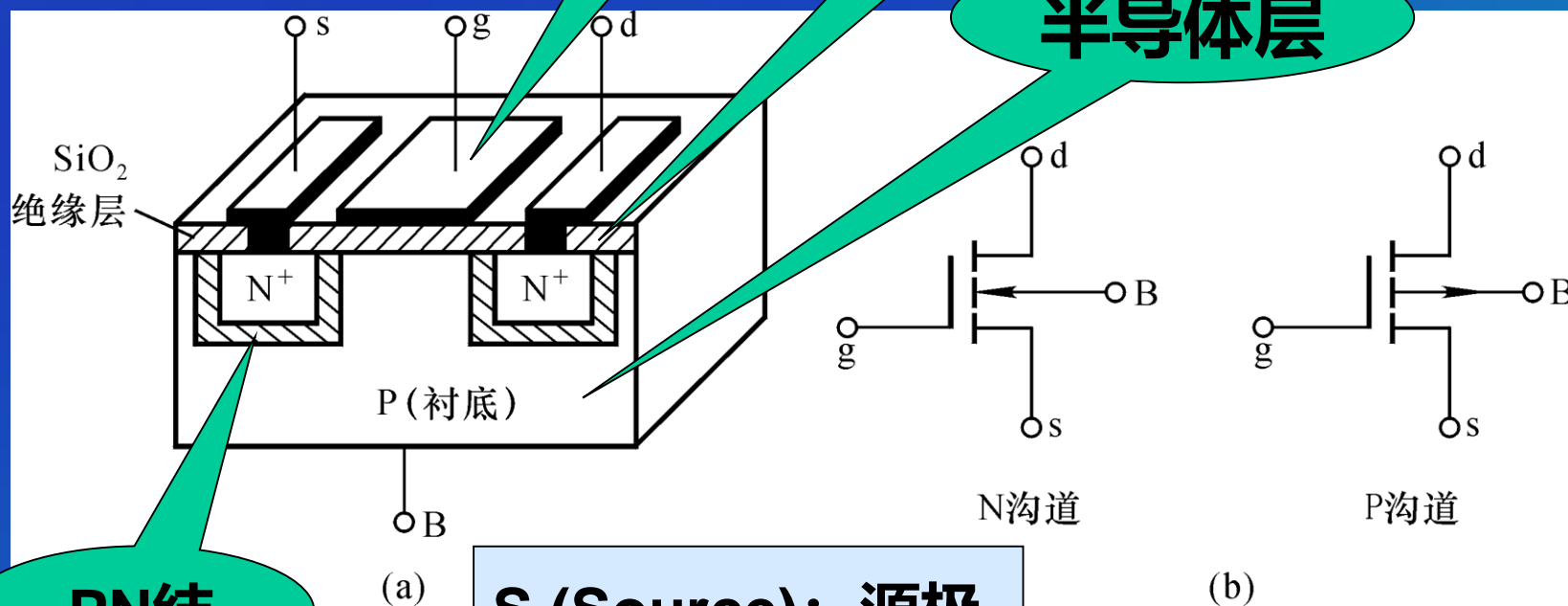
- 74系列（民品）

[74 系列](#) · [74S 系列](#) · [74LS 系列](#) · [74AS 系](#)  
[列](#) · [74ALS 系列](#) · [74HC 系列](#) · [74HCT 系列](#) · [74F](#)  
[系列](#) · [74AHC 系列](#) · [74LS 贴片系列](#)

- 54系列（军品）

# 3.5 CMOS集成门电路

## 场效应管的开关特性



PN结

S (Source): 源极  
G (Gate): 栅极  
D (Drain): 漏极  
B (Substrate): 衬底

上页

下页

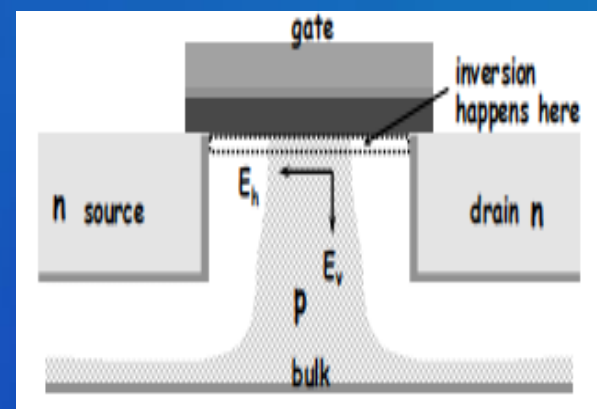
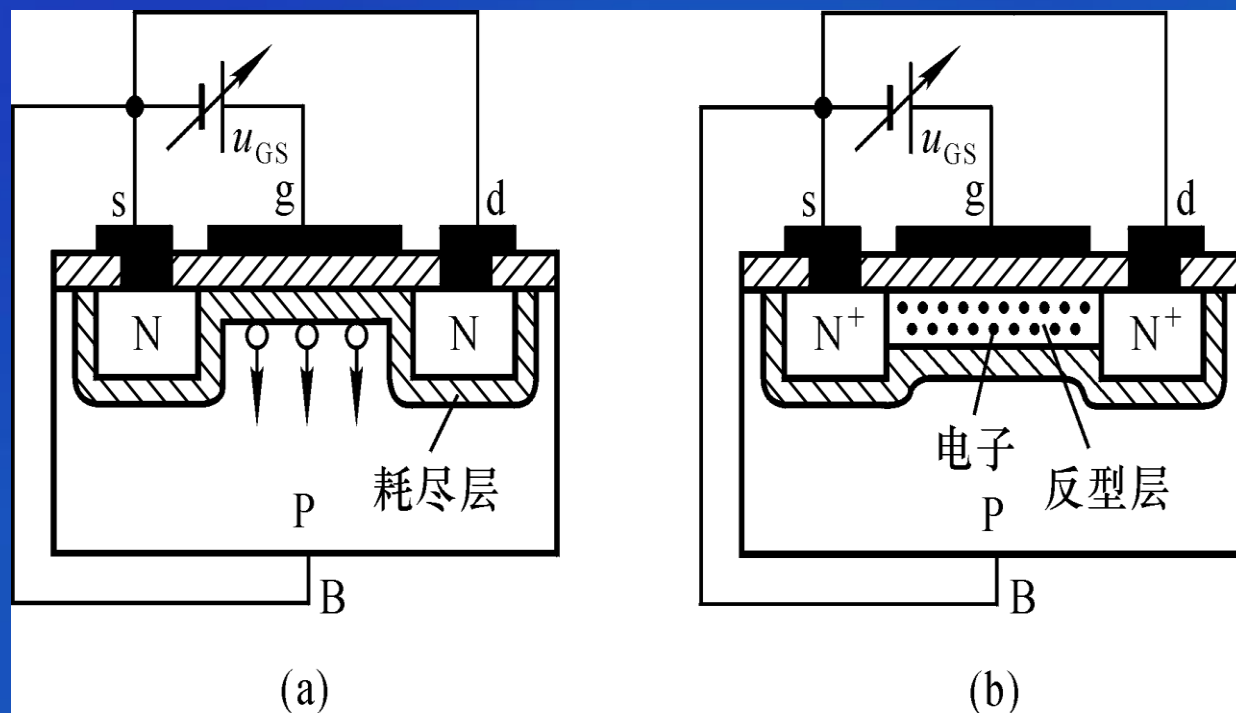
返回

开启电压

以N沟道增强型为例：

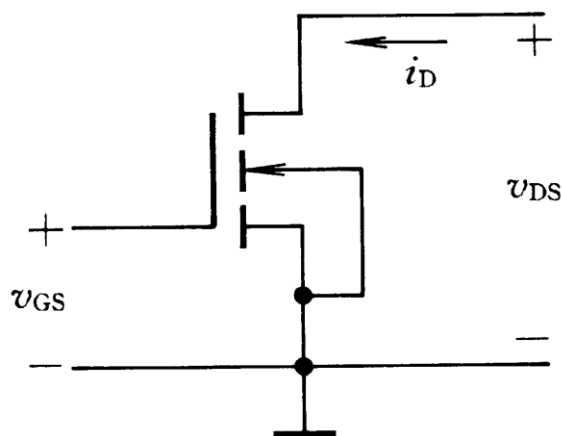
$V_{GS}=0$ 时，D-S间是两个背向PN结串联， $i_D=0$

加上 $+V_{GS}$ ，且足够大至 $V_{GS} > V_{GS(th)}$ ，D-S间形成导电沟道（N型层）

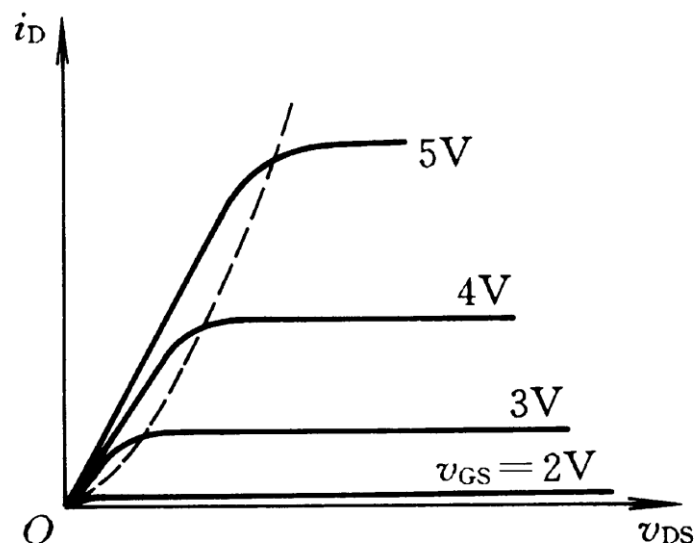


## 漏极特性曲线（分三个区域）

- ① 截止区:  $V_{GS} < V_{GS(th)}$ ,  $i_D = 0$ ,  $R_{OFF} > 10^9 \Omega$
- ② 恒流区
- ③ 可变电阻区: 当  $V_{DS}$  较低（近似为0），呈现电阻，这个电阻受  $V_{GS}$  控制、可变。



(a)



(b)

## 电阻负载反相器电路

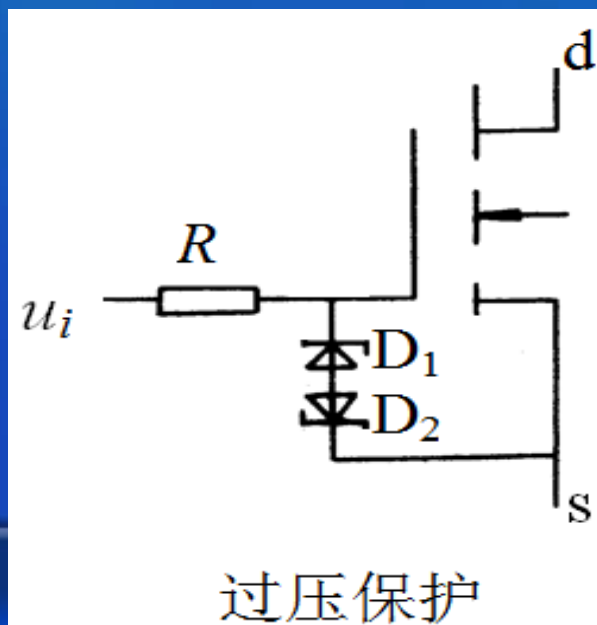
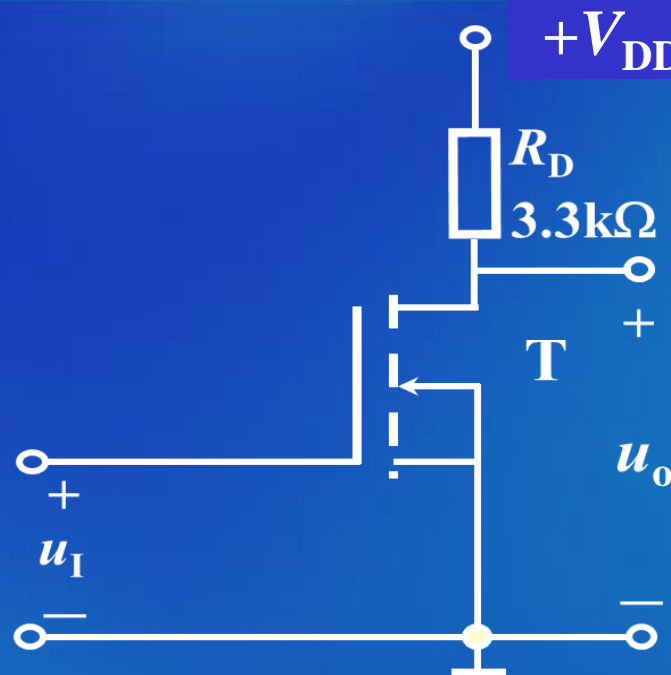
a. 当 $u_I < U_T$ , T截止

$u_O = V_{DD}$  (为高电平)

b. 当 $u_I$ 为高电平时, T导通。

输出为低电平

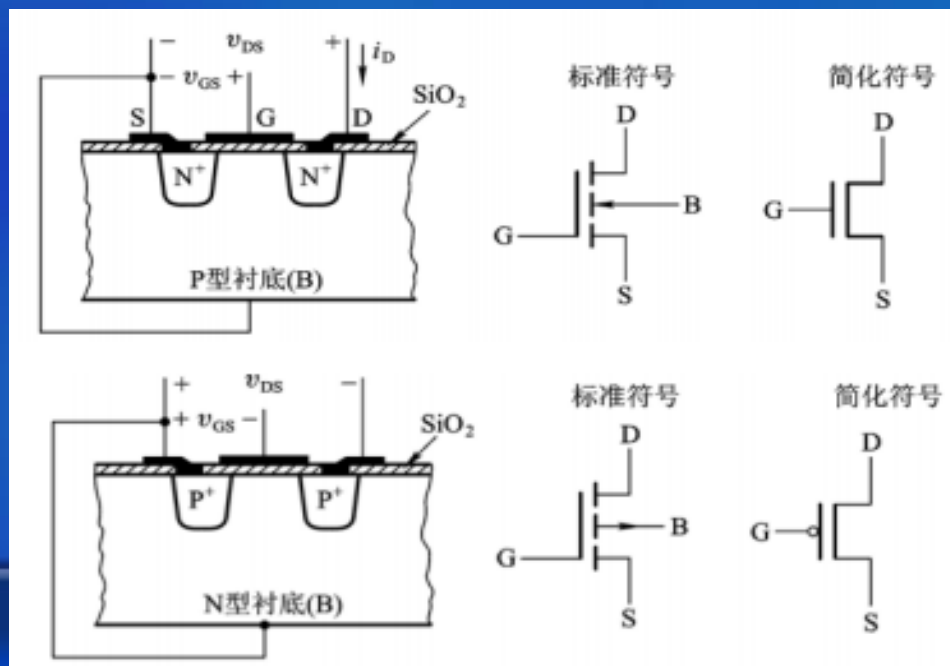
MOS管绝缘介质很薄, 为防止击穿, 在改进的MOS管内, 常有过压保护稳压管限制加在g、s极间的电压。



# CMOS集成门电路

CMOS (Complementary MOS) 逻辑门电路是继TTL之后开发的一种数字集成器件。

由于CMOS的工作速度可与TTL相媲美，而CMOS的功耗和扇出数则远优于TTL，CMOS的抗干扰能力也比TTL强。因此，CMOS电路可能超越TTL而成为占主导地位的逻辑器件。目前，几乎所有的大规模集成电路都采用CMOS工艺制造，且费用较低。





## 不同系列CMOS门性能比较

系列 参数	4000/4000B	74HCxx	74HCTxx	74BCTxx
$T_{pd}/ns$ ( $C_L=15pF$ )	75	10	13	2.9
$P_D/mW$	0.002	1.55	1.002	0.0003 ~ 7.5
$M/pJ$	0.15	15.5	13.026	0.00087 ~ 22

74HCT High speed - CMOS - TTL inputs

74AHC Advanced - High speed – CMOS

74AHCT Advanced - High speed - CMOS - TTL inputs

74BCT BiCMOS - TTL inputs

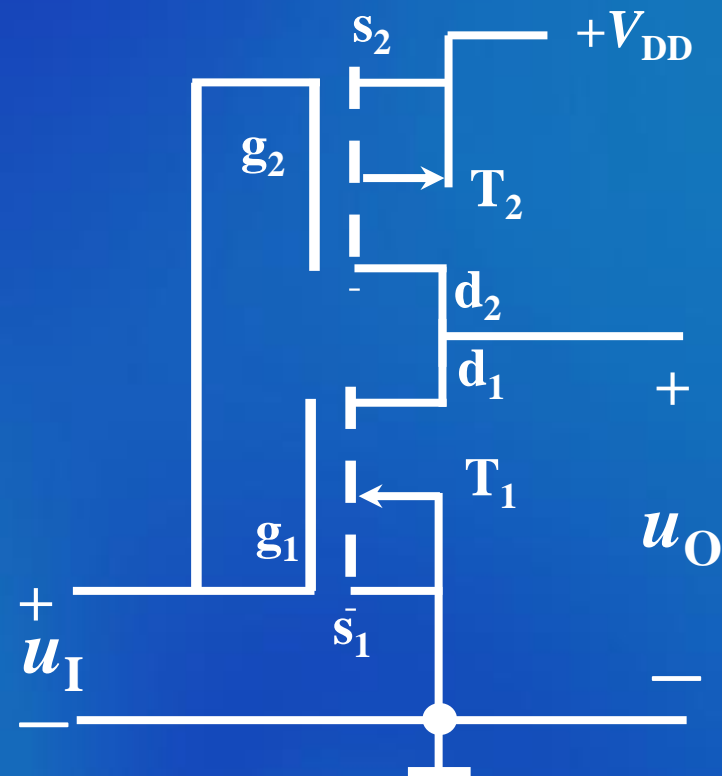
## CMOS反相器

两个增强型MOS场效应管组成：

$T_1$ 为NMOS管，称驱动管；

$T_2$ 为PMOS管，称负载管。

PMOS和NMOS在电气和逻辑特性上互补，即PMOS的电压极性以及电流方向都与NMOS相反，因而得名互补MOS（即CMOS）反相器电路。



PMOS和NMOS由一个共同的信号控制，所以对于任意输入逻辑（0或1）互补的两个管子必然一个导通。

a.  $u_I$ 为低电平时:  $T_1$ 管截止,  $T_2$ 管导通。

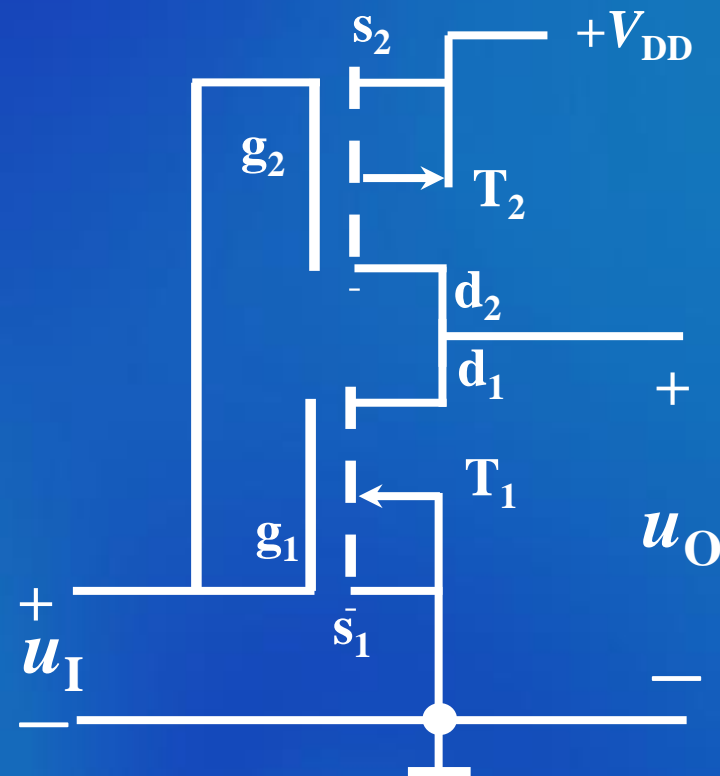
MOSFET在截止时, 其漏源极间的等效电阻  $10^9\Omega$ 以上, 而导通时, 其等效电阻仅几千欧。

输出电压为高电平  $U_{OH} \approx V_{DD}$

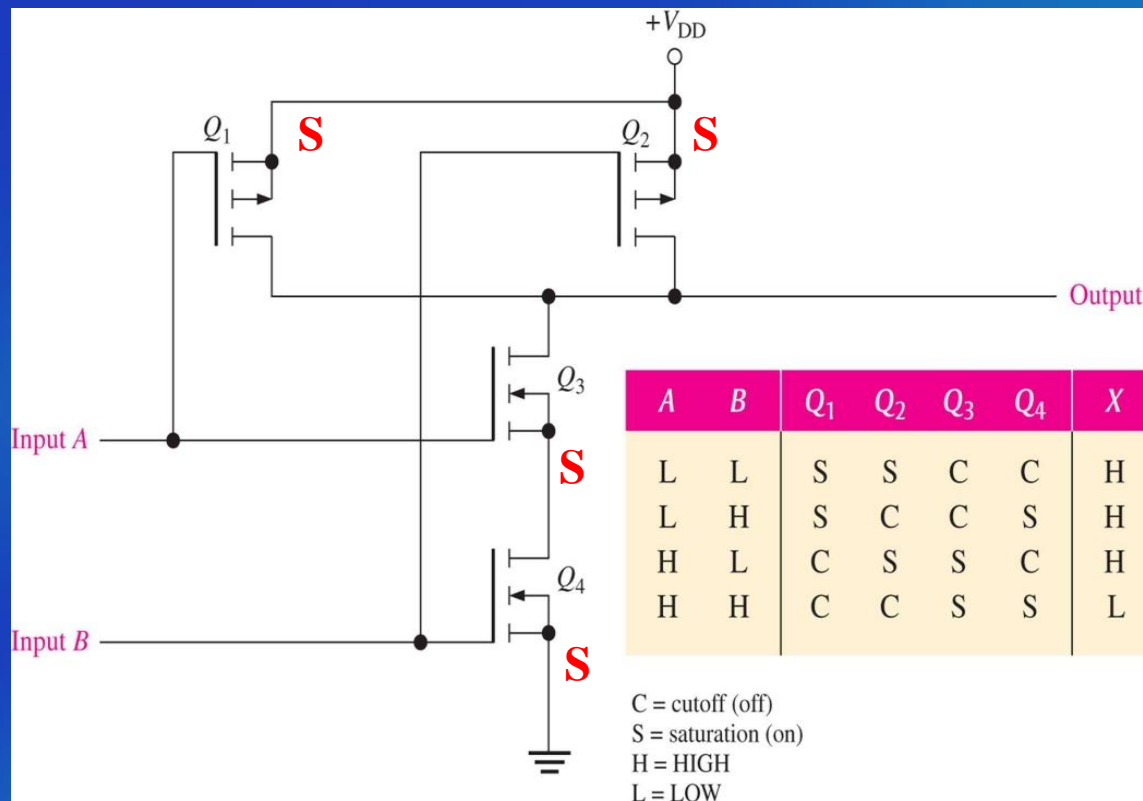
b.  $u_I$ 为高电平:  $T_1$ 管导通,  $T_2$ 管截止。

输出电压为低电平  $U_{OL} \approx 0V$

该电路实现了反相逻辑功能。

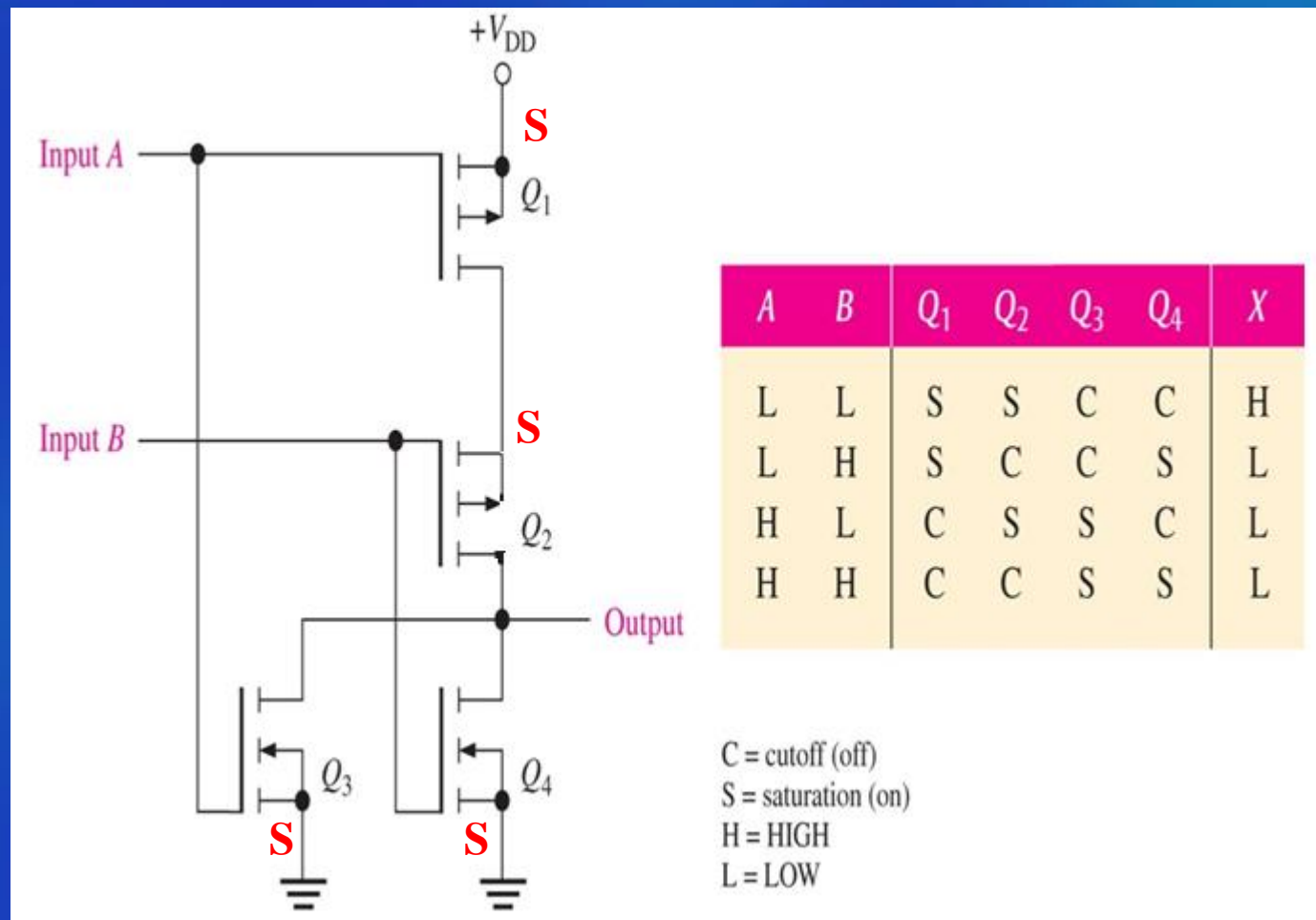


# CMOS与非门



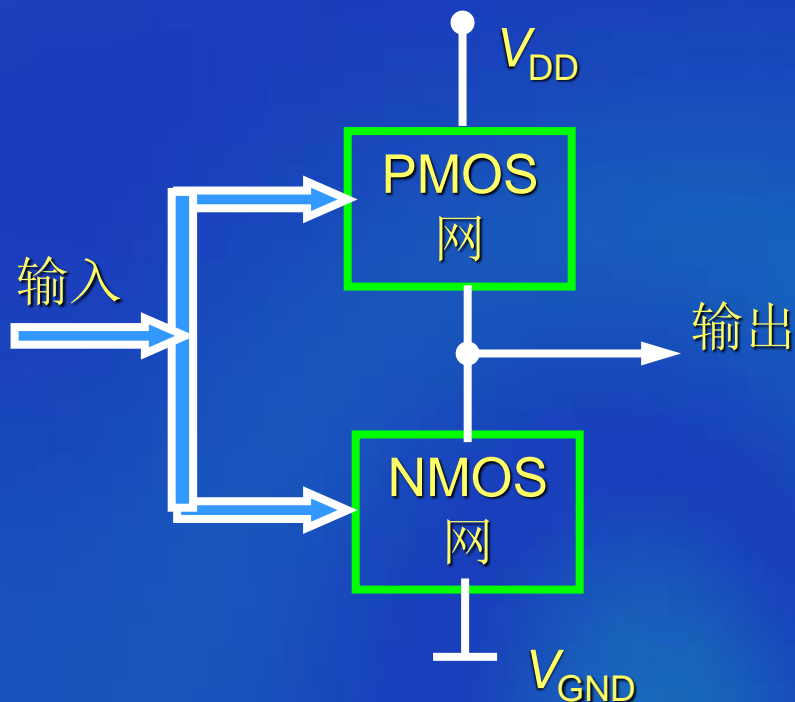
$$F = \overline{AB}$$

## CMOS或非门

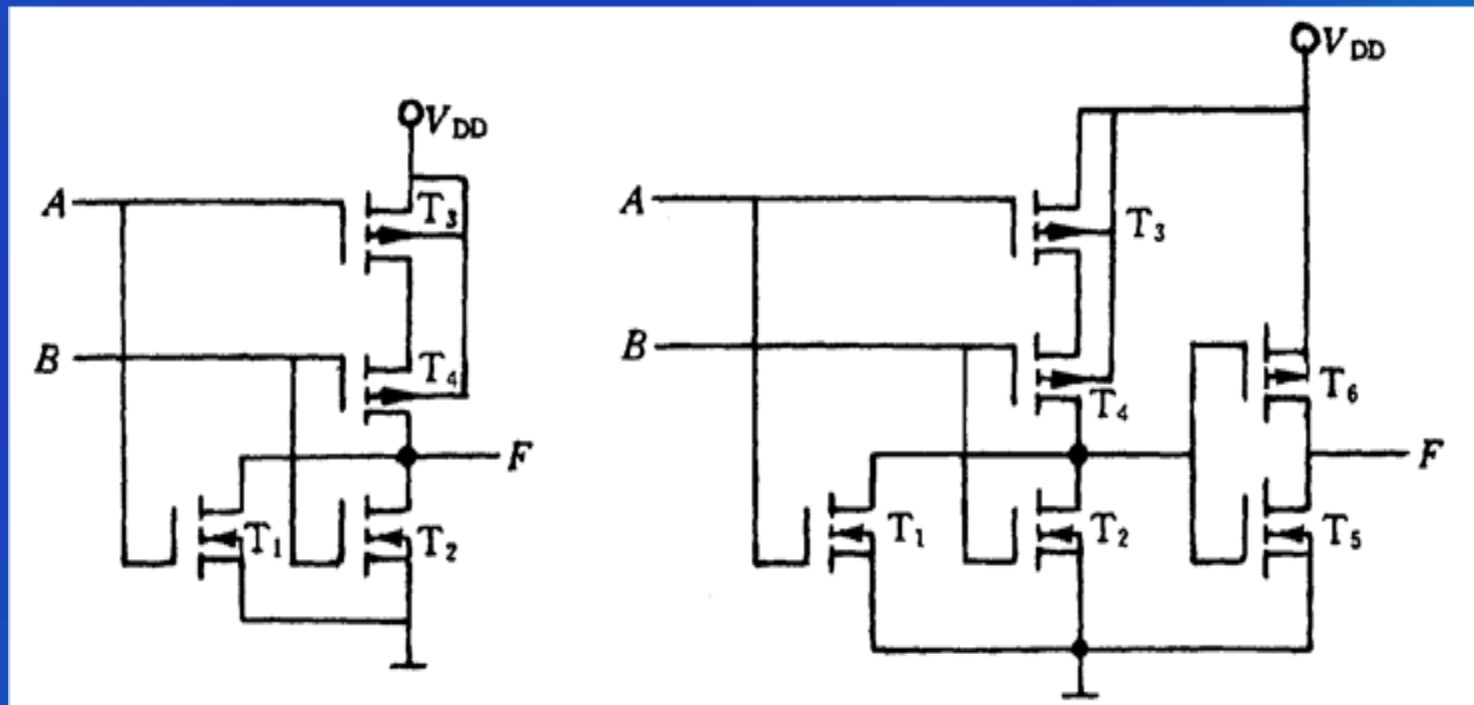


$$F = \overline{A + B}$$

# 基本CMOS电路特点



- 1、PMOS连接输出和电源；NMOS连接输出和地
- 2、PMOS和NMOS结构互补(串联—并联)，使P网和N网不会同时导通
- 3、N网管子串联为与逻辑；并联实现或逻辑
- 4、CMOS实现非逻辑



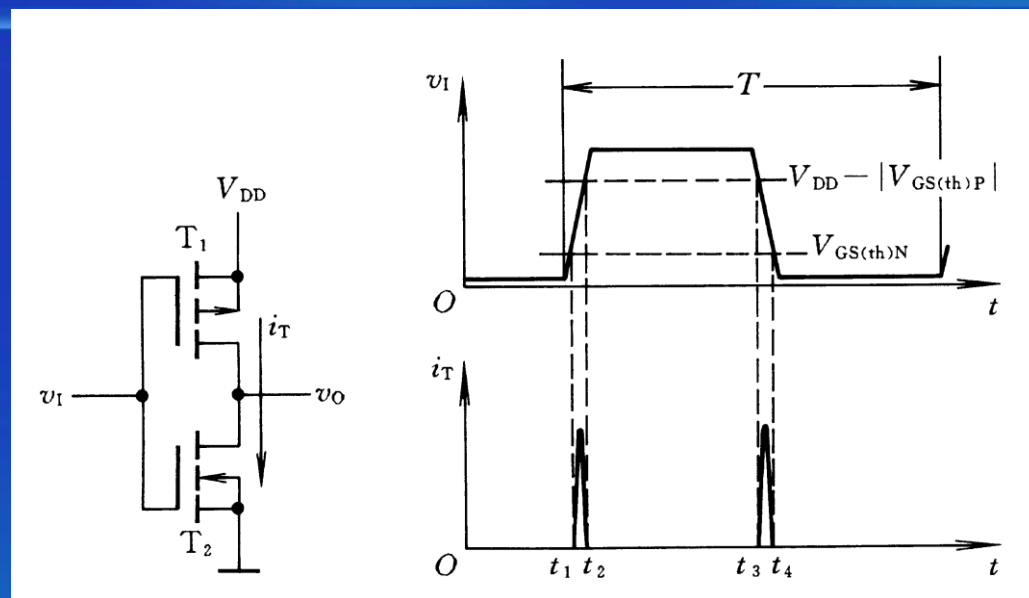
$$F = \overline{A + B}$$

$$F = \overline{\overline{A + B}} = A + B$$

# CMOS电路的主要特点

## (1) 功耗低

稳定工作时的静态电流小，约为纳安（ $10^{-9}\text{A}$ ）数量级，因而静态功耗很低，有利于提高集成度。



管子改变状态时都经过放大区，出现尖峰电流，电路动态功耗比静态时显著增大。这种尖峰电流的出现还可能导致电路间相互影响引起逻辑上的错误。常用的解决办法是在靠近门电路的电源与地之间接一个滤波电容。

## CMOS门总的动态功耗：

$$P_D = C \times V_{DD}^2 \times f$$

$C$ ：负载及其它电容，具体数值由芯片厂家提供。



## CMOS门总的动态功耗:

$$P_D = C \times V_{DD}^2 \times f$$

### 说明:

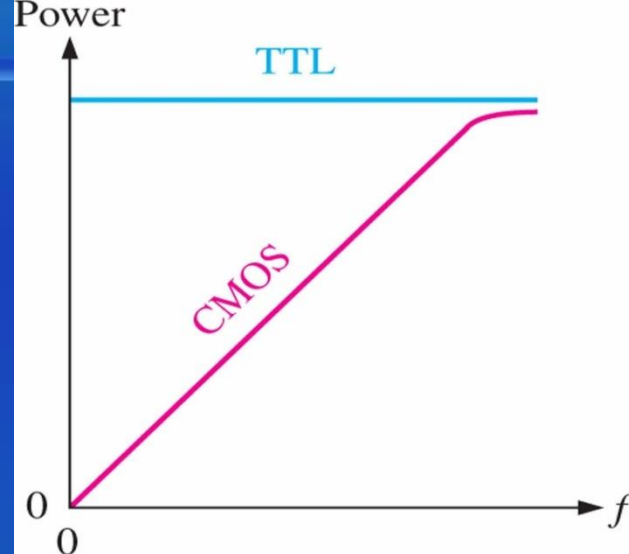
工作速度增加, 功耗增加;

只要降低电源电压, 就可显著降低功耗;

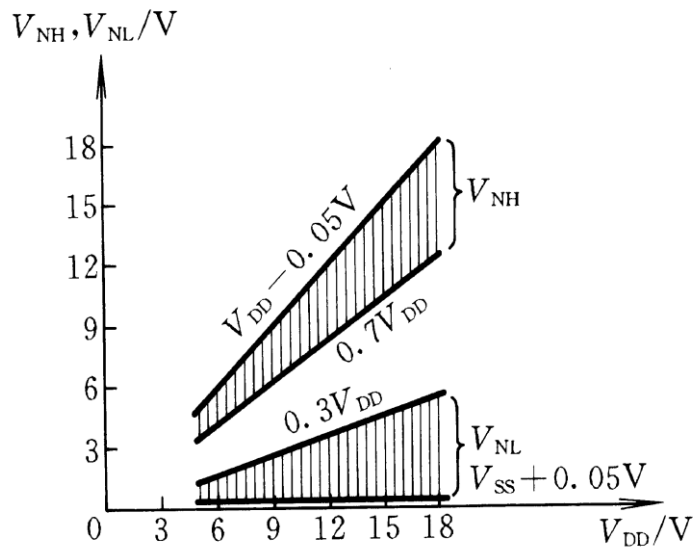
很多微处理器通过切断内部时钟源, 禁止数字电路工作来降低整个芯片的动态功耗。很多大功率MOS电路通过降低开关动作频率来降低功耗。

总体而言, CMOS逻辑门的功耗一般仍比双极型逻辑门功耗小。

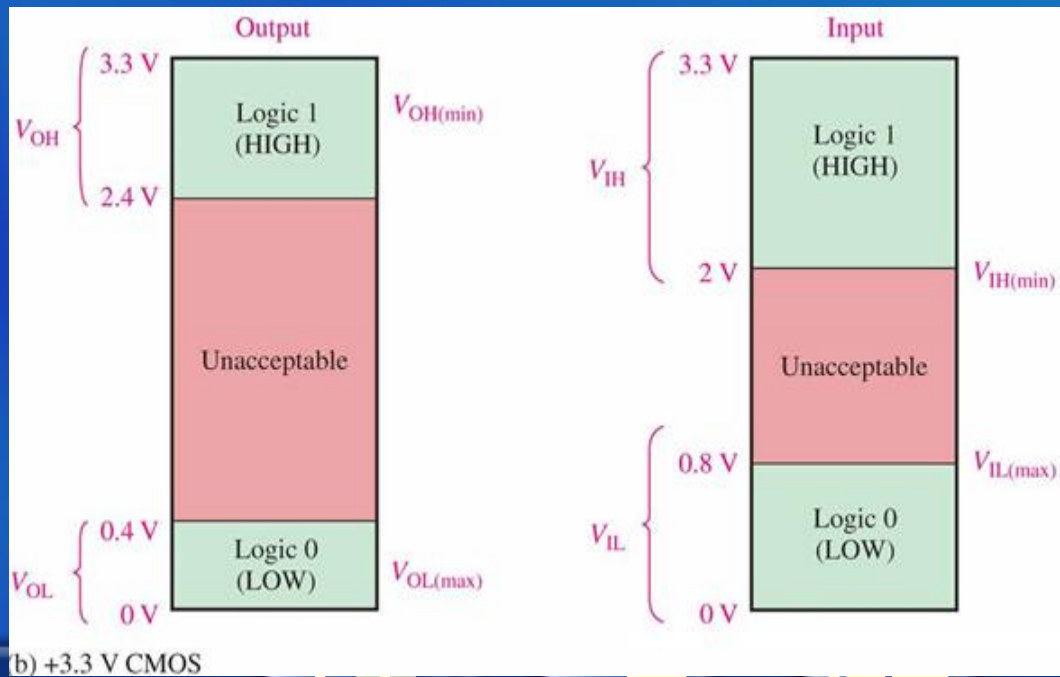
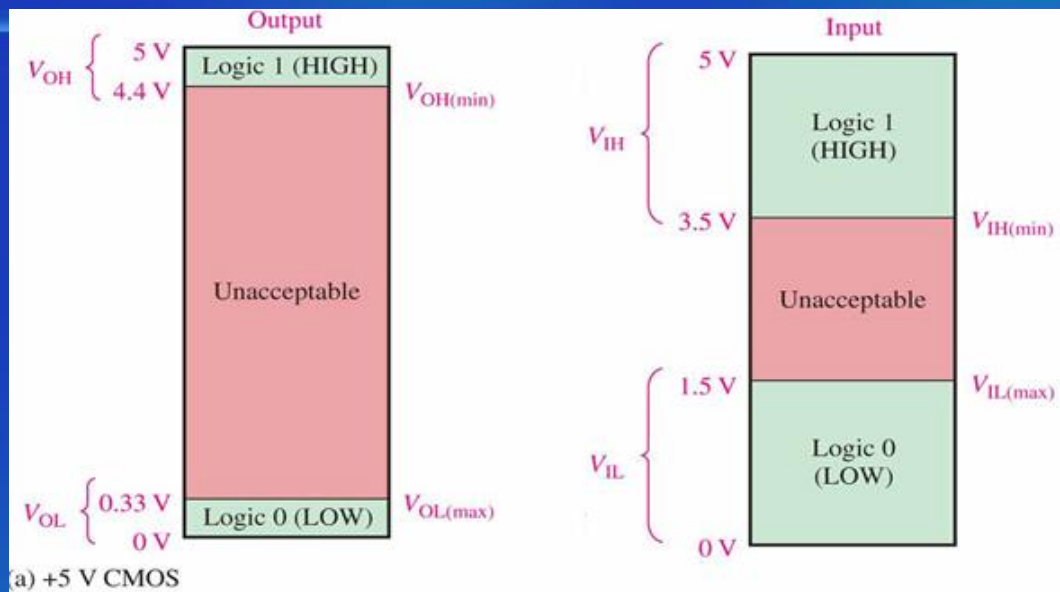
对于TTL而言, 工作频率在5MHz以下, 每个门消耗的功率几乎不变。



## (2) 抗干扰能力强



可以通过提高 $V_{DD}$ 来  
提高噪声容限

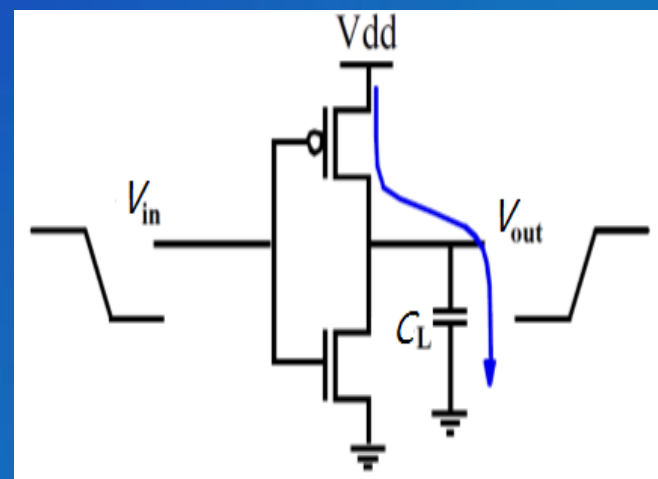


### (3) 电源电压工作范围宽，电源利用率高。

标准CMOS电路的电源电压范围很宽，可在3~15V范围内工作。目前，更为先进的设计采用1.8V或更低（1.3V）的电源供电。对降低功耗和功耗引起的散热问题有利。

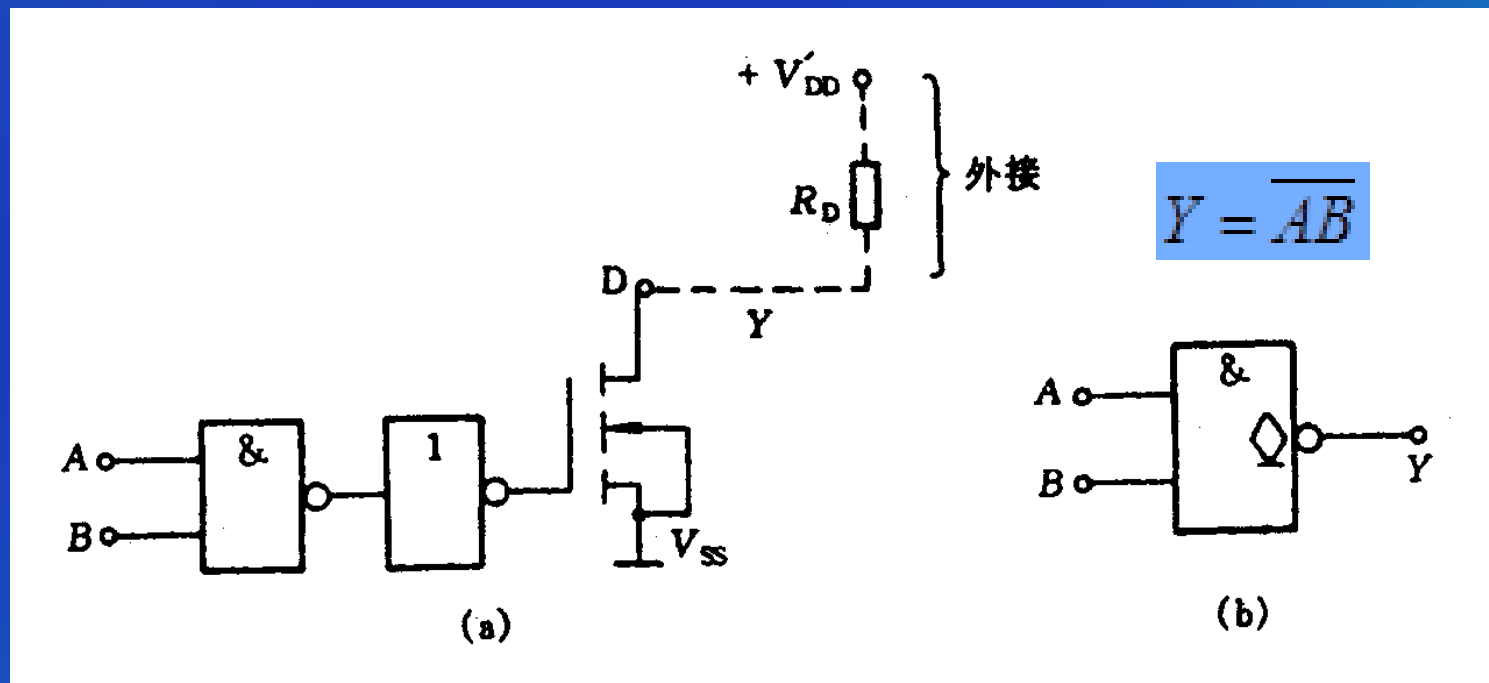
### (4) 扇出能力强

不考虑速度时，理论上是无穷。但MOS存在栅极电容，过多负载引起的过大负载电容（如图，输出由低到高变化实际上是对 $C_L$ 充电的过程，相反，则为放电的过程）。负载电容过大，显然增加门的传输时延，降低开关速度。



**CMOS门的扇出系数一般大于50。**

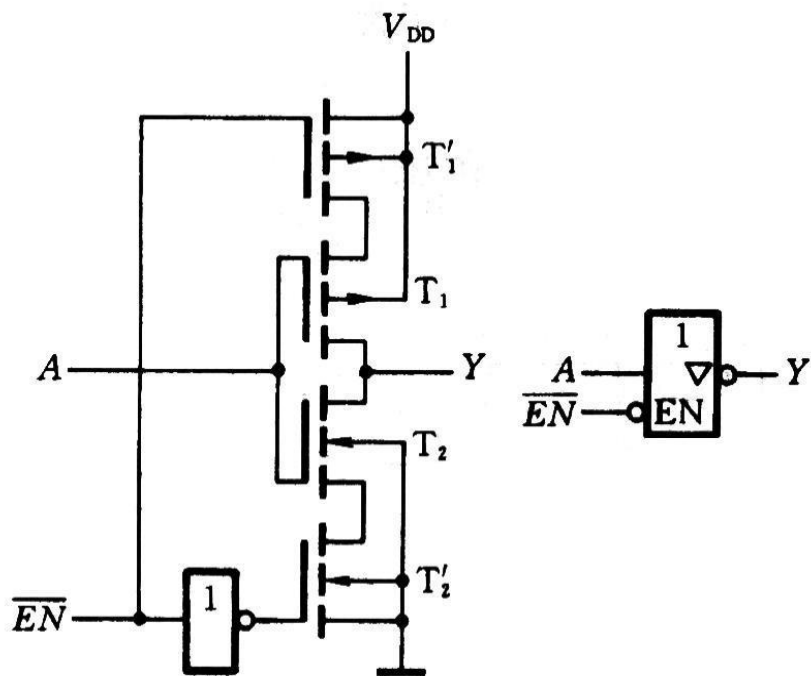
# CMOS漏极开路门



结构、用法、符号与TTL的OC门类似。电路的输出级是一个漏极开路的NMOS管。工作时必须外接上拉电阻 $R_D$ 到电源 $V_{DD}$ 电路才能正常工作。

**OD门与OC门一样可实现“线与”功能。**

# CMOS三态逻辑门



CMOS三态逻辑(Tri-State Logic, 简称TSL)门符号与TTL三态门一样。

当 $\overline{EN}=1$ 时,  $T_1'$ 、 $T_2'$ 均截止,  $Y$ 与地及电源都断开了, 输出端呈现为高阻态。

当 $\overline{EN}=0$ 时,  $T_1'$ 、 $T_2'$ 均导通,  $T_1$ 、 $T_2$ 构成反相器。

# CMOS传输门

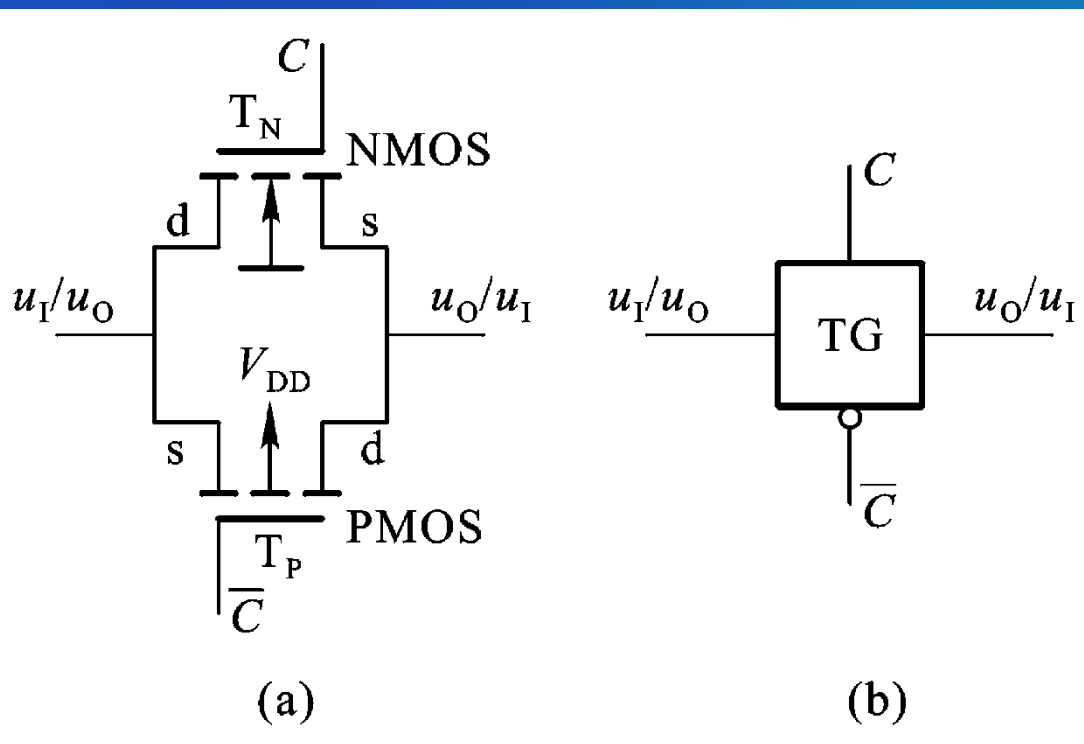
传输门 (Transmission Gate, 简称TG门) ——一种传输模拟信号 (也包括数字信号) 的模拟开关。

## 1. CMOS传输门及符号

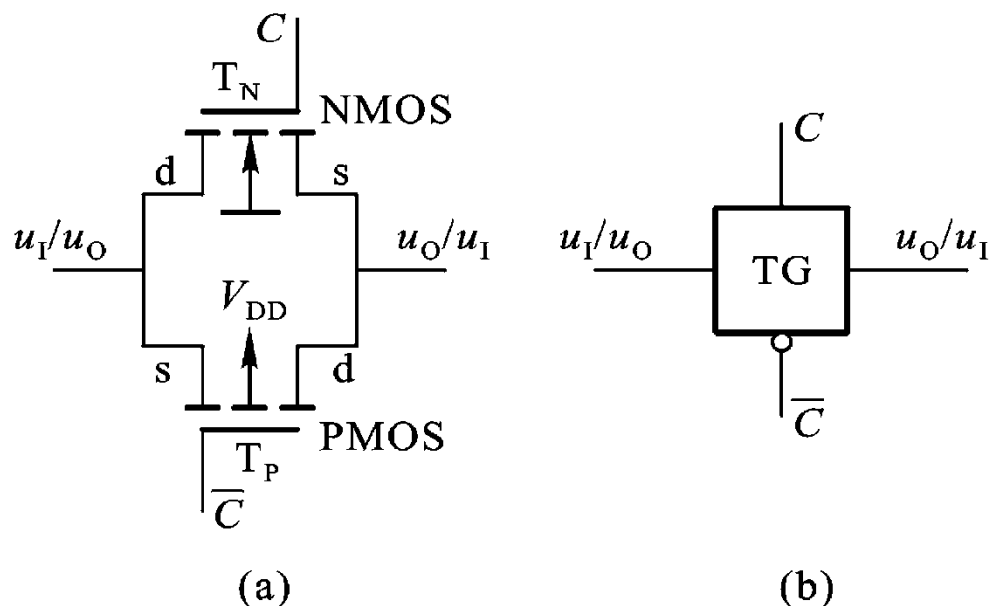
$T_P$ 和 $T_N$ 结构对称。

由于两个管子的漏极和源极是可互换的, 因此, 传输门是双向的, 输入和输出可以互换。

两管的栅极由互补的信号 $C$ 和 $\overline{C}$ 来控制。



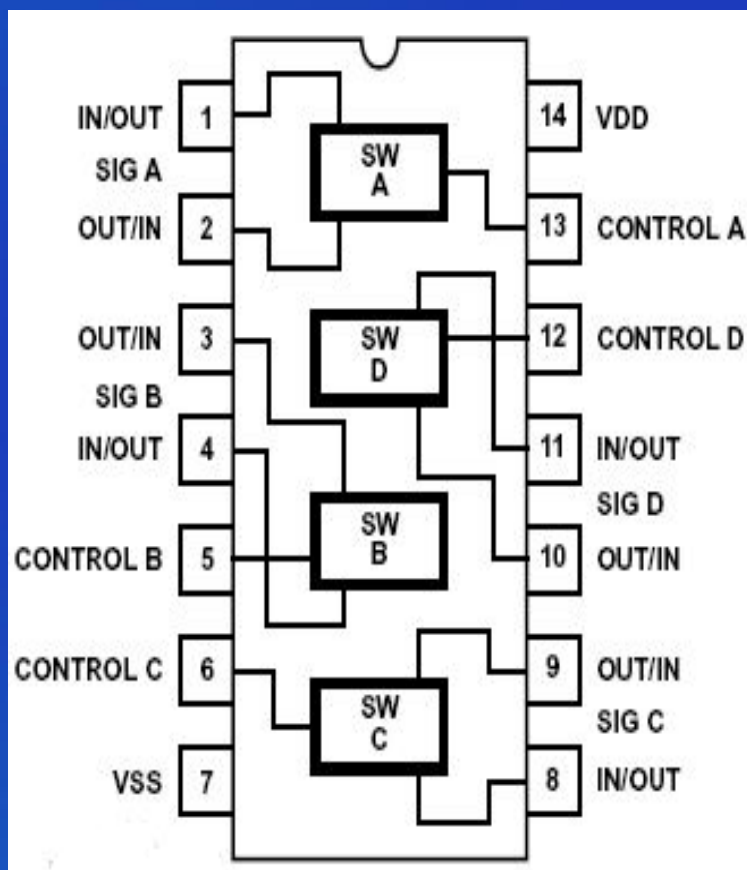
假设 $T_P$ 和 $T_N$ 的开启电压  
 $|U_{THP}|=|U_{THN}|=2V$ ,  $V_{DD}=10V$ ,  
 输入信号 $u_I$ 在 $0\sim 10V$ 之间变化。



当 $C$ 接低电平 $0V$ 时,  $u_I$ 取 $0\sim 10V$ 范围内的任何值,  $T_N$ 均不导通。同时 $\overline{C}$ 端为 $10V$ ,  $T_P$ 也不导通。可见, 当 $C$ 接低电平时, 传输门断开。

当 $C$ 接高电平 $10V$ 时,  $u_I$ 在 $0\sim 8V$ 范围内变化,  $T_N$ 导通; 当 $u_I$ 在 $2\sim 10V$ 范围内变化时 $T_P$ 将导通。导通电阻数百欧。





## CD4066

四双向模拟开关，当控制端加高电平时，开关导通；当控制端加低电平时开关截止。模拟开关导通时，导通电阻为几十欧姆；模拟开关截止时，呈现很高的阻抗，可以看成为开路。



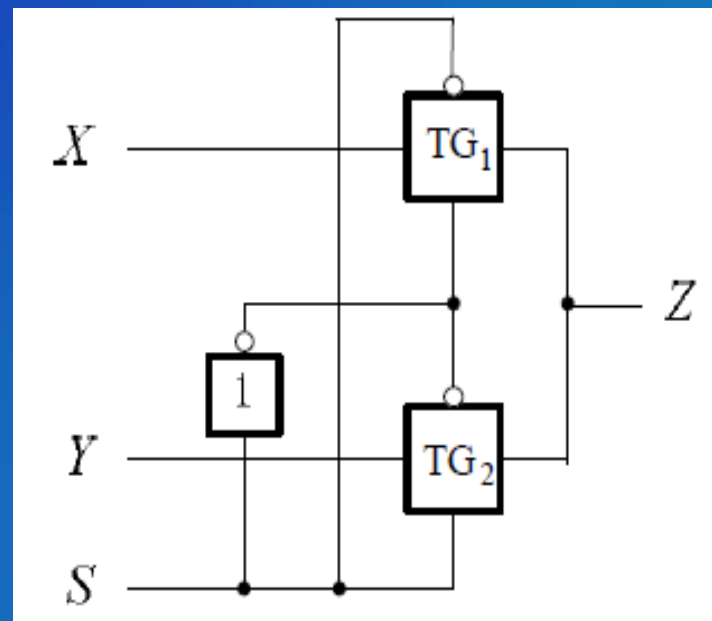
## 传输门的应用

**多路数据选择器**(Multiplexer, 简称MUX)或者叫**数据选择器**: 从多路输入线中选择其中一路到输出线上的一种组合电路。

### 2选1 数据选择:

当地址选择信号 $S=0$  时,  $TG_1$ 导通,  $TG_2$ 截止,  $Z=X$ ;

当 $S=1$  时,  $TG_1$ 截止,  $TG_2$ 导通,  $Z=Y$ 。



由CMOS反相器和传输门构成的数据选择器

# 作业

## 自练题:

- 3.10
- 3.14

## 作业题:

- 3.15 (c)
- 3.16
- 3.20

## 3.6 集成逻辑器件接口的三要素

数字电路或计算机的设计中，往往需要采用多种逻辑器件混合使用。这些器件之间连接时要注意三个要素的匹配——电压、电流、速度。

### TTL与CMOS系列之间的接口问题

两者的器件延时基本接近，基本可以满足相互的时间要求。  
两者连接只需要注意**电压和电流问题**。

$$\text{驱动门的 } U_{OH(\min)} \geq \text{负载门的 } U_{IH(\min)}$$

$$\text{驱动门的 } U_{OL(\max)} \leq \text{负载门的 } U_{IL(\max)}$$

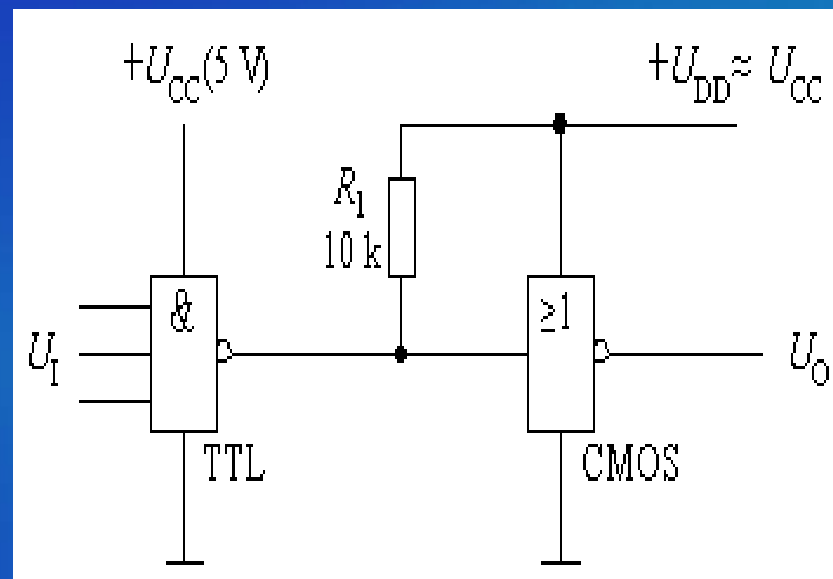
$$\text{驱动门的 } I_{OH(\max)} \geq \text{总负载门的 } I_{IH(\text{总})}$$

$$\text{驱动门的 } I_{OL(\max)} \geq \text{总负载门的 } I_{IL(\text{总})}$$

## a. 用TTL电路驱动CMOS电路

(a) 当用TTL ( $U_{OHmin}=2.4V$ )驱动4000系列和HC系列CMOS电路 ( $U_{IHmin}=3.5V$ )时, 必须设法将TTL电路的输出高电平提升到3.5V以上。此时可以在TTL电路的输出端接一个上拉电阻(一般为 $10K\Omega$ )至电源 $U_{DD}$ 。

(查手册 教材P78)



(b) 用TTL电路驱动HCT系列和ACT系列的CMOS门电路时，因两类电路性能兼容，故可以直接相接，不需外加元件和器件。

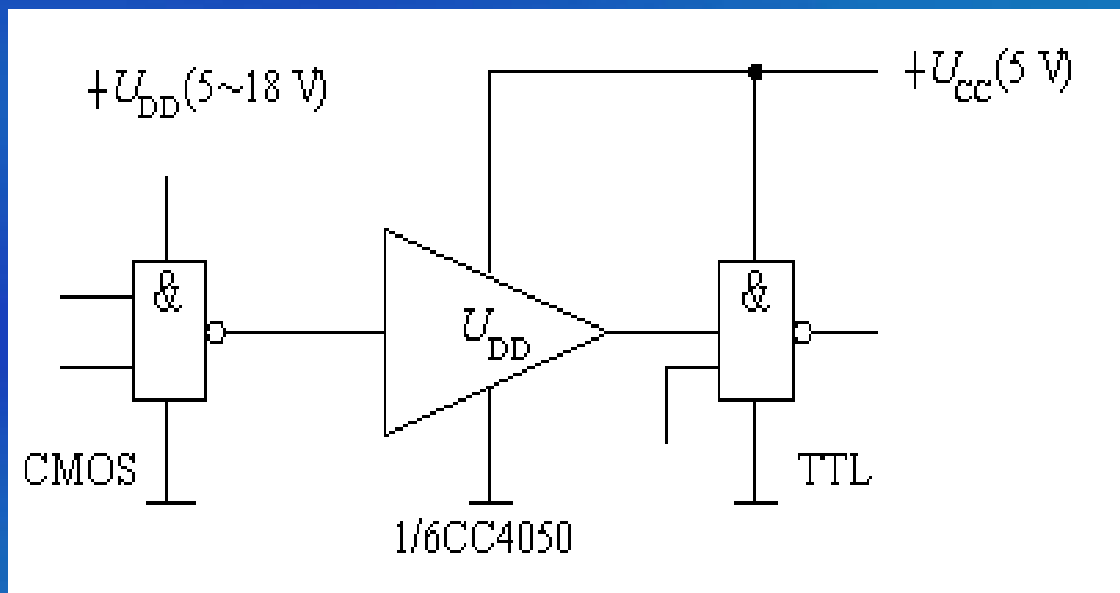
## (2) 用CMOS电路驱动TTL电路

由于CMOS驱动电流较小(特别是输出低电平时)，所以对TTL电路的驱动能力很有限。例如，CD4069(六反相器  $I_{OLmax}=4mA$ )只能直接驱动两个74TTL( $I_{ILmax}=-1.6mA$ )系列负载。4000B CMOS  $I_{OLmax}=0.51mA$ ，输出驱动电流不足以驱动1个TTL门。

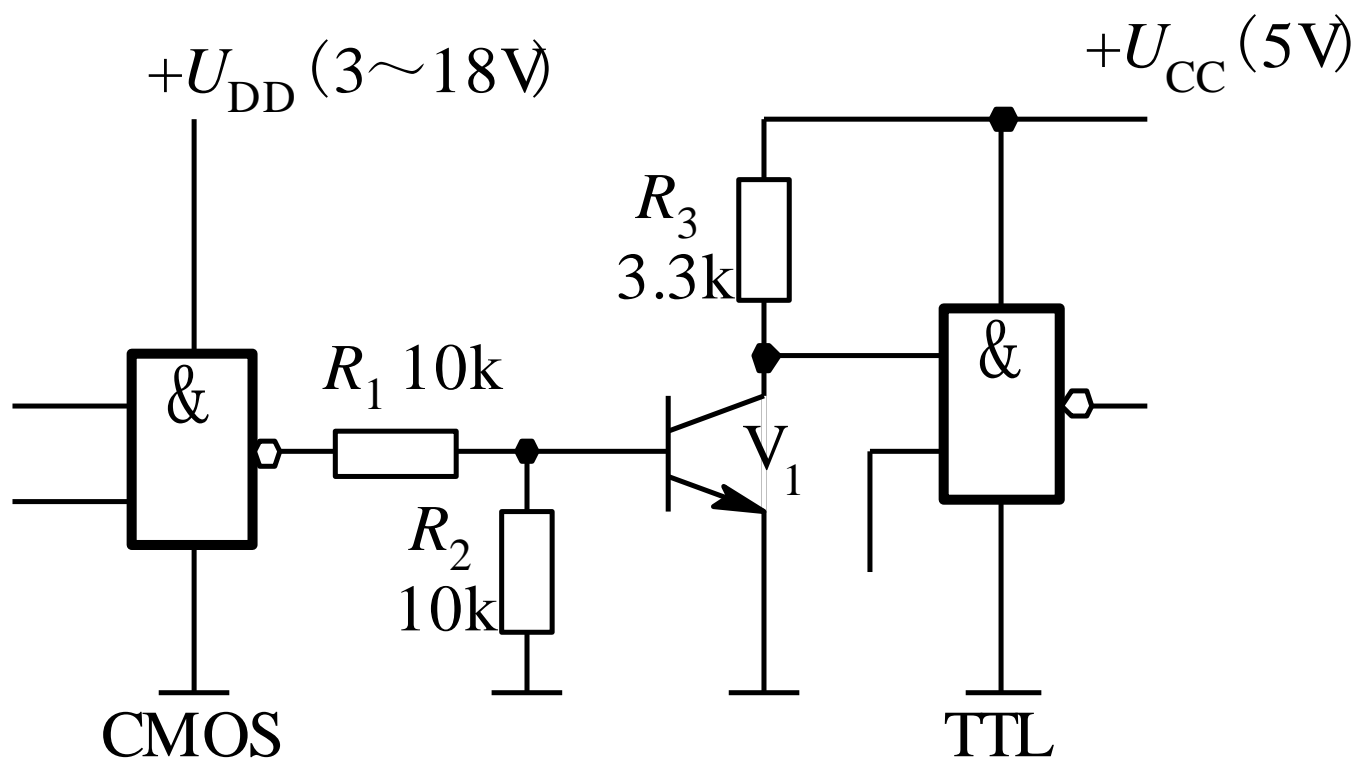
## 提高CMOS电路驱动能力常用的方法：

### 采用CMOS缓冲器

缓冲器4050和反相缓冲器4049是专门设计能够提供高的输出电流。足以驱动2个TTL负载。



用三极管反相器作为接口电路，可用三极管电流放大器扩展电流驱动能力。



任一TTL和CMOS接口时，对于每一种情况，都须参考器件数据手册检查是否存在上述问题。

### 各逻辑系列的负载特性

驱动门	负载门					
	TTL	S-TTL	LS-TTL	AS-TTL	ALS-TTL	CMOS(5V)
TTL	10	8	40	8	40	*>100
S-TTL	12	10	50	10	50	*>100
LS-TTL	5	4	20	4	20	*>100
AS-TTL	12	10	50	10	50	*>100
ALS-TTL	5	10	20	4	20	*>100
CMOS	0	0	1	0	1	>100

\* 设采用了上拉电阻R

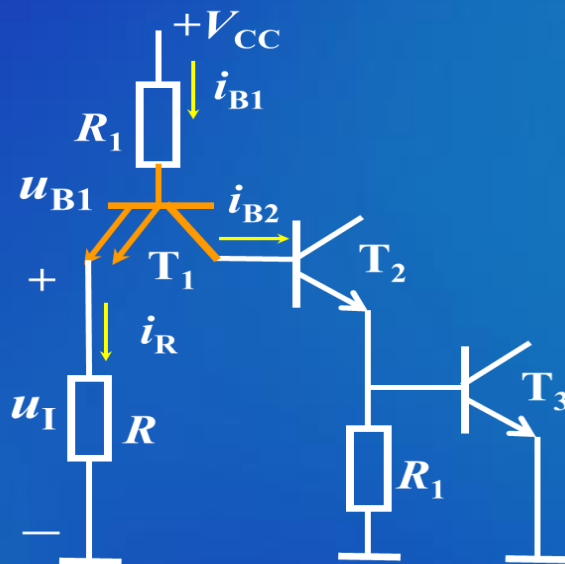


# 逻辑门电路使用中的几个实际问题

## 1. 集成门的输入端负载特性

对TTL, 为保险起见,  $R_{OFF}$ 可按  $1k\Omega$ 考虑,  $R_{ON}$ 可按  $10k\Omega$ 考虑。

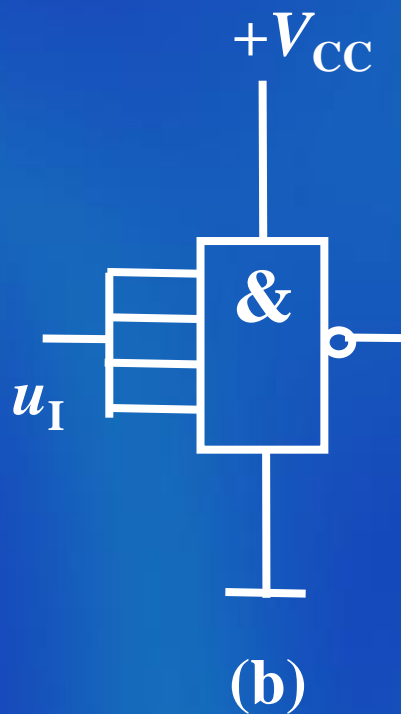
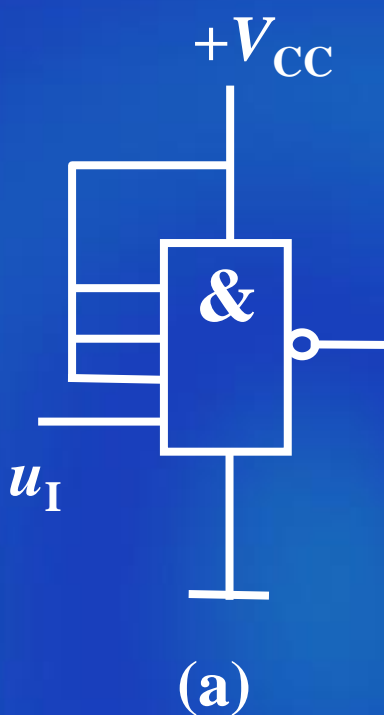
对CMOS逻辑门, 由于其输入电阻非常高, 输入电流几乎为0。因此, CMOS输入端接电阻 $R$ 到地时, 输入端电压几乎不随 $R$ 变化, 输入端电压近似为逻辑0。



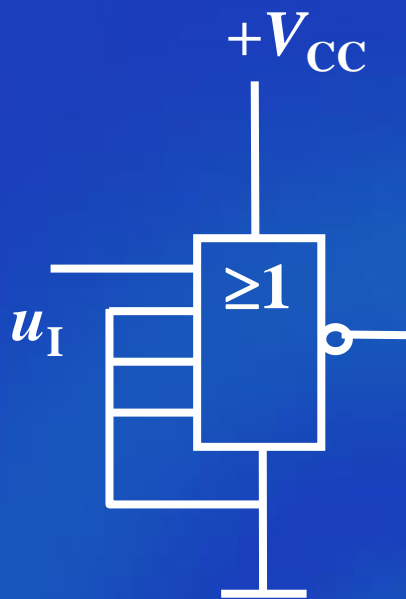
## 2. 不使用的输入端的处理:

悬空? **×** 容易受外界信号干扰

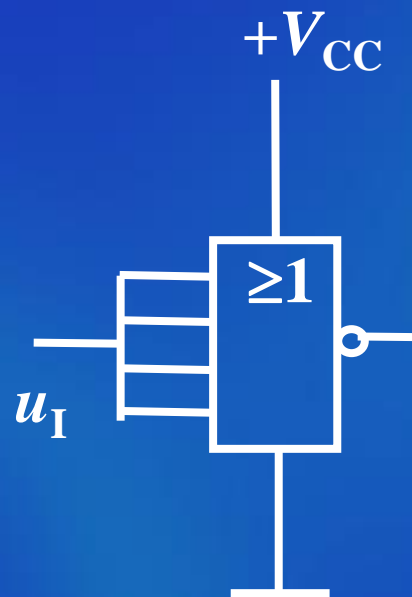
### (1) 与非门不使用输入端的接法



## (2) 或非门不使用输入端的接法



(a)



(b)

### 3. 对输入信号边沿的要求

驱动TTL电路的数字信号必须具有较快的转换时间。当输入信号上升或下降时间大于 $1\mu\text{s}$ 时，输出端有可能出现信号振荡。这种振荡可能引起逻辑错误。

一般组合电路的输入信号上升或下降沿变化速率应小于 $100\text{ns/V}$ ，时序电路输入信号上升或下降沿变化速度应小于 $50\text{ns/V}$ 。

对于边沿缓变的输入信号，必须加整形器，后续介绍的**施密特触发器**可以把缓慢变化的信号边沿变成陡变的边沿。

## 4. 不使用的输出端的处理

不使用的输出端不允许直接接到 $V_{DD}$ 或 $V_{CC}$ ，也禁止输出端直接接地。否则会产生过大的电流而使器件或电源损坏。

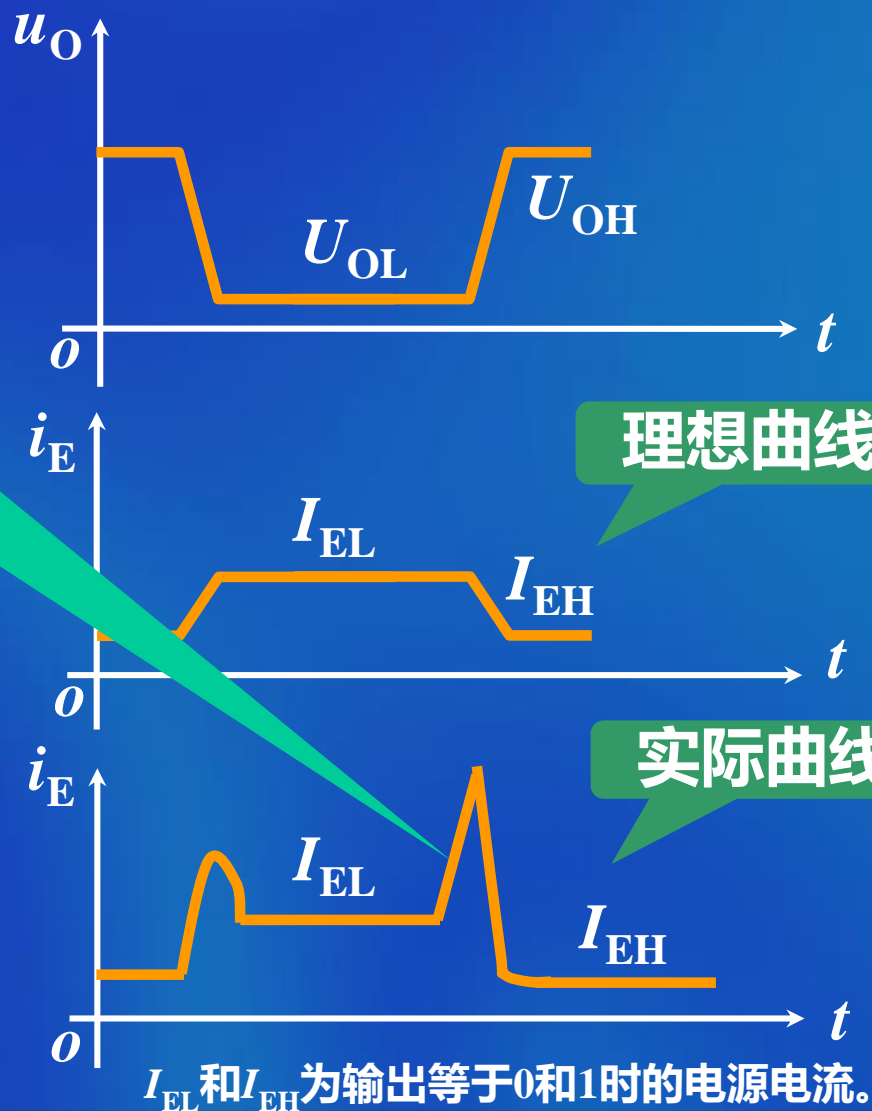
对于TTL系列，除三态门和集电极开路门外，TTL集成电路的输出端不允许直接接在一起。

CMOS集成电路的输出端也不能直接连到一起，否则导通的P沟道管和导通的N沟道管形成低阻通路，造成电源短路而引起器件损坏。

## 5. 尖峰电流的影响

### 电源中的尖峰电流

转折区T3、T4同时导通造成



**尖峰电流通常为正常工作电流的数十倍。**

- a. 电路间相互影响会导致逻辑上的错误;**
- b. 显著增加门的平均功耗。**

## **解决办法**

**在靠近门电路的电源与地之间接一滤波电容。**

- 用10~100 $\mu$ F的大电容与直流电源并联滤除不需要的频率成分。**
- 每一集成芯片加接一0.1 $\mu$ F的电容器滤除开关噪声。**

## 6. 接地问题

**正确的接地对于降低电路的噪声是非常重要的。**

**通常采用的措施：**

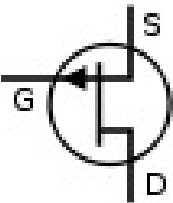
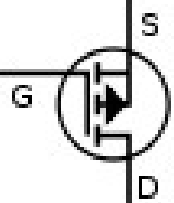
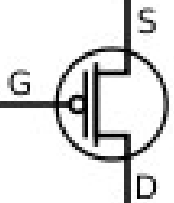
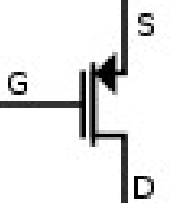
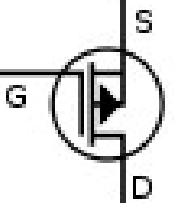
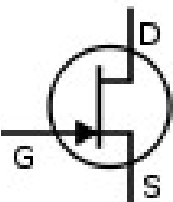
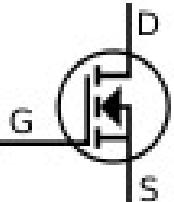
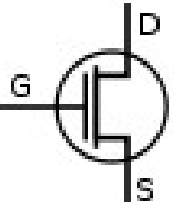
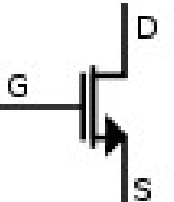
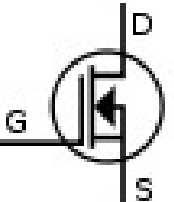
**将电源地和信号地分开、强电与弱电地分开、模拟地和数字地分开。**

**先将各自的地汇集在一点，然后将所有地线用最短的导线连在一起，实现单点接地，以避免相互影响。在印制电路板设计中，尽量加粗加宽地线，避免导线电阻造成各接地点电位不同。**



# 总结

- 介绍半导体器件的开关特性(无需看模电内容)
  - 数电器件一般处于开关状态
  - 晶体管 $J_e$ 偏置确定饱和还是截止
  - MOS管**判断 $U_{GS}$ 是否大于开启电压，确定开关状态

					P - 通道
					N 通道
JFET 结型	MOSFET 的 ENH	MOSFET ENH 增强型		MOSFET 的 DEP 耗尽型	

# 总 结

介绍集成门**内部电路**的工作原理（了解）

介绍集成门的外特性，理解器件的各种参数：（重点）

传输特性

输入特性

输出特性

**电压范围、噪声容限、扇出系数、功耗-时延积**

- **OC门、三态门（重点）**
- **不用端子的处理（重点）**