

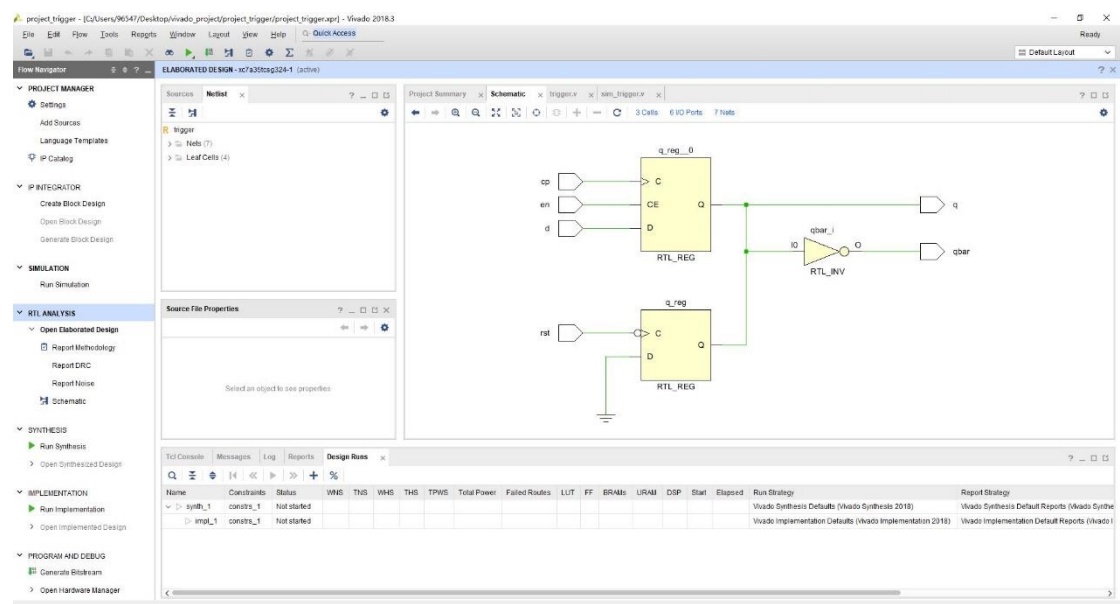
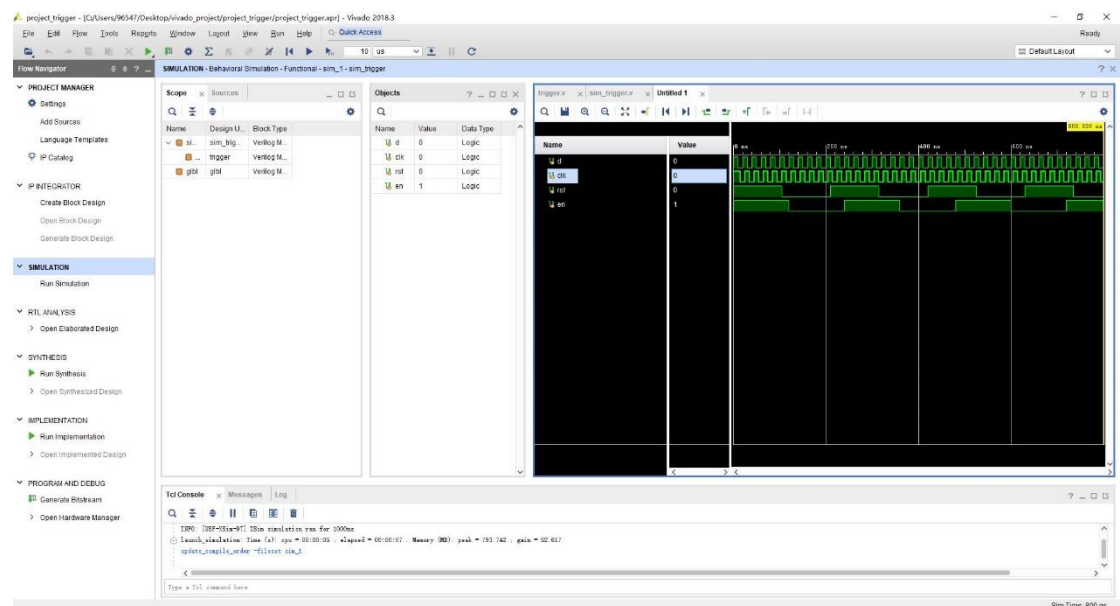
1.实验题目：

设计一个异步复位、同步使能的 D 触发器。该 D 触发器有四个输入端，分别是时钟信号 **clk**（上升沿触发）、复位信号 **rst_n**（下降沿触发）、使能信号 **en**（高有效）和输入信号 **d**，以及一个输出端 **q**。**en=1** 时，**q=d**；**en=0** 时，**q** 保持不变。

要求：进行 Verilog HDL 设计并仿真验证。观察综合后原理图，可以想一想 **rst_n** 信号为什么经过了一个 LUT（实现的是非门逻辑）连接到触发器的 CLR 上。请上传源程序、仿真程序和仿真波形图。

2.源程序、仿真程序压缩包

3.实验结果：



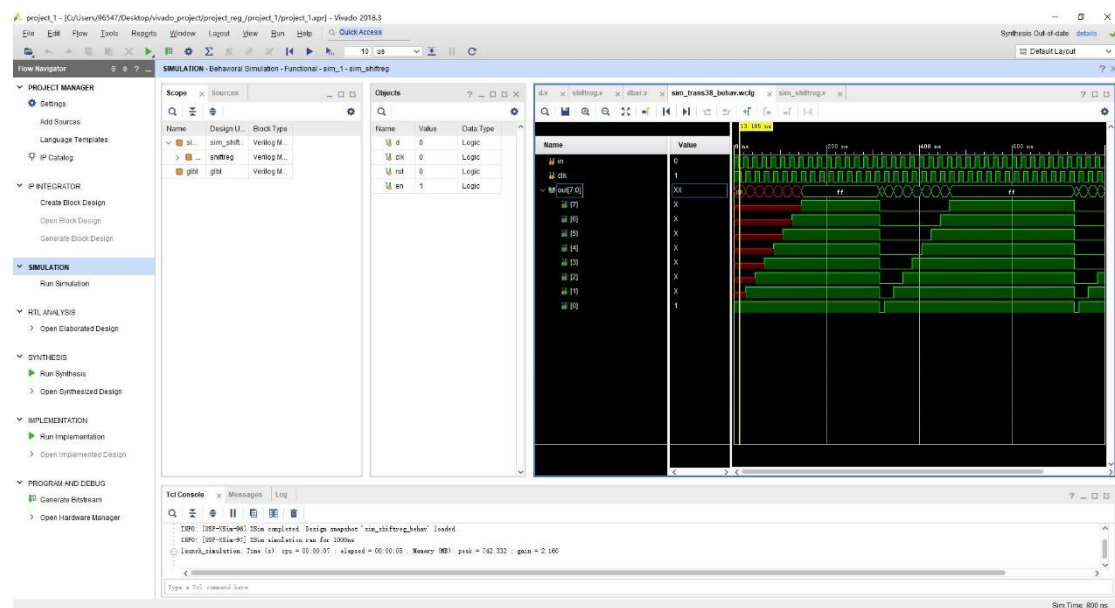
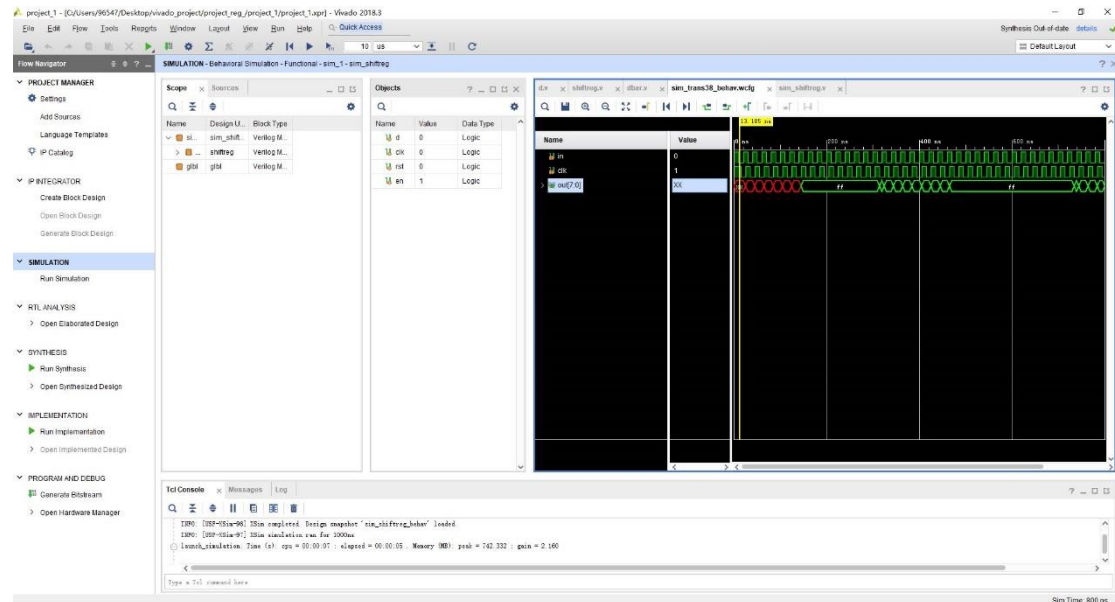
1.实验要求：

(选作) 设计一个串行输入、并行输出的 4 位单向右移移位寄存器。clr 为异步清零信号（上升沿触发），clk 为时钟信号，在时钟的上升沿到来时，将输入的 1 位数据 din 移至输出信号 qout 的最高位，其余位向右移动 1 位。

要求：进行 Verilog HDL 设计并进行仿真验证。请上传源程序及仿真程序和波形图。

2.源程序、仿真程序压缩包

3.实验结果



project_1 - [C:/Users/96547/Desktop/vivado_projects/project_mq/project_1/project_1_xpd - Vivado 2018.3]

File Edit Flow Tools Reports Window Layout View Help QuickAccess

opb_design ERROR

Default Layout

Flow Navigator

- PROJECT MANAGER
 - Settings
 - Add Sources
 - Language Templates
 - IP Catalog
- IP INTEGRATOR
 - Create Block Design
 - Open Block Design
 - Generate Block Design
- SIMULATION
 - Run Simulation
- RTL ANALYSIS
 - Open Elaborated Design
 - Report Methodology
 - Report DRC
 - Report Noise
 - Schematic
- SYNTHESIS
 - Run Synthesis
 - Open Synthesized Design
- IMPLEMENTATION
 - Run Implementation
 - Open Implemented Design
- PROGRAM AND DEBUG
 - Generate Bitstream
 - Open Hardware Manager

ELABORATED DESIGN - xc7a3500g124-1 (active)

Sources

- shifting
- Net (12)
- reg0[0] (dout)
- reg0[1] (dout)
- reg0[2] (dout)
- reg0[3] (dout)
- reg0[4] (dout)
- reg0[5] (dout)
- reg0[6] (dout)
- reg0[7] (dout)

Properties

Select an object to see properties.

Project Summary

Schematic

sim_shifting.v

8 Cells 12 IO Ports 12 Nets

Tcl Console Messages Log Reports Design Runs

Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed Routes	LUT	FF	BRAMs	URAM	DSP	Start	Elapsed	Run Strategy	Report Strategy
✓ synth_1	constraints_1	synth_design Complete								0	16	0.00	0	0	11/10/20, 8:44 PM	00:00:07	Vivado Synthesis Defaults (Vivado Synthesis 2018)	Vivado Synthesis Def
● impl_1	constraints_1	opt_design ERROR													11/10/20, 8:45 PM	00:00:06	Vivado Implementation Defaults (Vivado Implementation 2018)	Vivado Implementatio

File ok: Type LOCAL_CLOCK

1.实验要求：

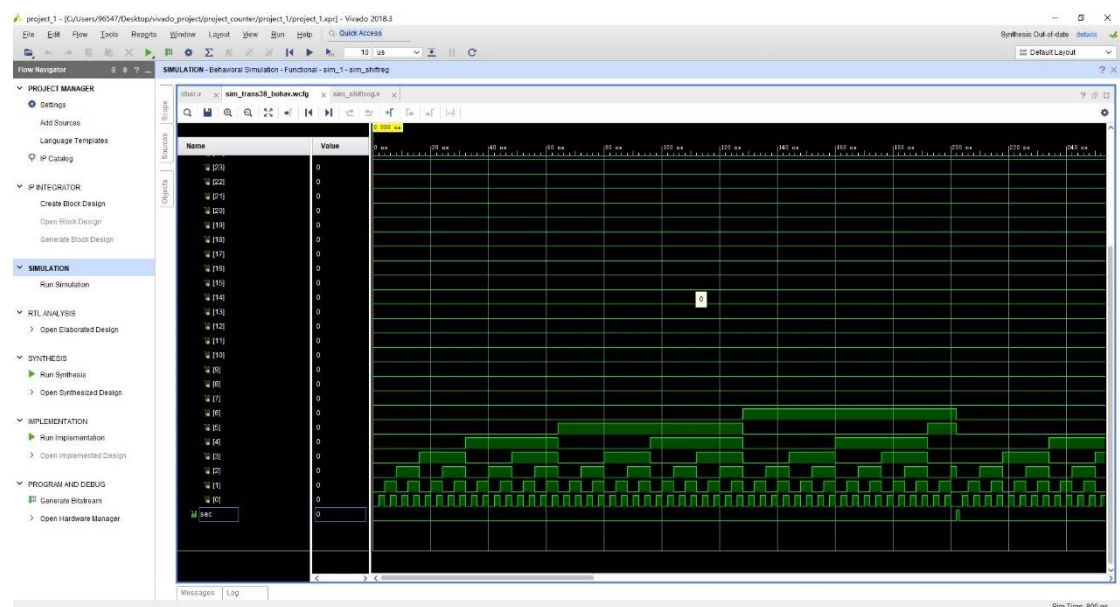
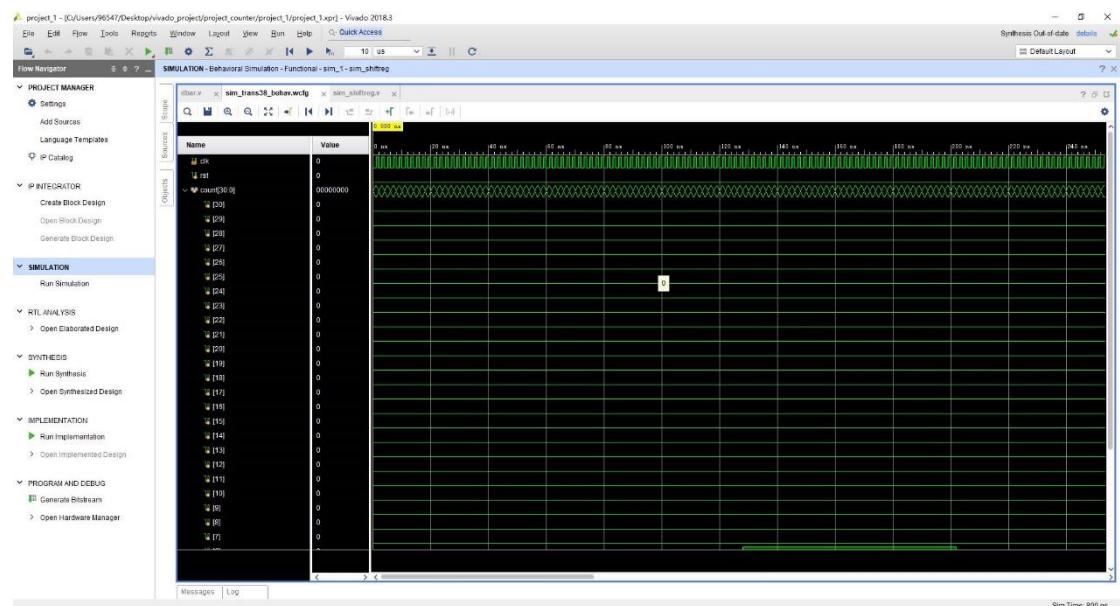
设计一个秒脉冲发生器（计数器设计参考学习通 6.2 节，方法不唯一）。输入为系统时钟信号 `clk`，频率为 100MHz；复位信号可以不加；输出为秒脉冲信号 `sec_pule`，即每秒钟产生一个脉宽为一个时钟周期的高电平。（重点做，上课时带上源程序）

要求：进行 Verilog HDL 设计并进行仿真验证。请上传源程序及仿真程序和波形图。

提高要求（选作）：可以使用参数定义计数值及其位宽，将其变为一个通用计数器，此时可以在仿真中通过参数传递减小计数值，以加快仿真速度。

2.源程序及仿真程序见压缩包

3.实验结果：



The screenshot shows the Vivado IDE interface for a project named 'project_1'. The main window displays the RTL schematic of a counter circuit. The circuit includes a 32-bit counter register (count_reg_0), a 32-bit adder (RTL_ADD), a 32-bit register (RTL_REG), a 32-bit output register (RTL_OT), and a 32-bit register (sec_reg). The counter is initialized to 0 and increments by 1 on each clock edge. The output of the counter is connected to the adder, which is then connected to the output register. The output register is also connected to the sec_reg register. The circuit is synthesized using the Vivado Synthesis tool, and the results are displayed in the bottom status bar.