

## 4 锁存器与触发器

### 4.1 基本概念

### 4.2 锁存器

### 4.3 触发器

## 4.1 基本概念

### 锁存器(latch)和 触发器 (Flip-Flop, 简称FF)

- 是在门电路的基础上引入适当的反馈构成的。
- 是时序逻辑电路的基本单元电路，是具有记忆功能的逻辑器件，可保存一位二值量。

**锁存器：**利用电平控制数据的输入；

**触发器：**利用脉冲边沿控制数据的输入。

## 2. 基本性质

- (1) 具有两个稳定的状态，分别用“1”和“0”表示；
- (2) 由一个稳态到另一稳态，必须有外界信号的触发。否则它将长期稳定在某个状态，即长期保持所记忆的信息；
- (3) 具有两个输出端：原码输出 $Q$ 和反码输出 $\bar{Q}$ 。

一般用 $Q$ 的状态代表锁存或触发器的状态。

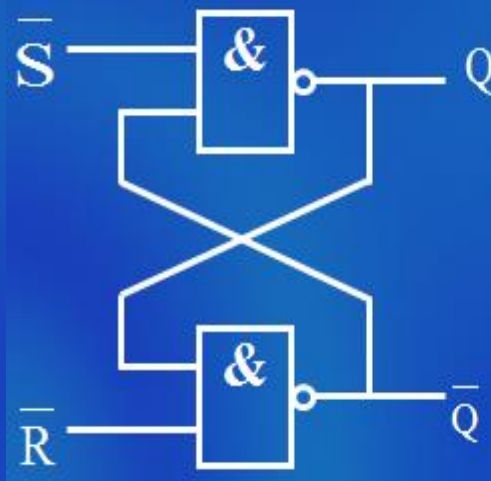
## 4.2 锁存器

基本RS锁存器电路结构简单，其它类型都是在此基础上发展而来的。

### 电路结构及功能特点

两个互补输出端 $Q$ 和 $\bar{Q}$ 。

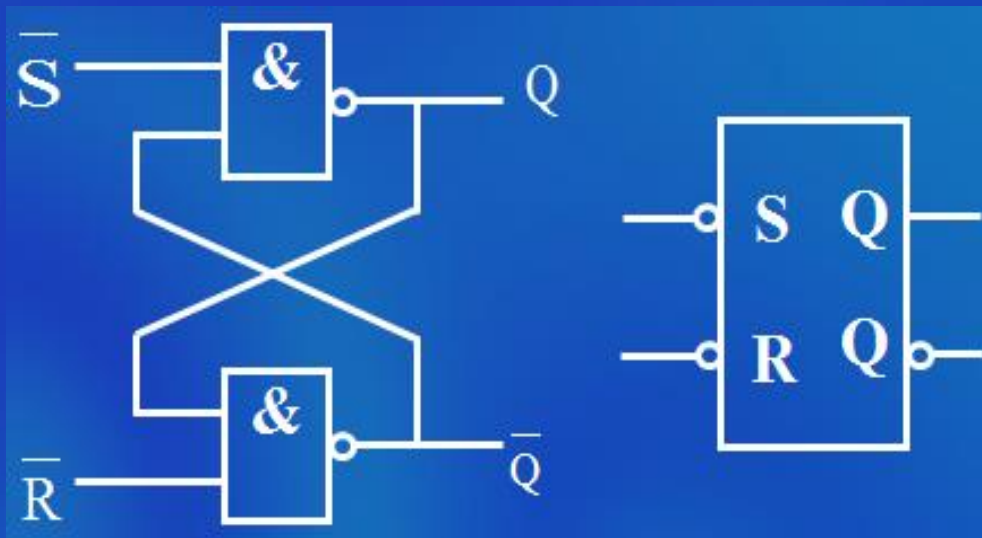
$\bar{R}$ 、 $\bar{S}$ 为锁存器的两个输入端(或称激励端)。



(a) 逻辑图



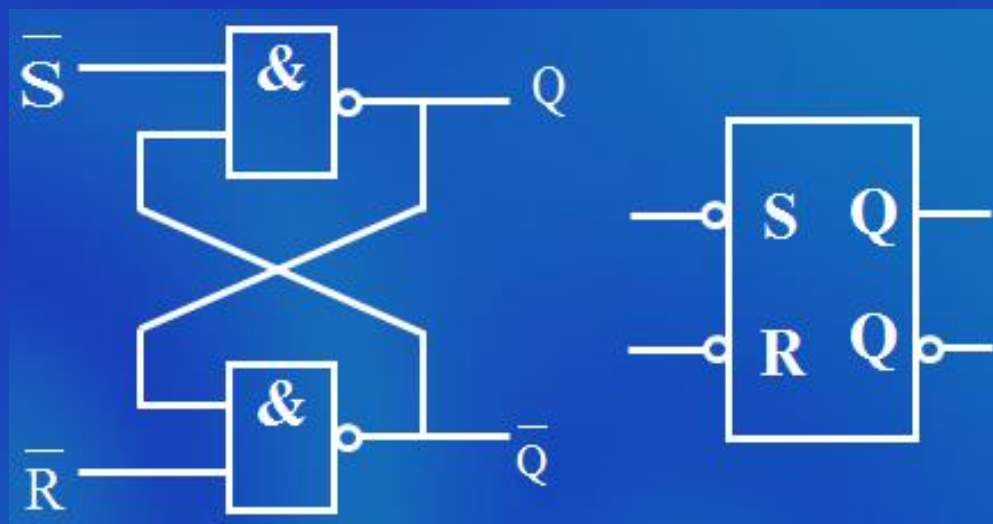
(b) 符号图



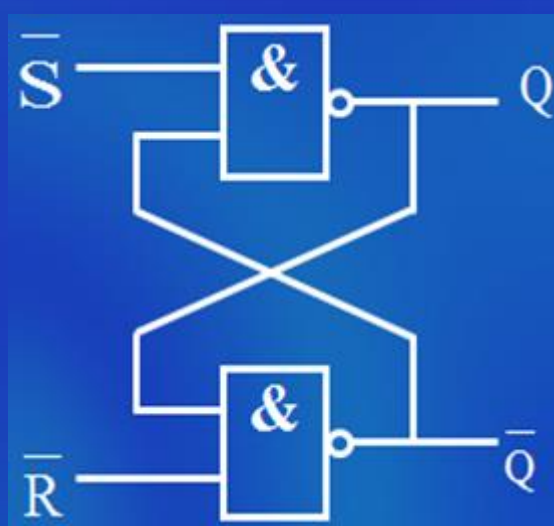
当输入信号变化时，锁存器可以从一个稳定状态转换到另一个稳定状态。

把输入信号作用前的状态称为**现在状态**(简称**现态**)，用  $Q^n$  (或  $Q$ ) 表示；

把在输入信号作用后所进入的状态称为**下一状态**(简称**次态**)，用  $Q^{n+1}$  表示。



- a. 当 $\bar{R}=0$ ,  $\bar{S}=1$ 时,  $Q^{n+1}=0$ ,  $\bar{Q}^{n+1}=1$ , 处于置0(复位)状态。
- b. 当 $\bar{R}=1$ ,  $\bar{S}=0$ 时,  $Q^{n+1}=1$ ,  $\bar{Q}^{n+1}=0$ , 处于置1(置位)状态。
- c. 当 $\bar{R}=1$ ,  $\bar{S}=1$ 时, 锁存器状态不变, 即 $Q^{n+1}=Q^n$ , 处于保持(记忆)状态。



**1**

快 0 慢 1

?

输入同时撤销后状态不定

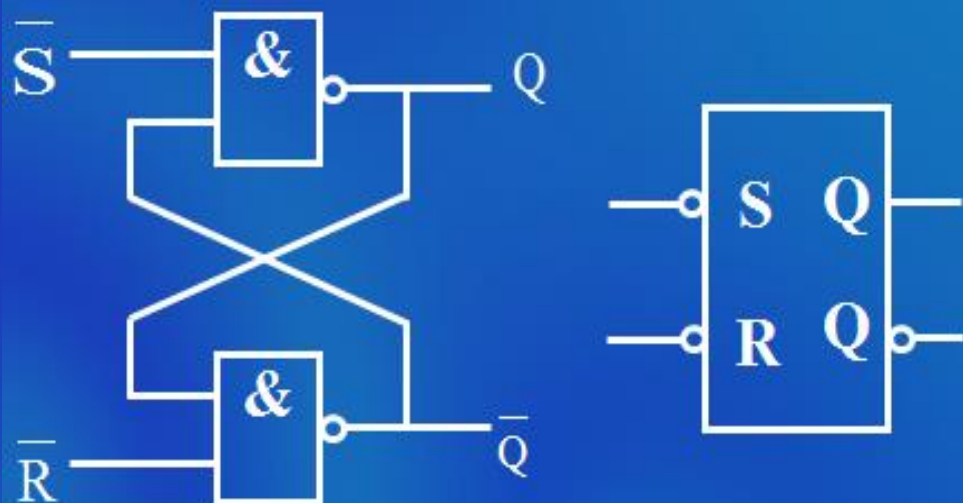
**1**

慢 1 快 0

d. 当 $\bar{R}=0$ ,  $\bar{S}=0$ 时, 两个与非门输出均为1(高电平), 此时破坏了互补输出关系, 这种情况是不允许的。

因此规定输入信号 $\bar{R}$ 、 $\bar{S}$ 不能同时为0, 它们应遵循 $\bar{R}+\bar{S}=1$ 的约束条件。





可见，基本RS锁存器具有置0、置1和保持的逻辑功能，通常 $S$ 称为置1端或置位(SET)端， $R$ 称为置0或复位(RESET)端。

该锁存器又称为置位—复位锁存器或RS锁存器。

因为锁存器是以 $\bar{R}$ 和 $\bar{S}$ 为低电平时被清0和置1的，所以称 $\bar{R}$ 、 $\bar{S}$ 低电平有效。



将锁存器的次态 $Q^{n+1}$ 与现态 $Q^n$ 、输入信号之间的逻辑关系用表格形式表示出来，这种表格就称为**状态转移真值表**，简称**状态表**。

状态转移  
真值表

$\bar{R}$	$\bar{S}$	$Q^n$	$Q^{n+1}$	说 明
0	0	0	1	不允许
0	0	1	1	
0	1	0	0	置0
0	1	1	0	$Q^{n+1}=0$
1	0	0	1	置1
1	0	1	1	$Q^{n+1}=1$
1	1	0	0	保持
1	1	1	1	$Q^{n+1}=Q^n$

## 次态卡诺图

$\bar{R}$	$\bar{S}$	$Q^n$	$Q^{n+1}$	说 明
0	0	0	1	不允许
0	0	1	1	
0	1	0	0	置0 $Q^{n+1}=0$
0	1	1	0	
1	0	0	1	置1 $Q^{n+1}=1$
1	0	1	1	
1	1	0	0	保持 $Q^{n+1}=Q^n$
1	1	1	1	

$\bar{R} \ \bar{S}$		00	01	11	10
$Q$	0	×	0	0	1
	1	×	0	1	1
		$Q^{n+1}$			

## 特征方程(状态方程)

描述锁存器逻辑功能的函数表达式称为特征方程或状态方程、次态方程。

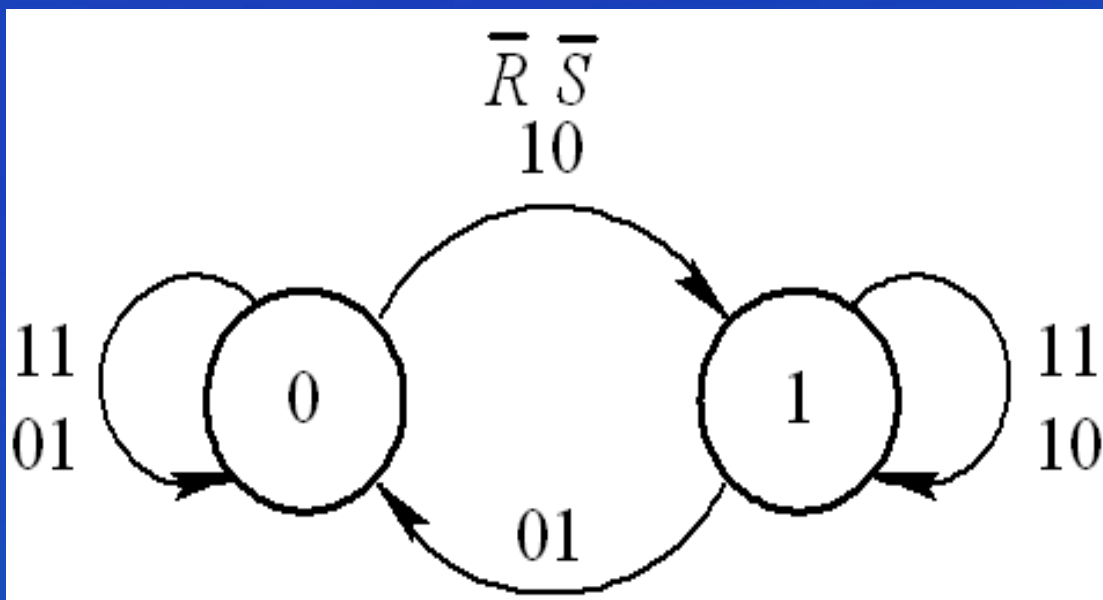
对次态卡诺图化简，  
得特征方程为

$$\begin{cases} Q^{n+1} = \bar{S} + \bar{R}Q^n \\ \bar{S} + \bar{R} = 1 \quad (\text{约束条件}) \end{cases}$$

$\bar{R} \ \bar{S}$	00	01	11	10
$Q^n$ 0	x	0	0	1
$Q^n$ 1	x	0	1	1
$Q^{n+1}$				

## 状态转移图(状态图)

状态转移图是用图形方式来描述锁存/触发器的状态转移规律。

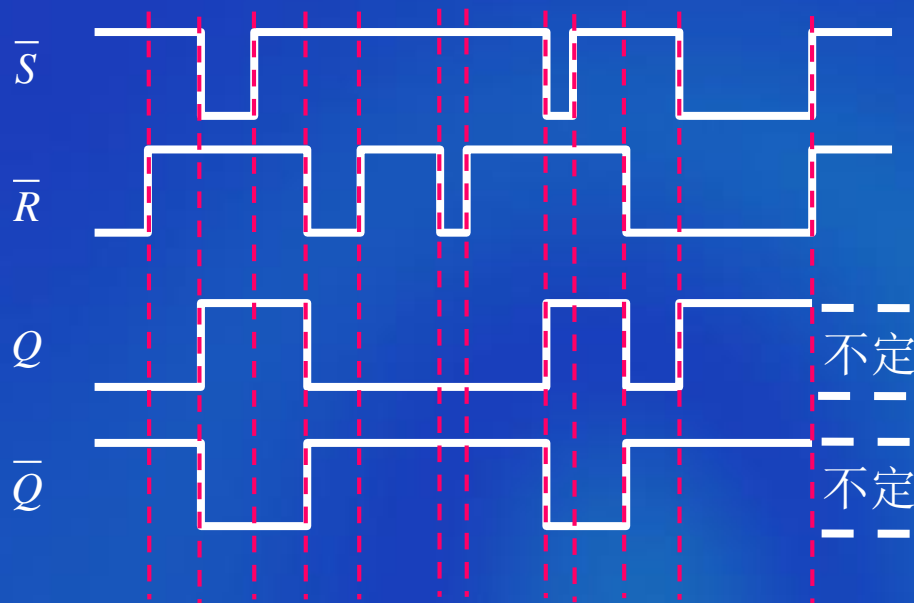


图中两个圆圈分别表示触发器的两个稳定状态；  
箭头表示在输入信号作用下状态转移的方向；  
箭头旁的标注表示转移条件。

$\bar{R}$	$\bar{S}$	$Q^n$	$Q^{n+1}$	说明
0	0	0	1	不允许
0	0	1	1	
0	1	0	0	置0
0	1	1	0	$Q^{n+1}=0$
1	0	0	1	置1
1	0	1	1	$Q^{n+1}=1$
1	1	0	0	保持
1	1	1	1	$Q^{n+1}=Q^n$

## 波形图

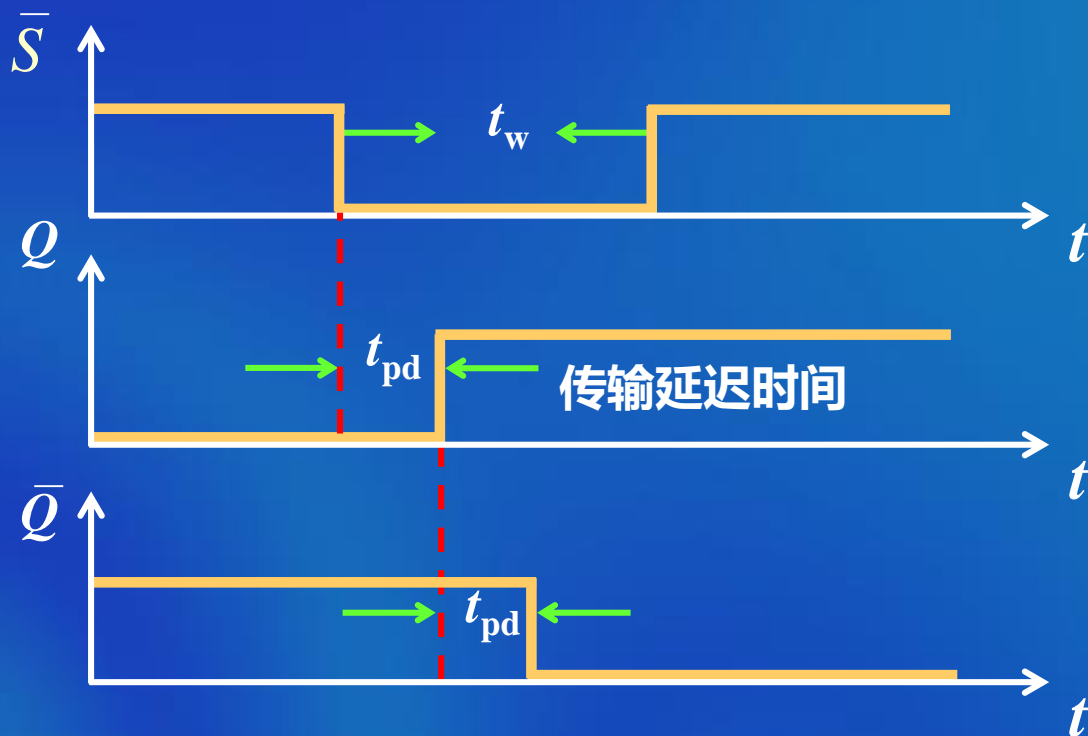
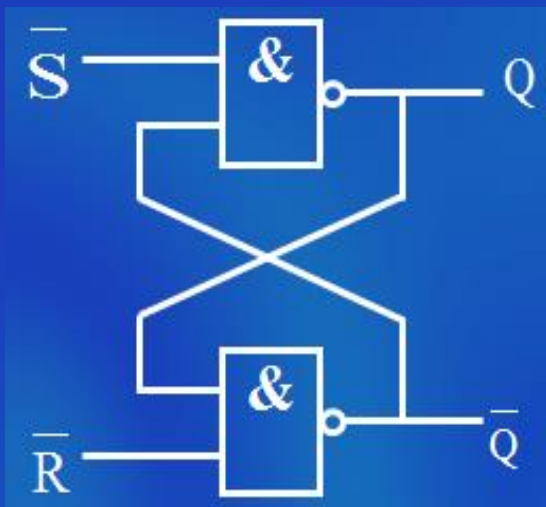
工作波形图又称时序图，它反映了输出状态随时间和输入信号变化的规律。



$\overline{R} \ \overline{S}$	$Q$	$Q$ 状态说明
0 0	1	状态不定
0 1	0	置0
1 0	1	置1
1 1	$Q$	保持原状态

## 动态特性

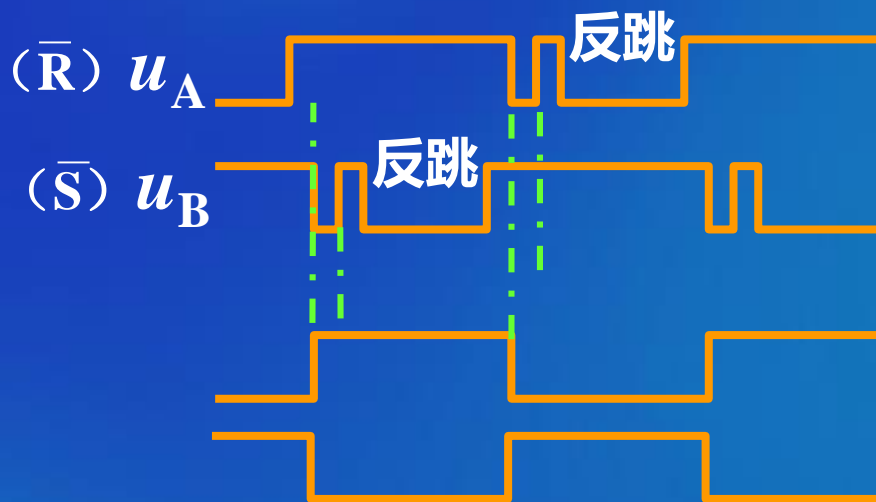
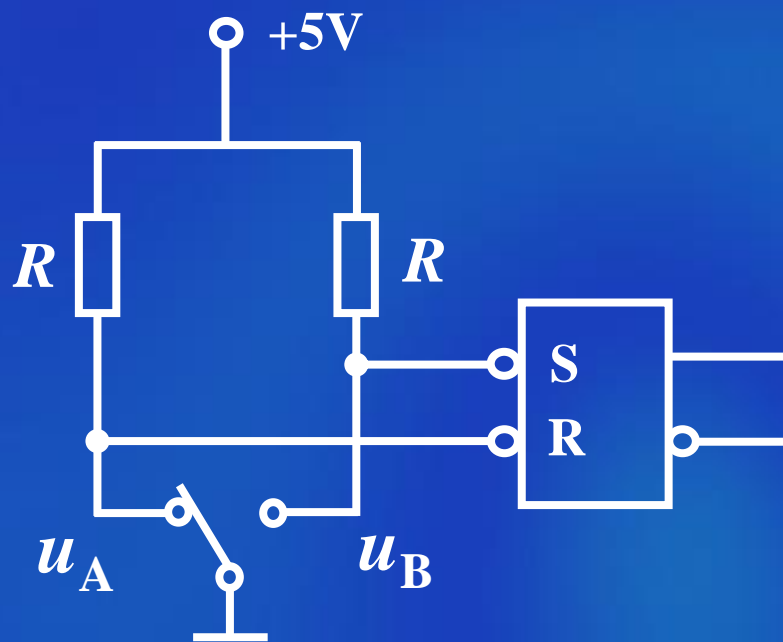
在 $\bar{S}$ 端加负脉冲的作用下，锁存器翻转过程的波形图。



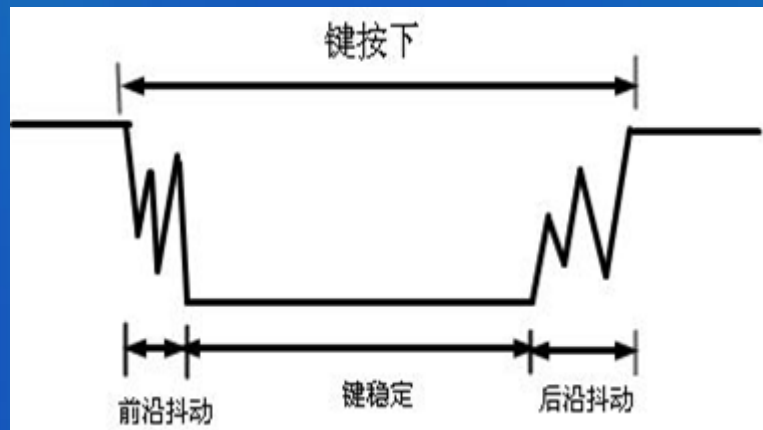
由图可知，只要负脉冲的宽度 $t_w$ 大于 $2t_{pd}$ ，锁存器就能建立起稳定的新状态。故要求 $\bar{R}$ 和 $\bar{S}$ 有效信号宽度 $t_w > 2t_{pd}$ 。

## 基本RS触发器的应用

1. 作为随机存储器
2. 用于防抖动开关



机械键盘约10ms左右抖动

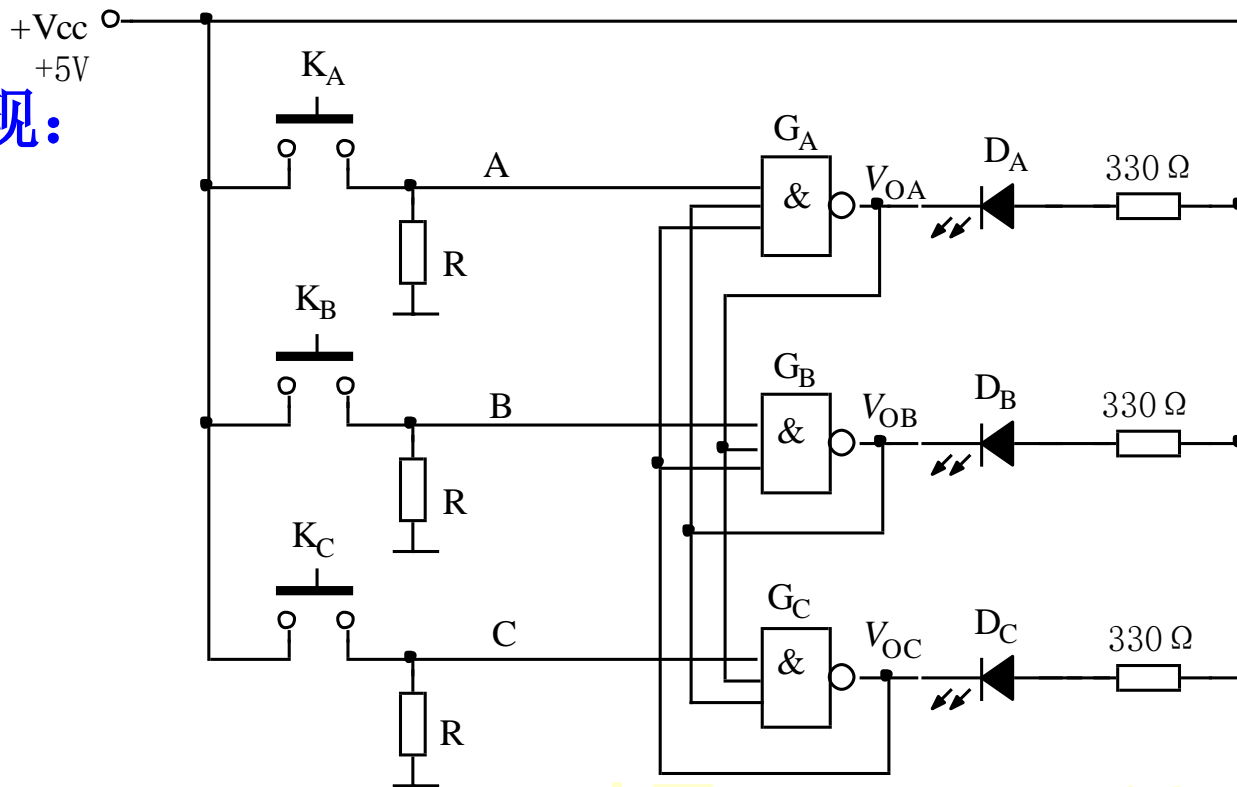




# 基本RS锁存器应用举例

设计一个3人抢答电路。3人A、B、C各控制一个按键开关 $K_A$ 、 $K_B$ 、 $K_C$ 和一个发光二极管 $D_A$ 、 $D_B$ 、 $D_C$ 。谁先按下开关，谁的发光二极管亮，同时使其他人的抢答信号无效。

用TTL门电路实现：  
图中 $R < R_{off}$



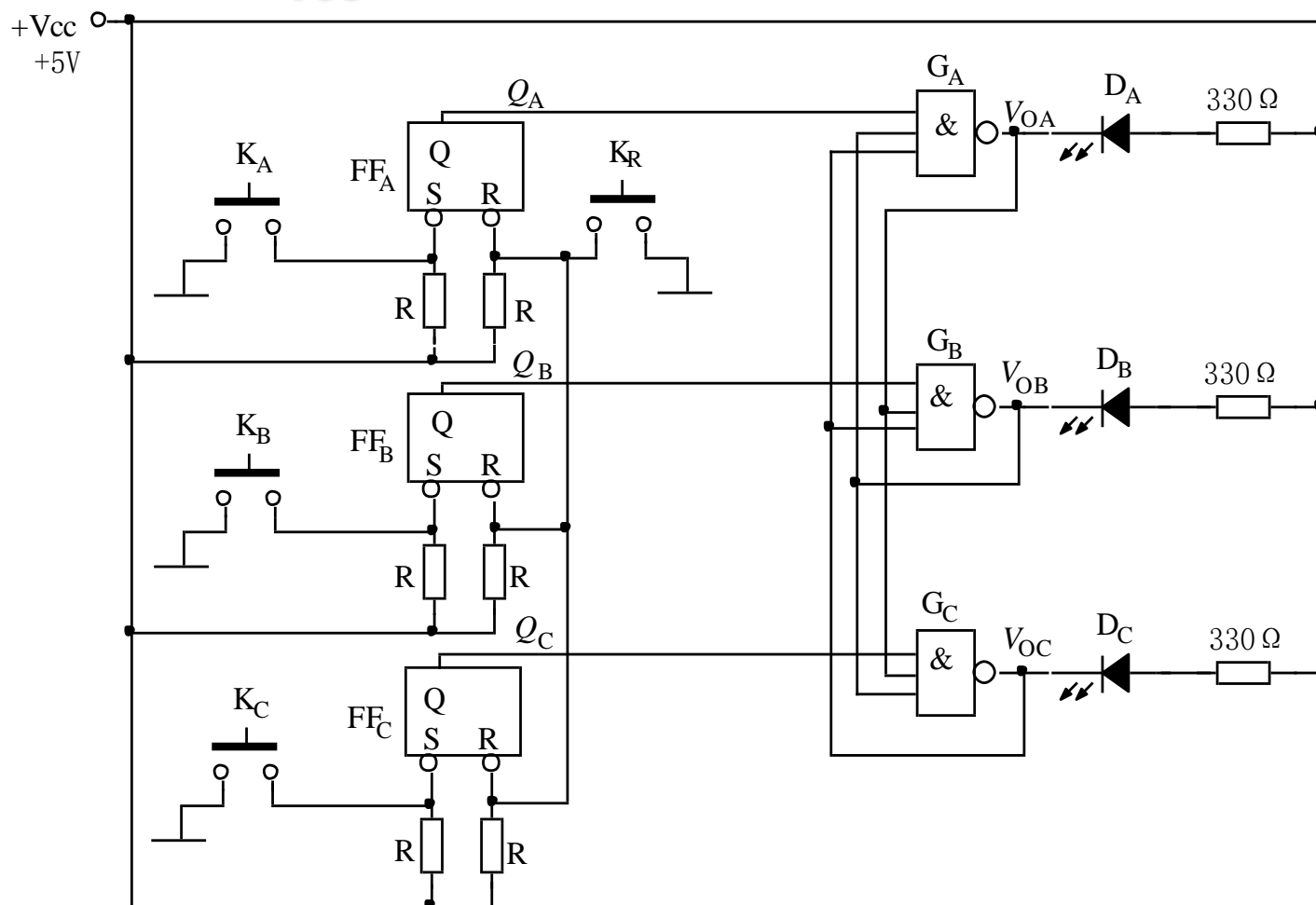
上页

下页

返回

# 消除抖动三人抢答电路——基本RS锁存器

( P<sub>105</sub> 4.14题)



## 时钟控制RS锁存器

在实际应用中，往往要求多个锁存器在一个控制信号作用下按节拍反映某时刻的输入信号状态，该控制信号**像时钟一样控制锁存器翻转，故称为时钟脉冲**(Clock Pulse, 简称CP)。

只有在CP高电平期间才根据输入信号翻转；CP低电平期间，输入信号不起作用，锁存器状态保持不变。

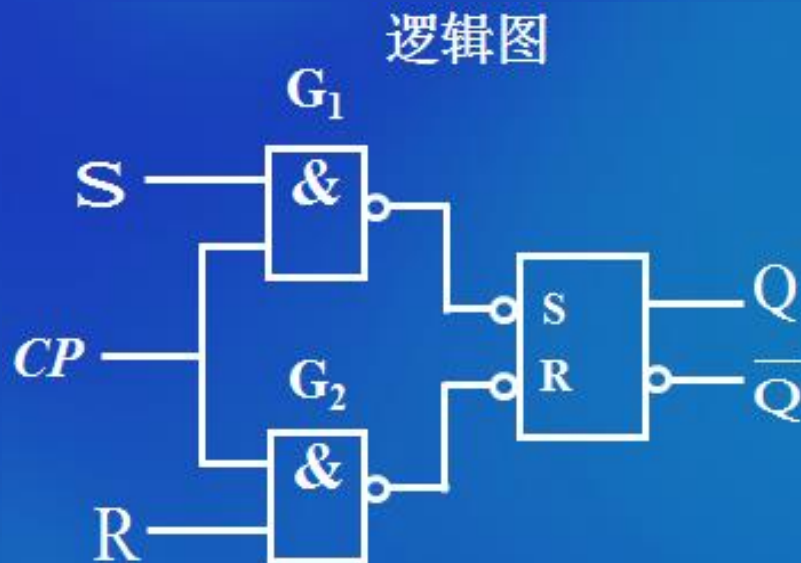
# 时钟控制RS锁存器

## 1. 电路结构及工作原理

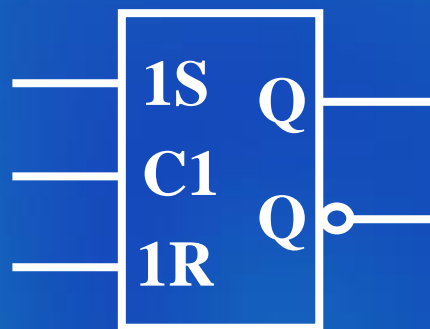
$G_1$ 、 $G_2$ 门构成引导电路。

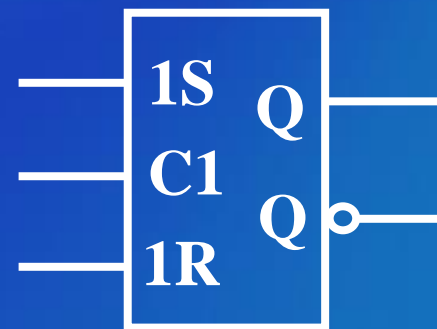
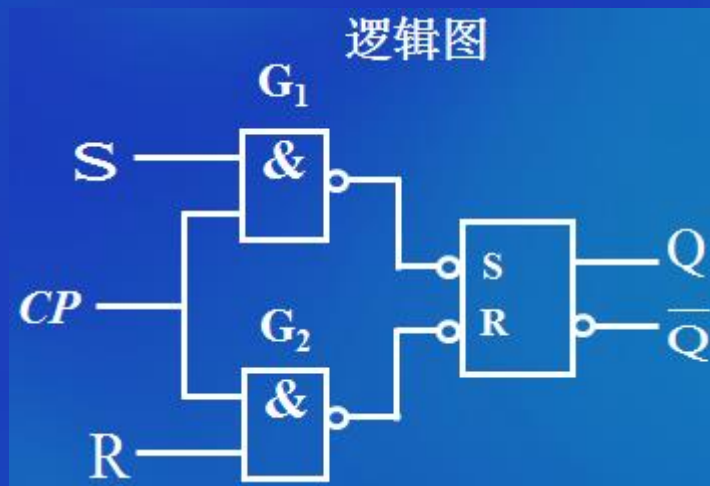
$R$ 为置0端， $S$ 为置1端。

$CP$ 为时钟输入端。



逻辑符号





当 $CP=0$ 时,  $G_1$ 、 $G_2$ 门被封锁, 输出不变化;

当 $CP=1$ 时,  $G_1$ 、 $G_2$ 门开启,  $R$ 、 $S$ 信号才有可能使锁存器翻转。

$R=0, S=1, Q^{n+1}=1$ , 置“1”;

$R=1, S=0, Q^{n+1}=0$ , 置“0”;

$R=S=0, Q^{n+1}=Q^n$ , 状态不变;

$R=S=1$ , 失效, 工作时不允许。

## 2. 状态转换表

$CP$	$S$	$R$	$Q^n$	$Q^{n+1}$	说 明
0	×	×	0	0	保持原状态不变
0	×	×	1	1	
1	0	0	0	0	$Q^{n+1} = Q^n$
1	0	0	1	1	
1	0	1	0	0	$Q^{n+1} = 0$
1	0	1	1	0	
1	1	0	0	1	$Q^{n+1} = 1$
1	1	0	1	1	
1	1	1	0	1*	不允许状态
1	1	1	1	1*	

### 3. 次态卡诺图

### 4. 特征方程

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ R \cdot S = 0 \end{cases}$$

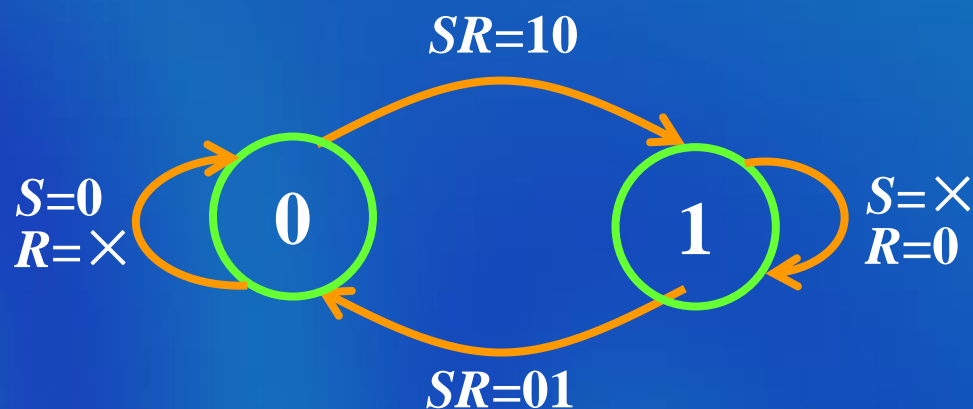
(约束条件)

$Q^{n+1}$

$SR$	$00$	$01$	$11$	$10$
$Q^n$				
0	0	0	×	1
1	1	0	×	1

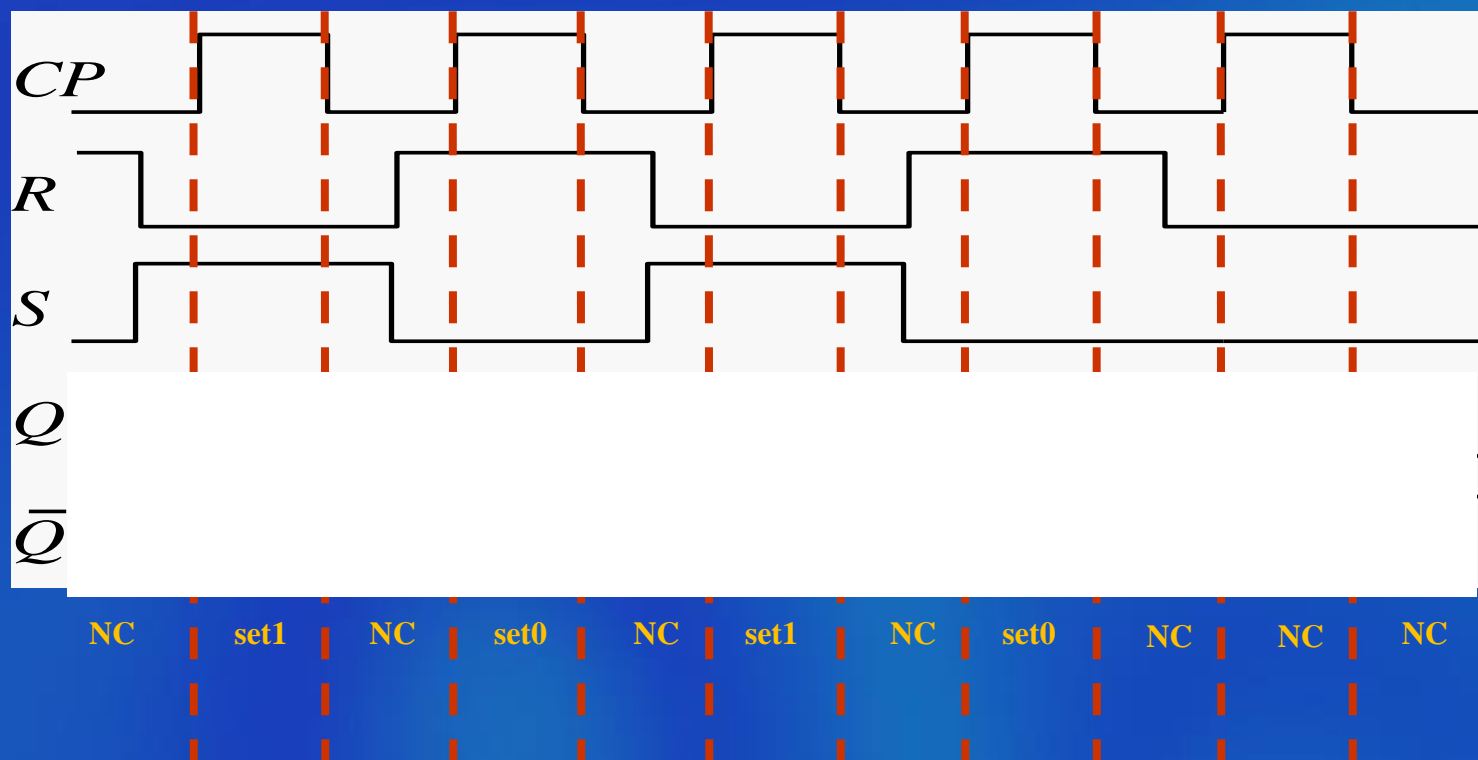
### 5. 状态图

CP	S	R	$Q^n$	$Q^{n+1}$	说 明
0	×	×	0	0	保持原状态不变
0	×	×	1	1	
1	0	0	0	0	$Q^{n+1} = Q^n$
1	0	0	1	1	
1	0	1	0	0	$Q^{n+1} = 0$
1	0	1	1	0	
1	1	0	0	1	$Q^{n+1} = 1$
1	1	0	1	1	
1	1	1	0	1*	不允许状态
1	1	1	1	1*	





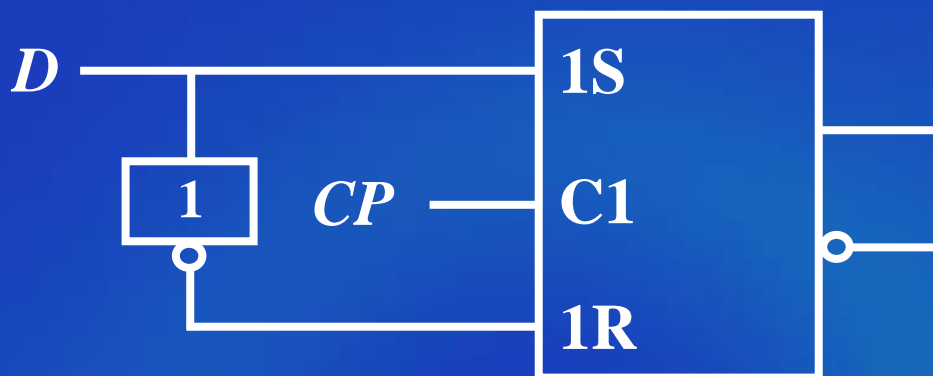
## 6. 波形图



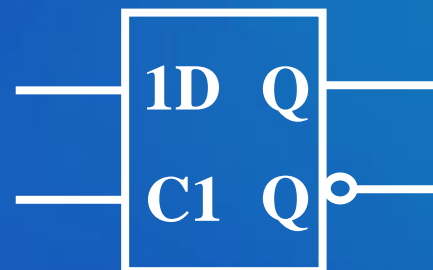
# 时钟控制D锁存器

## 1. 电路结构及符号

逻辑图



逻辑符号图

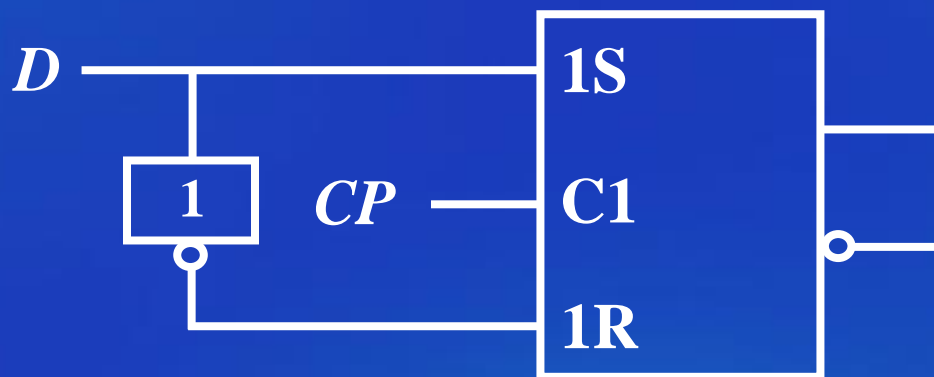


在RS锁存器的输入端增加一个非门，则自动满足约束条件

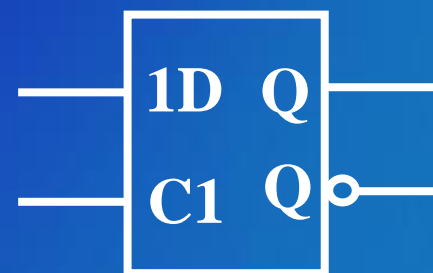
$$R \cdot S = 0$$

称为时钟控制D锁存器, 用于单输入信号的情况。

逻辑图



逻辑符号图



## 2. 功能描述

当 $CP=0$  时，不工作，处于维持状态。

当 $CP=1$  时，功能如下：

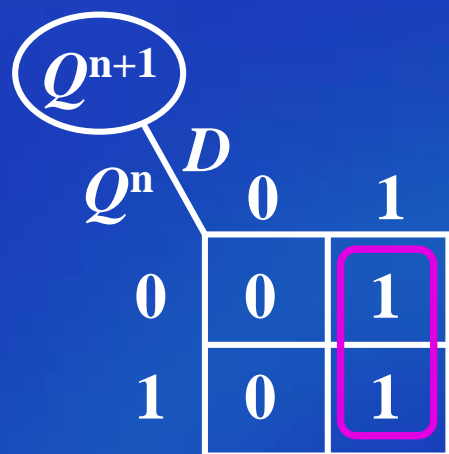
$$D=0, Q^{n+1}=0; \quad D=1, Q^{n+1}=1。$$

### 3. 真值表

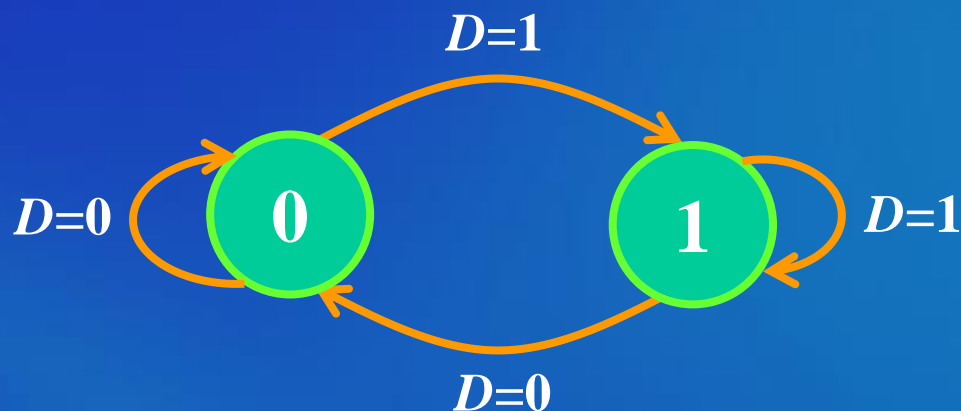
$CP$	$D$	$Q^n$	$Q^{n+1}$	说明
0	×	0	0	状态不变
0	×	1	1	
1	0	0	0	清 0
1	0	1	0	
1	1	0	1	置 1
1	1	1	1	

## 4. 次态卡诺图和状态转换图

次态卡诺图



状态转换图

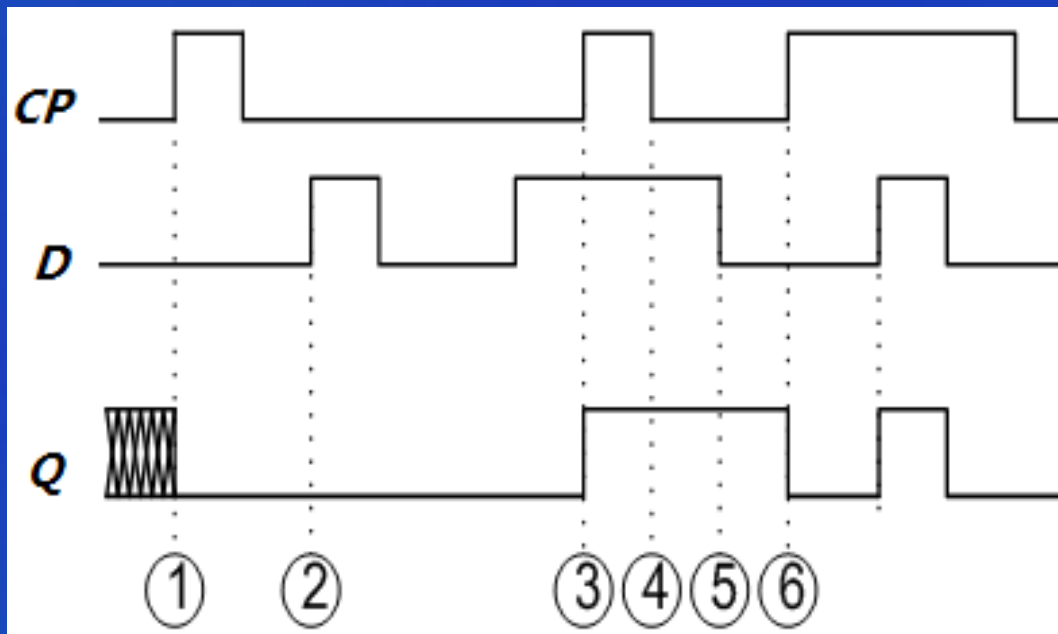


## 5. 特性方程

$$Q^{n+1} = D$$

CP	D	$Q^n$	$Q^{n+1}$	说明
0	×	0	0	状态不变
0	×	1	1	
1	0	0	0	清 0
1	0	1	0	
1	1	0	1	置 1
1	1	1	1	

## 6. 工作波形



- ①锁存器初态不确定，一直到CP高电平，输出Q随输入D变化；
- ②CP触发电平无效，输出Q不随输入D变化；
- ③CP触发电平有效，输出Q随输入D变化；
- ④CP触发电平无效，输出Q记忆D的值；
- ⑤与②相同；
- ⑥CP触发电平有效，输出Q随输入D变化。

## 锁存器在微处理器中的应用

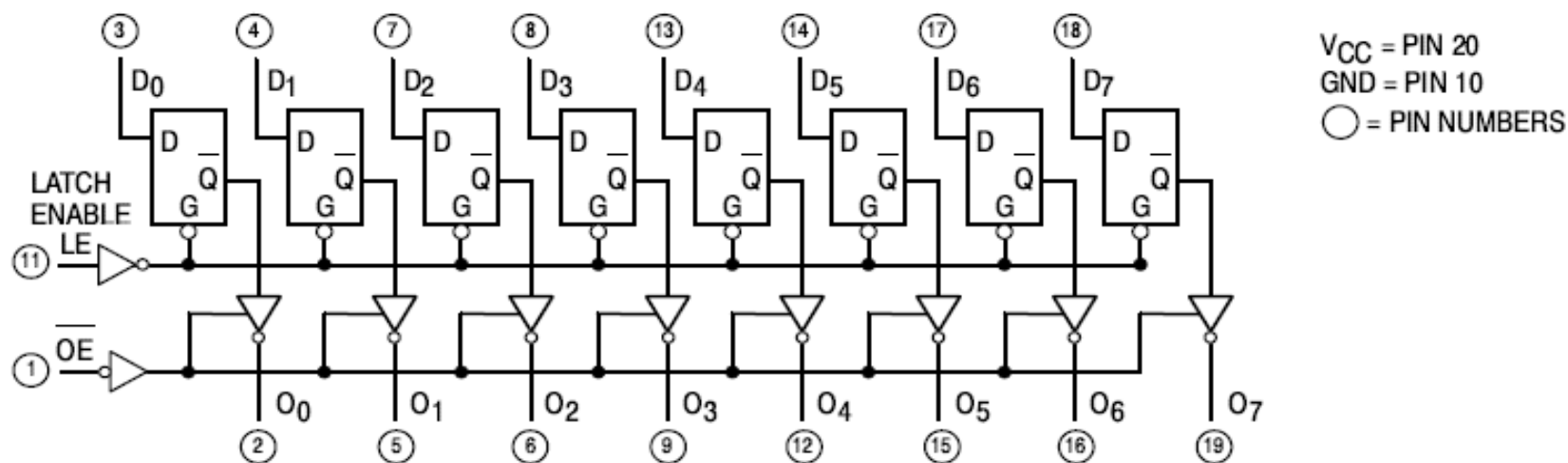
由于次态 $Q^{n+1}$ 随输入D的状态而定，故常用来锁存数据。

# The 74LS373 D latch

- 8个三态输出的锁存器构成。可与总线接口。
- LE为高时，锁存器对数据是透明的因为数据随输入D而变化。当LE为低时，数据被锁存。
- 当OE为低时，数据出现在总线上。OE为高时为高阻态。

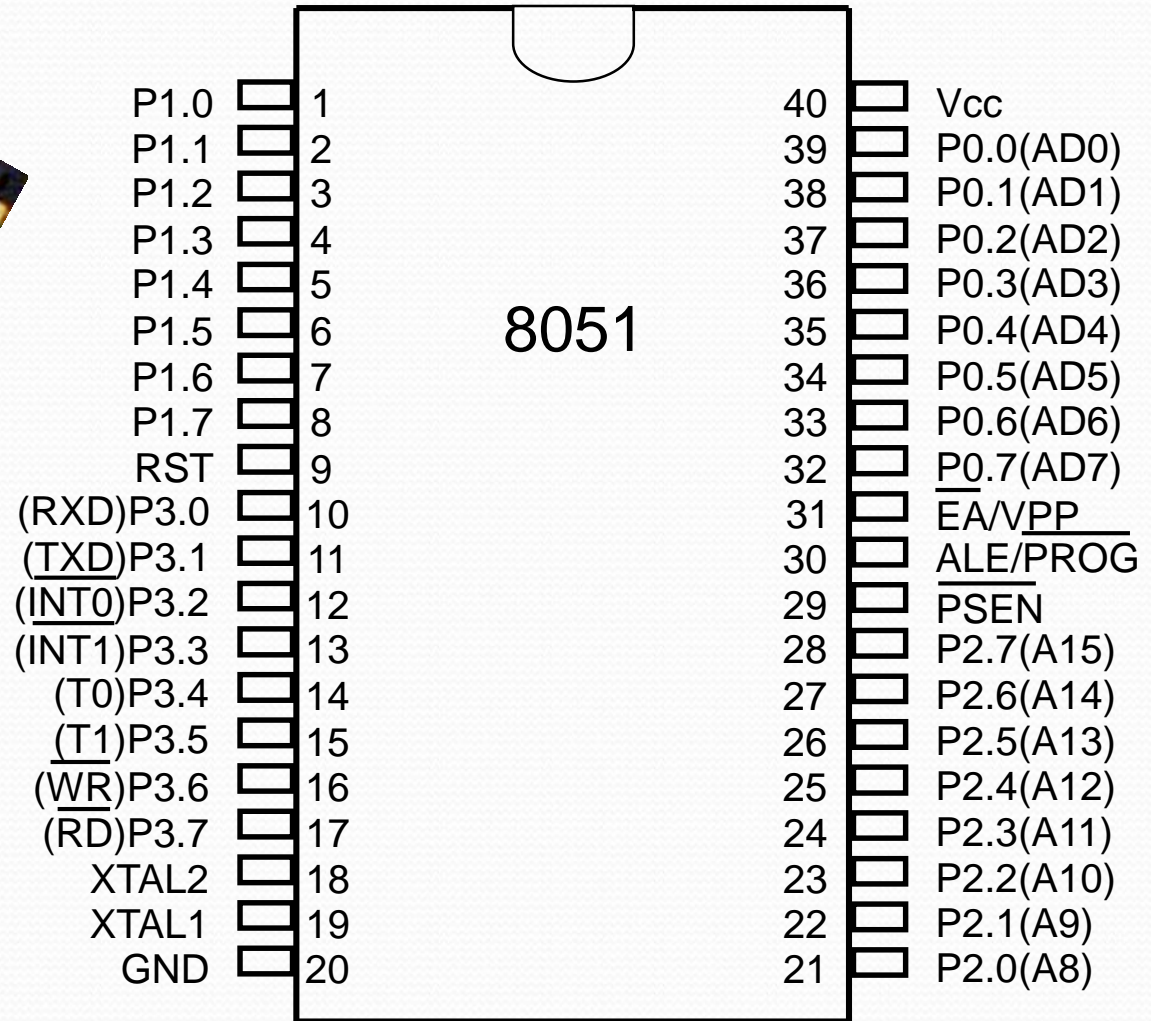
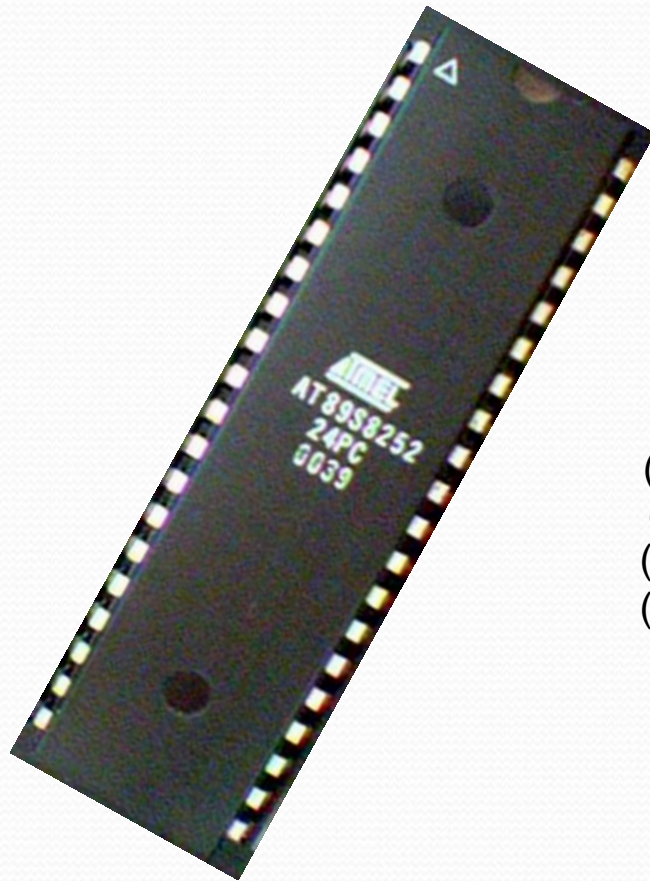
$\overline{OE}$	LE	D	Q
0	1	1	1
0	1	0	0
0	0	x	$Q^n$
1	x	x	HIGH-Z

LOGIC DIAGRAMS





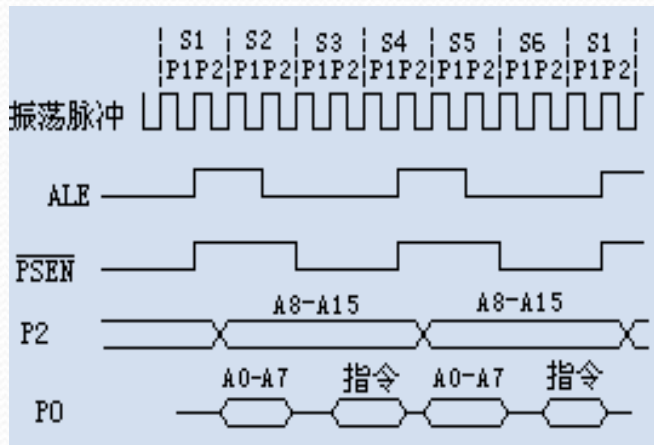
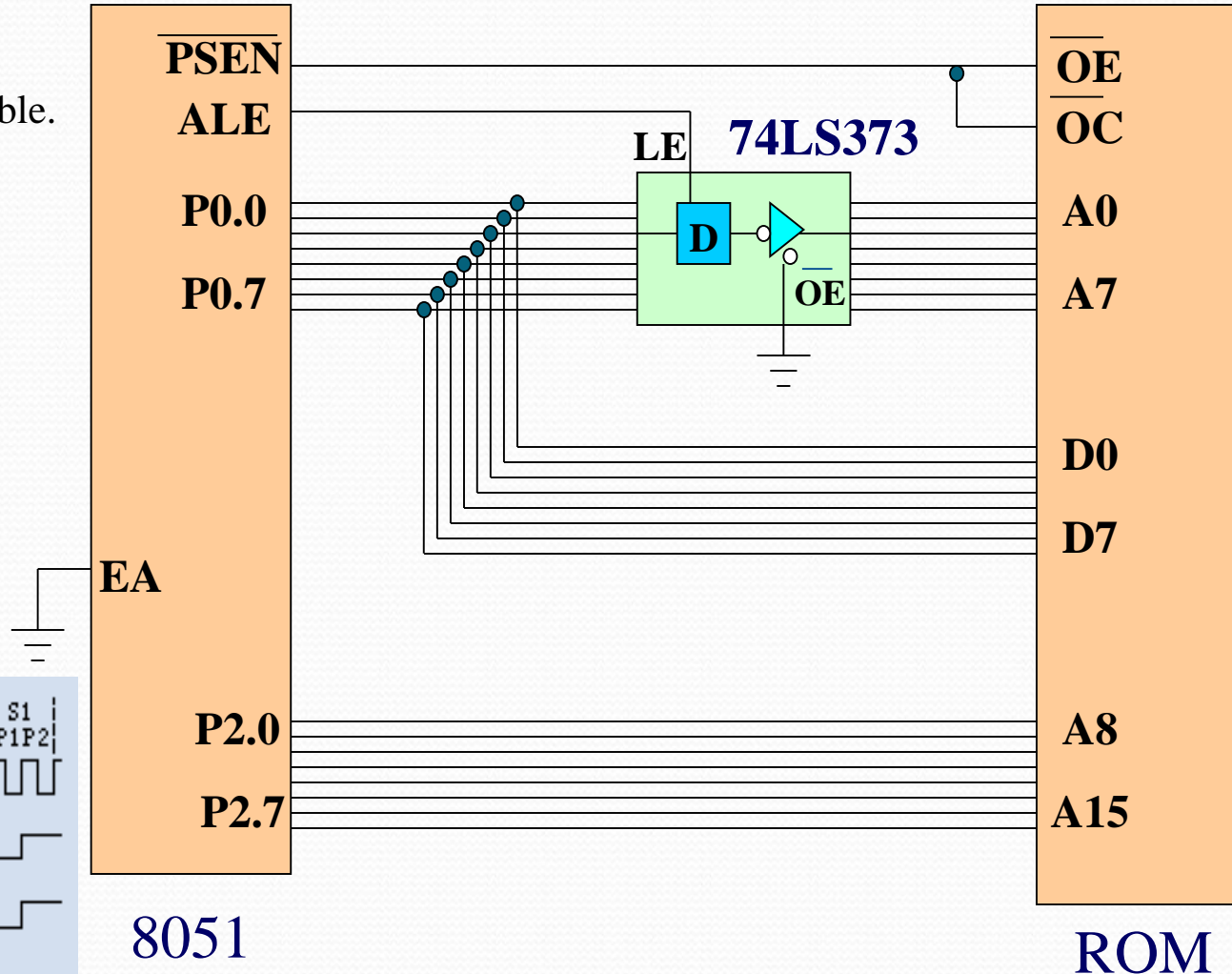
# 8051 Microcontroller



# 8051 Microcontroller

ALE(pin 30) : address latch enable.  
Provide a High when address is transferred. When ALE becomes LOW, the address is latched.

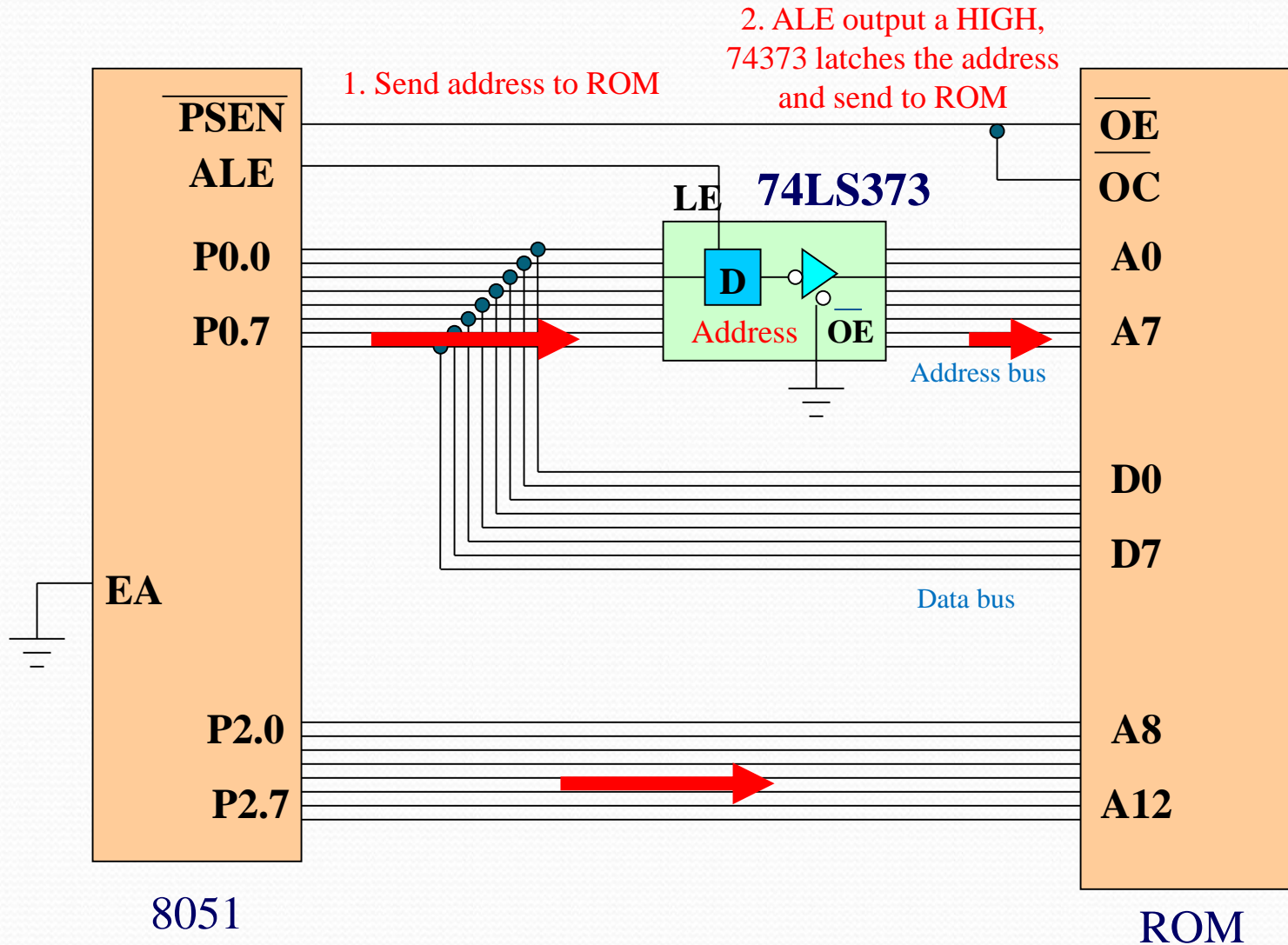
16-bit address :  
P0 provides address A0-A7,  
P2 provides address A8-A15.



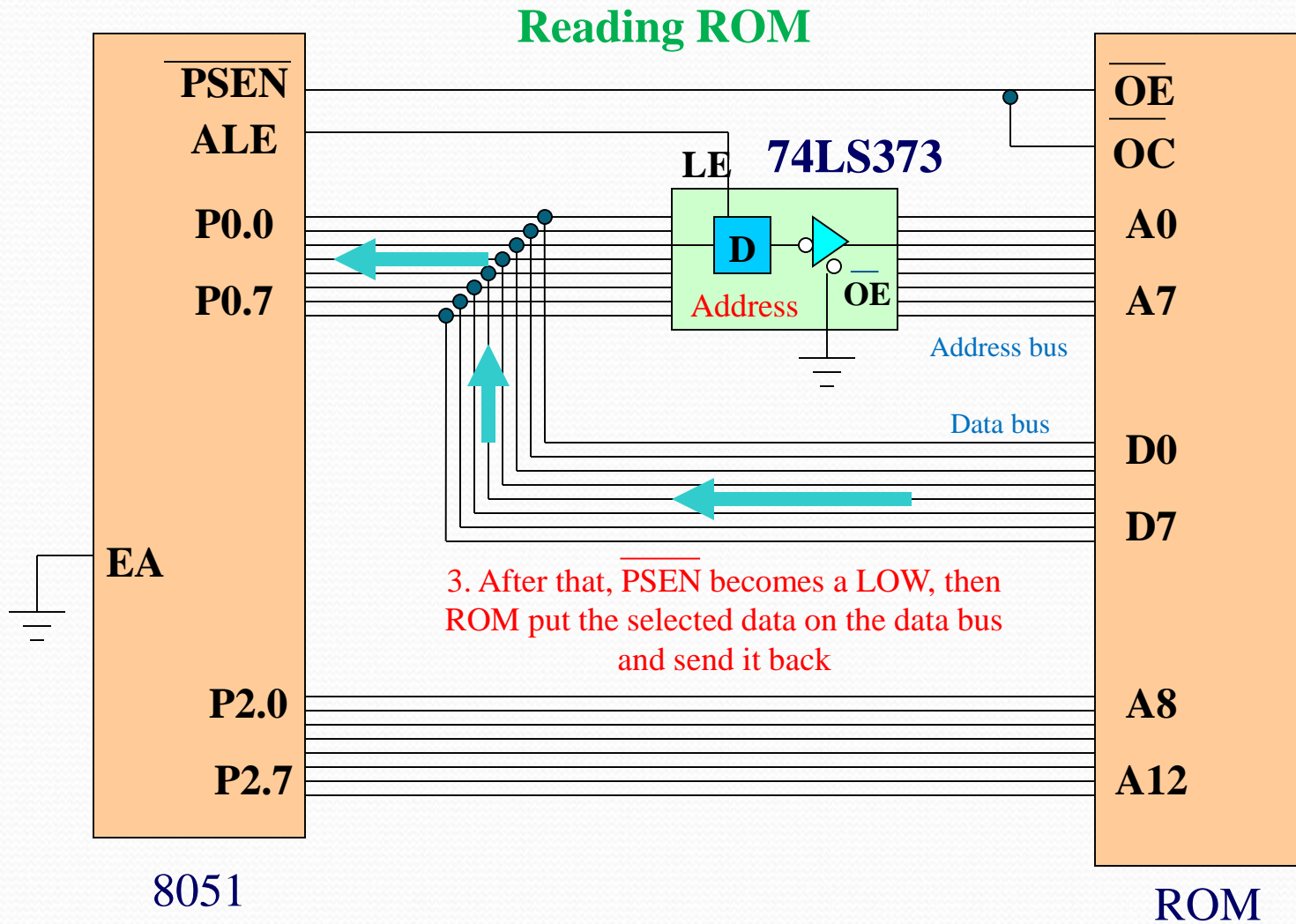


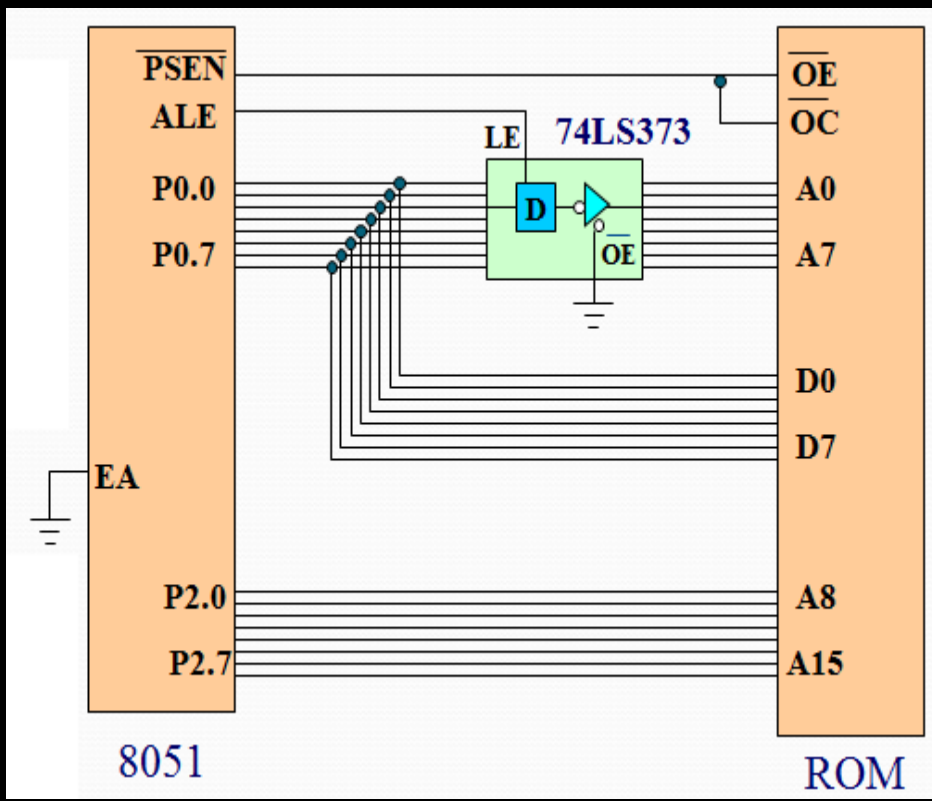
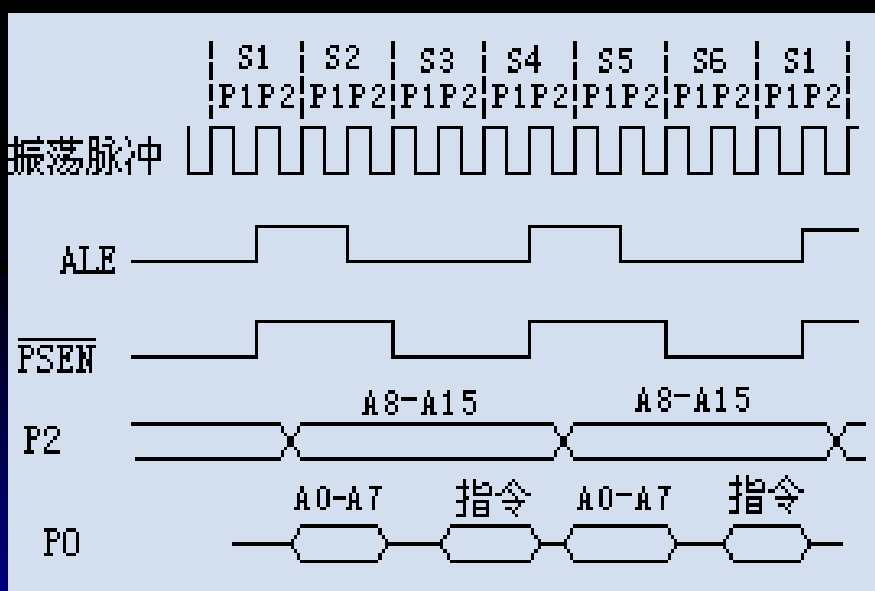
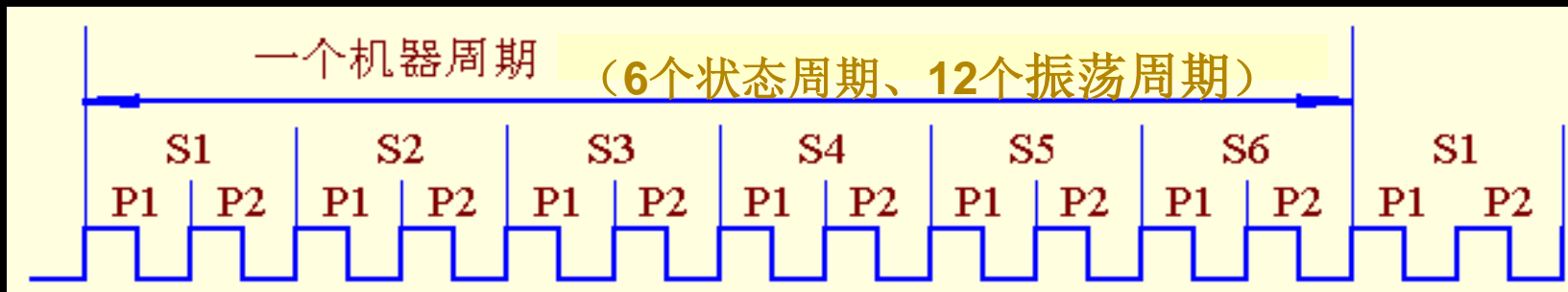
# 8051 Microcontroller

## Reading ROM



# 8051 Microcontroller







锁存器是一种对电平敏感的存储单元电路，有以下**缺点**：

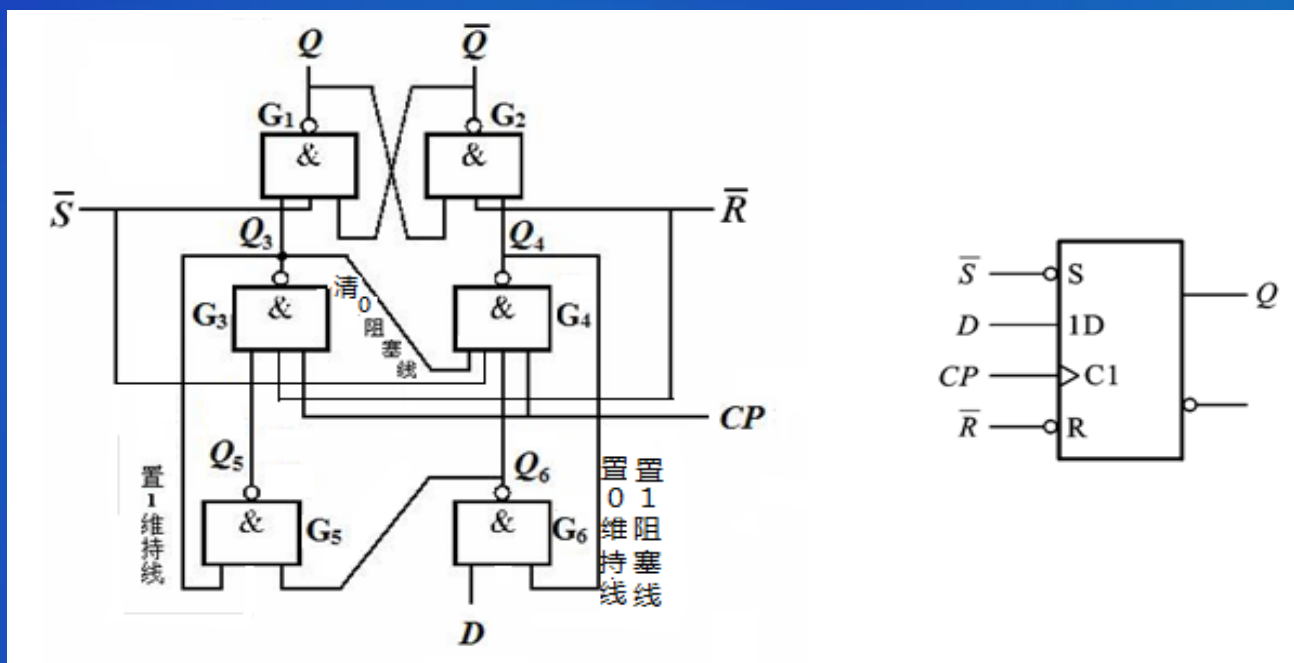
- 对毛刺敏感，抗干扰能力差；
- 不能异步复位（直接复位），所以上电以后处于不确定的状态；
- 使静态时序分析变得非常复杂，可测性不好，不利于设计的可重用；
- 在后续可编程逻辑器件（PLD）芯片中，基本的单元是由查找表和触发器组成的，若用锁存器反而需要更多的资源。

**触发器 (Flip-Flop)**：对脉冲边沿敏感的存储器件，其状态**只在时钟脉冲的上升沿或下降沿改变**。可以克服锁存器存在的上述问题。

## 4.3 触发器

边沿触发器主要包括：维持阻塞D触发器、边沿JK触发器等。

### 维持阻塞 D 触发器



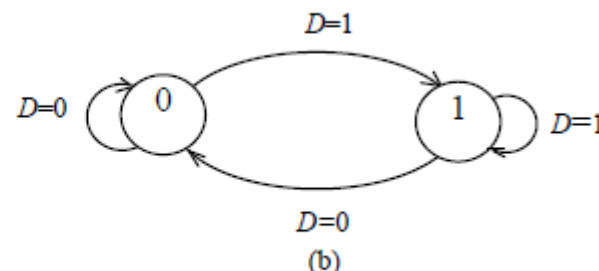
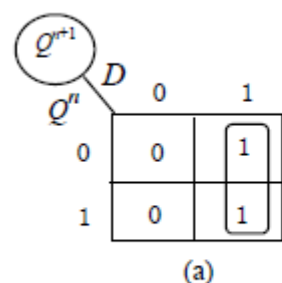


## D触发器的几种描述方式

和锁存器一样，用状态转换表、次态卡诺图、特性方程、波形图、状态转换图等方式描述。与锁存器的不同仅在于触发器的状态只有在CP有效边沿才有可能改变。

D 触发器的状态转换表

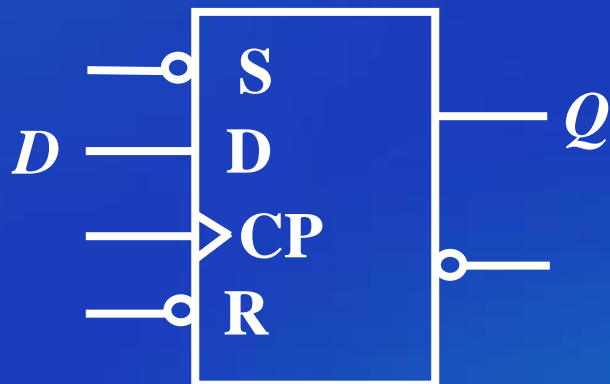
CP	D	$Q^n$	$Q^{n+1}$	说 明
×	×	$Q^n$	$Q^n$	状态不变
↑	0	0	0	清 0
↑	0	1	0	
↑	1	0	1	置 1
↑	1	1	1	



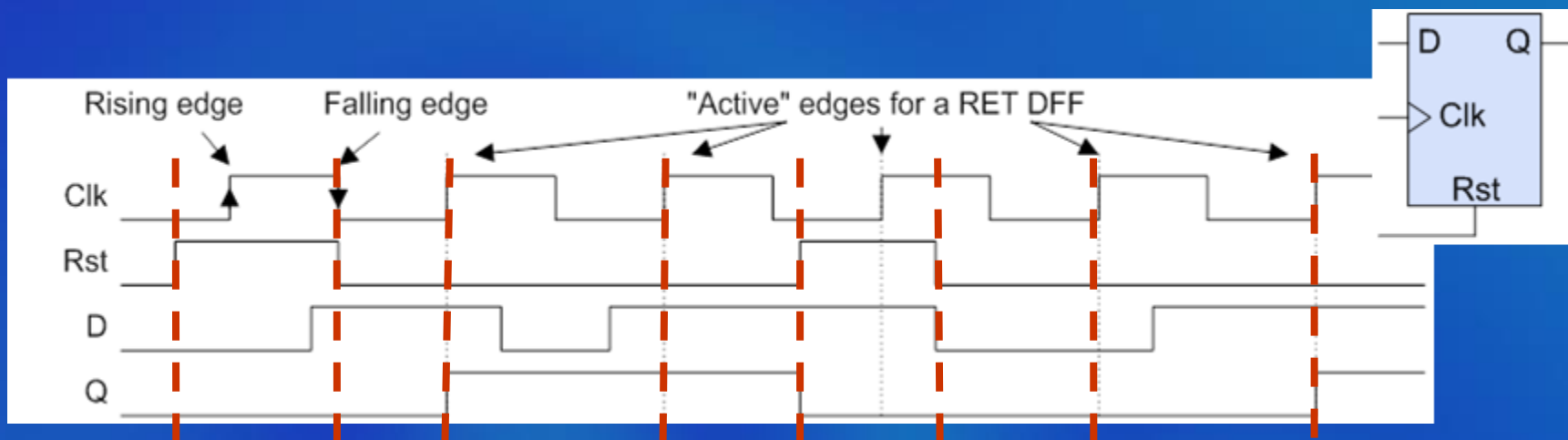
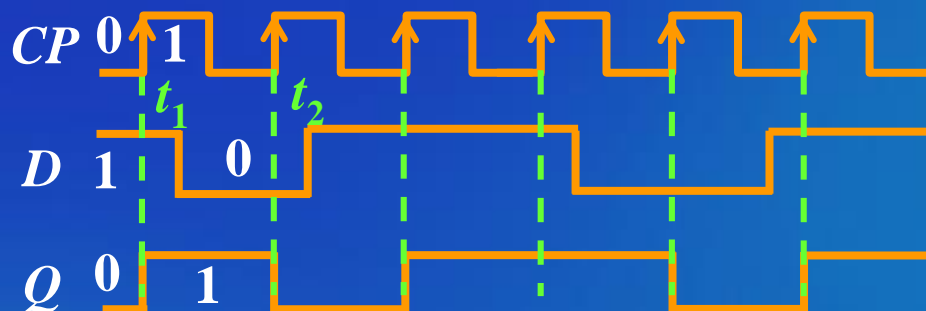
(a) 次态卡诺图； (b) 状态转换图

$$Q^{n+1} = D$$

## 电路符号



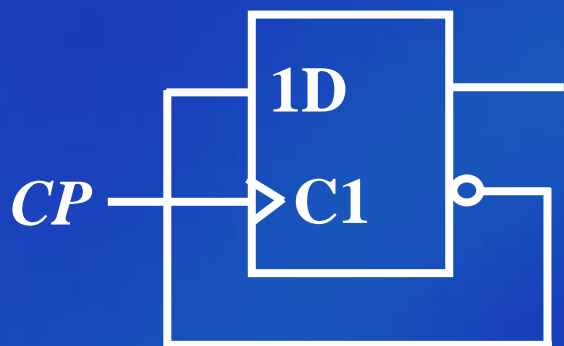
## 维持阻塞型D触发器波形图



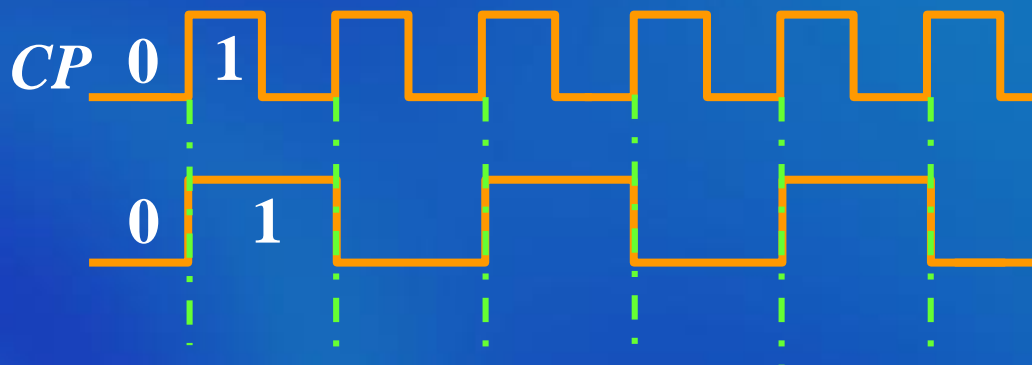
常用的边沿触发器集成产品有：双上升沿D触发器74LS74，八上升沿D触发器74374、74377等。

# 触发器典型应用

## 二分频电路



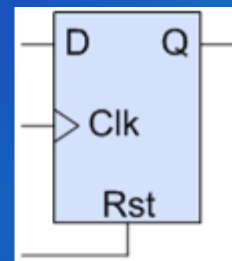
## 二分频电路波形图



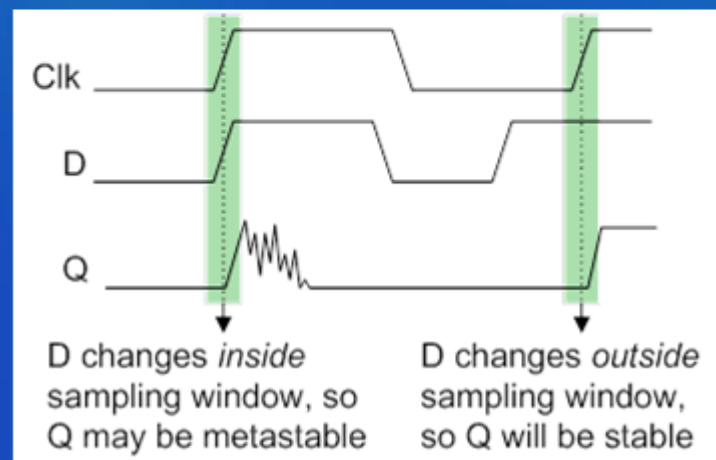
$Q$ 端脉冲波形的周期将是 $CP$ 脉冲周期的二倍。

# 维持阻塞D触发器的动态特性

触发器工作时，对时钟脉冲、输入信号以及它们之间互相配合的要求。



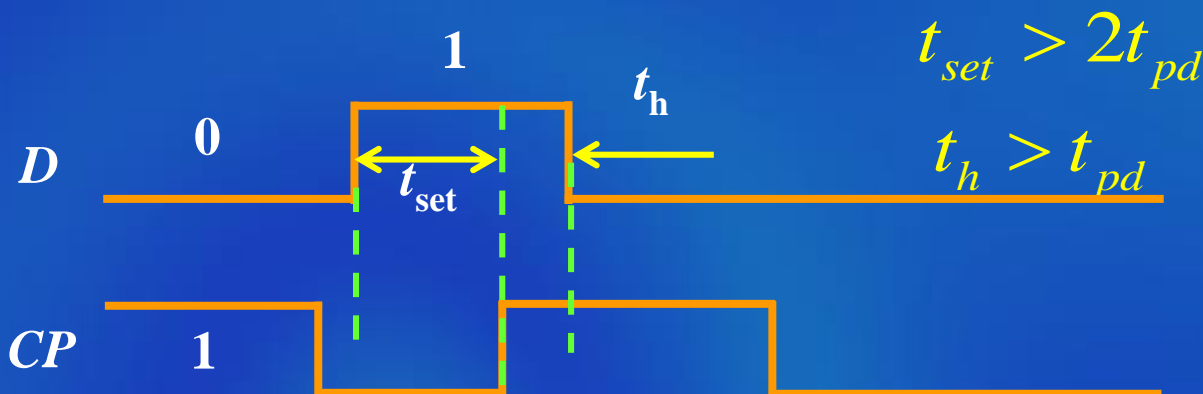
以上述维持阻塞D触发器为例介绍其脉冲工作特性



## 对输入信号 $D$ 的要求:

建立时间 $t_{set}$ : 输入信号应先于CP到达的时间。

保持时间 $t_h$ : 为了FF可靠翻转, CP触发有效后, 输入信号需要保持的时间。



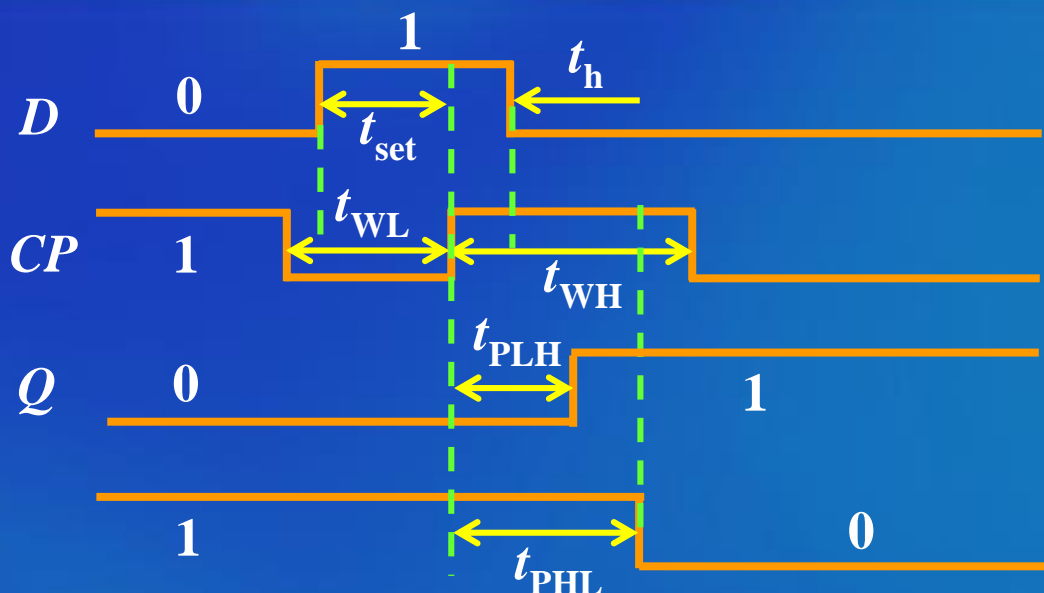
**$D$ 信号**应在 $CP$ 上升沿之前 $t_{set}(2t_{pd})$ 和之后 $t_h(t_{pd})$ 的时间内保持不变。

## 对时钟脉冲的要求

a.  $CP=1$ 期间要保证触发器翻转达到稳定的状态，触发器翻转达到稳定的时间 $t_{PHL}$ 约 $3t_{pd}$ ，故所需 $CP$ 高电平时间 $t_{WH}$ 必须保持

$$t_{WH} \geq t_{PHL} = 3t_{pd};$$

b. 对 $CP$ 低电平的要求是： $t_{WL} \geq t_{set} = 2t_{pd}$ 。



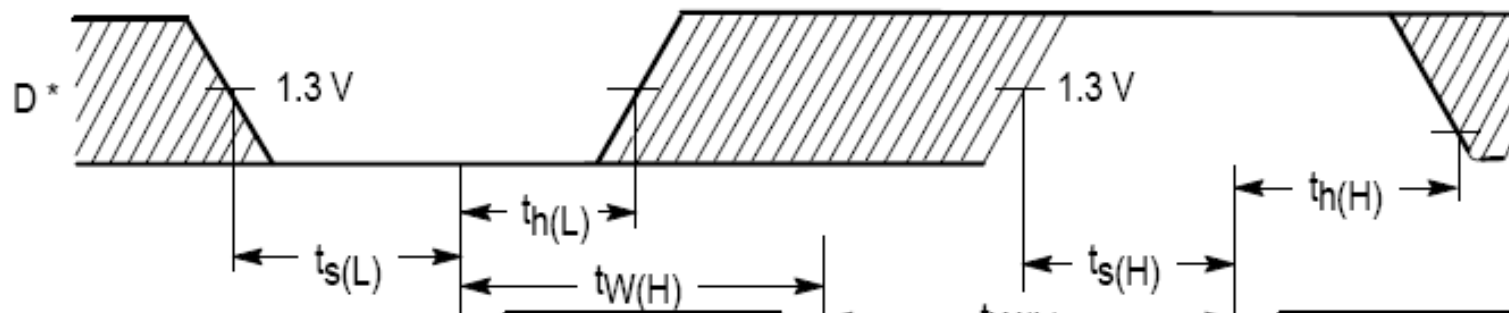
时钟脉冲的周期： $T = t_{WL} + t_{WH} \geq t_{set} + t_{PHL} = 5t_{pd}$

即 $CP$ 的最高工作频率： $f_{max} = 1/5t_{pd}$

若 $t_{pd} = 20\text{ns}$ ，则 $f_{max} = 10\text{MHz}$

## SN54/74LS74A时序图

## DUAL D-TYPE POSITIVE EDGE-TRIGGERED FLIP-FLOP

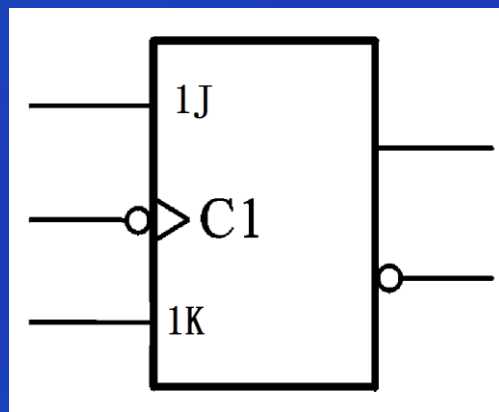
AC CHARACTERISTICS ( $T_A = 25^\circ\text{C}$ ,  $V_{CC} = 5.0\text{ V}$ )

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
fMAX	Maximum Clock Frequency	25	33		MHz	Figure 1	VCC = 5.0 V CL = 15 pF
tPLH	Clock, Clear, Set to Output		13	25	ns	Figure 1	
tPHL			25	40	ns		

AC SETUP REQUIREMENTS ( $T_A = 25^\circ\text{C}$ )

Symbol	Parameter	Limits			Unit	Test Conditions	
		Min	Typ	Max			
t <sub>W(H)</sub>	Clock	25			ns	Figure 1	V <sub>CC</sub> = 5.0 V
t <sub>W(L)</sub>	Clear, Set	25			ns	Figure 2	
t <sub>s</sub>	Data Setup Time — HIGH LOW	20			ns	Figure 1	
		20			ns		
t <sub>h</sub>	Hold Time	5.0			ns	Figure 1	

# 边沿JK触发器



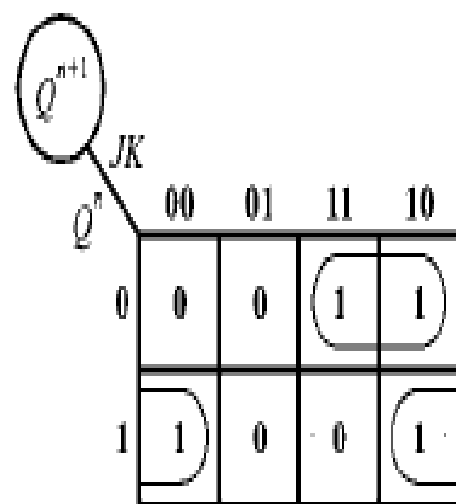
利用时钟边沿触发锁存数据。7479、74109、7476是几个常用的JK触发器。

JK 触发器的状态转换表

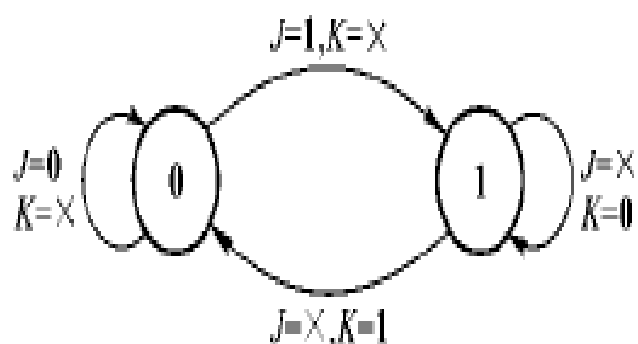
$CP$	$J$	$K$	$Q^n$	$Q^{n+1}$	说 明
$\times$	$\times$	$\times$	$Q^n$	$Q^n$	状态不变
$\downarrow$	0	0	0	0	$Q^{n+1} = Q^n$
	0	0	1	1	
$\downarrow$	0	1	0	0	$Q^{n+1} = 0$
	0	1	1	0	
$\downarrow$	1	0	0	1	$Q^{n+1} = 1$
	1	0	1	1	
$\downarrow$	1	1	0	1	$Q^{n+1} = \overline{Q^n}$
	1	1	1	0	

顺口溜：  
JK为00不变；11翻转；其它随J变。





(a)



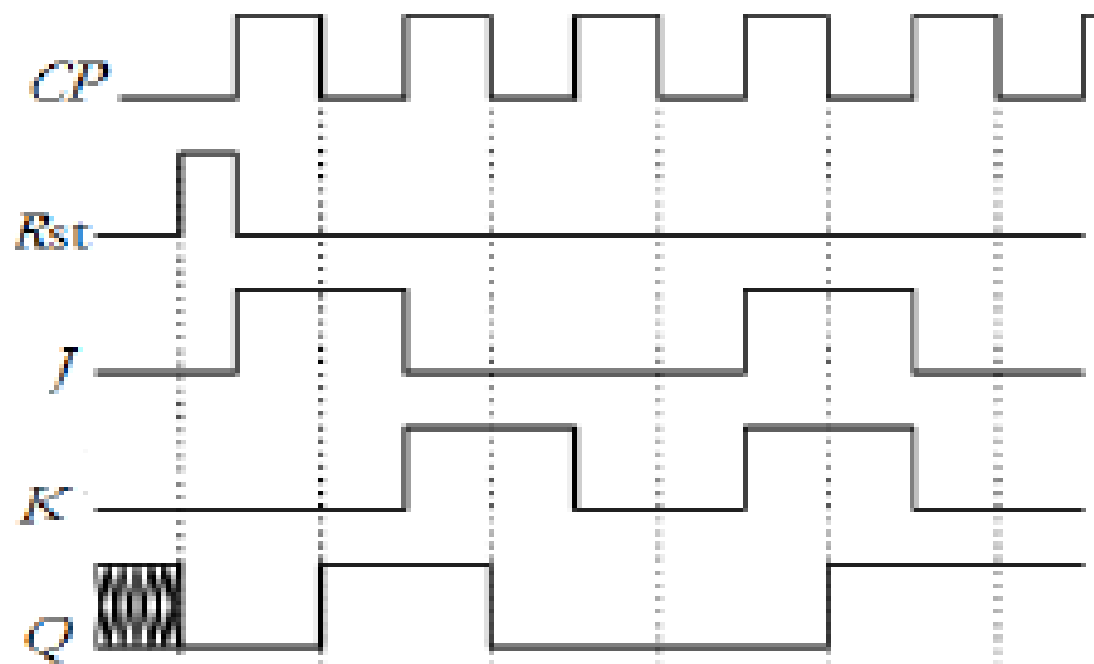
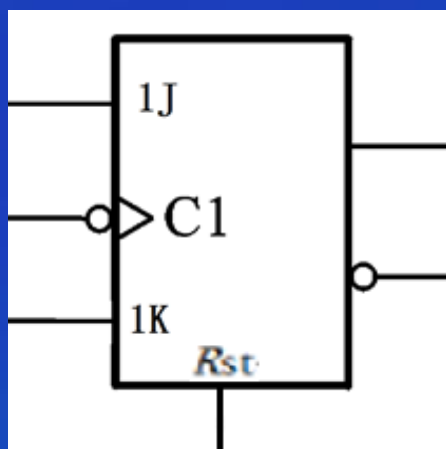
(b)

(a) 次态卡诺图; (b) 状态转换图

JK 触发器的状态转换表

CP	J	K	$Q^n$	$Q^{n+1}$	说 明
×	×	×	$Q^n$	$Q^n$	状态不变
↓	0	0	0	0	$Q^{n+1} = Q^n$
	0	0	1	1	
↓	0	1	0	0	$Q^{n+1} = 0$
	0	1	1	0	
↓	1	0	0	1	$Q^{n+1} = 1$
	1	0	1	1	
↓	1	1	0	1	$Q^{n+1} = \overline{Q^n}$
	1	1	1	0	

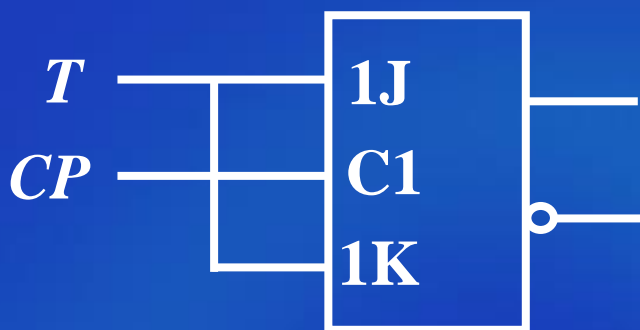
$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$



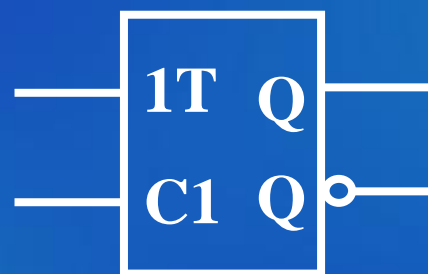
JK 触发器波形图

## 由JKFF衍生的其它触发器

### T触发器



逻辑图



符号图

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n = T \oplus Q^n$$

## $T$ 触发器的特征方程

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n = T \oplus Q^n$$

如使 $T=1$ ，则特征方程为

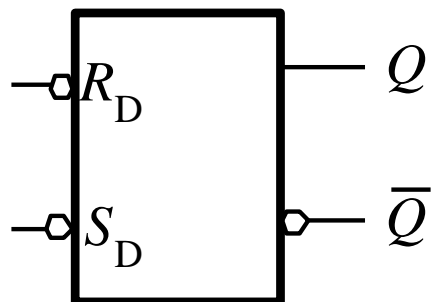
$$Q^{n+1} = \overline{Q}^n$$

即每来一个 $CP$ 脉冲，其状态变换一次，故称其为翻转触发器，或 $T'$ 触发器。具有二分频作用。

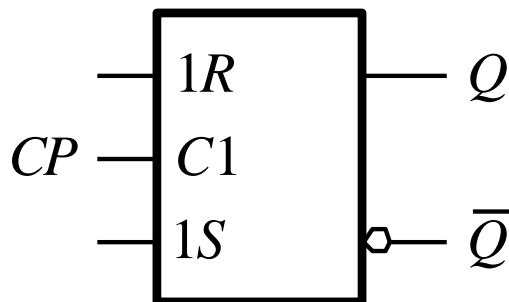
# 回顾：锁存及触发器的逻辑符号及时序图

## 1. 逻辑符号

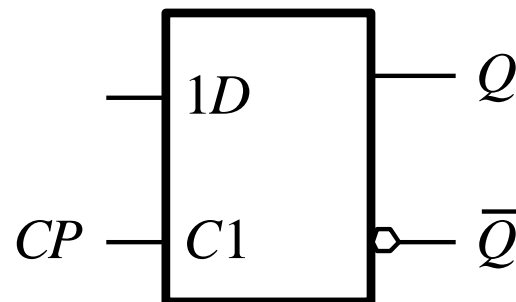
### (1) 电平触发方式的逻辑符号



(a)



(b)



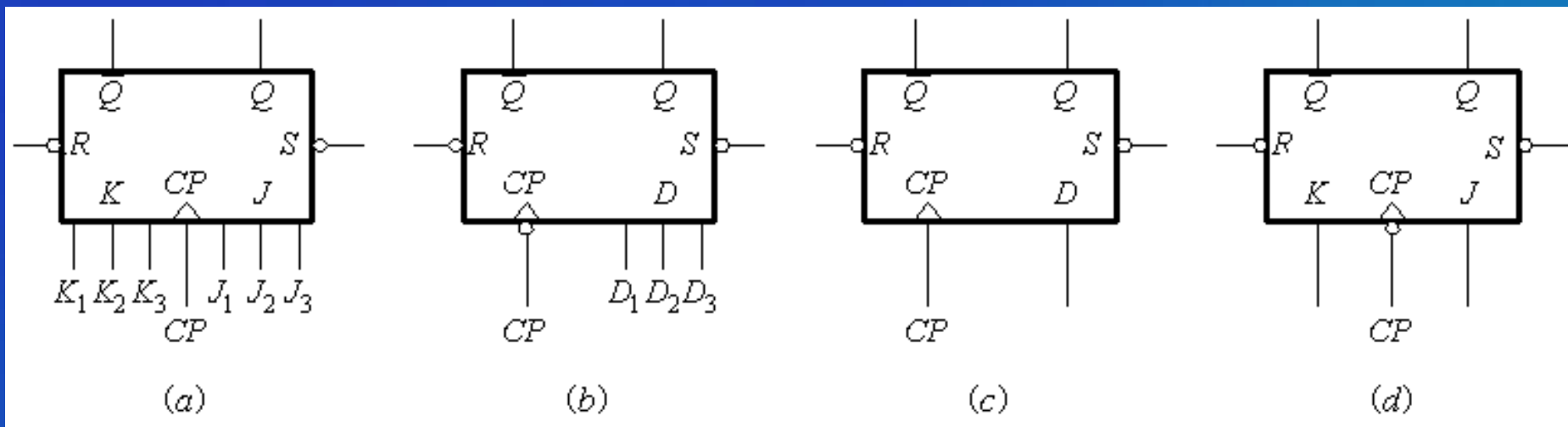
(c)

(a) 低电平触发

(b)、(c) 时钟控制的高电平触发

## (2) 边沿触发方式触发器的逻辑符号

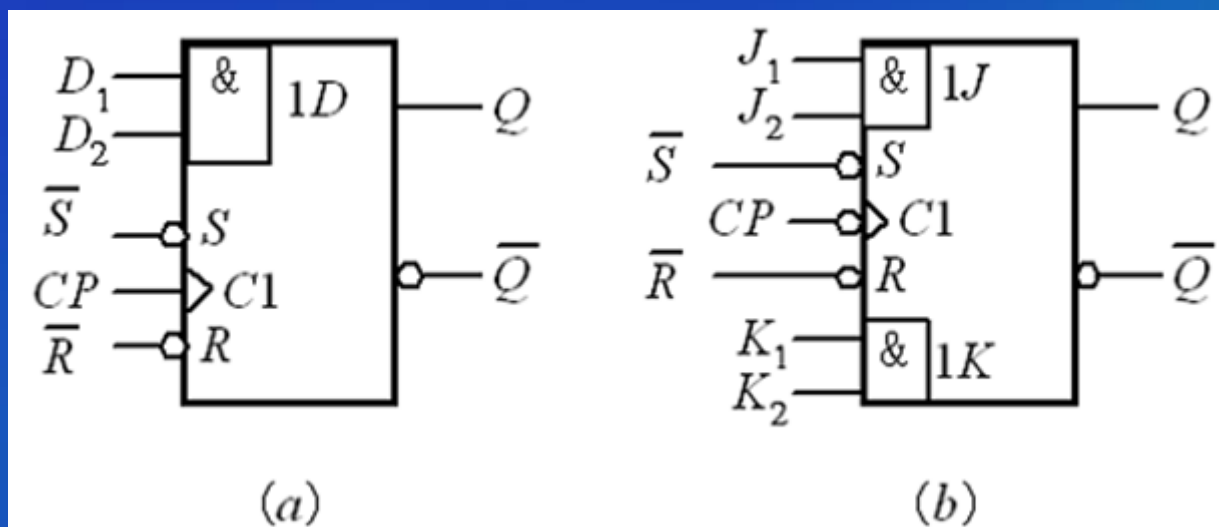
### a. 传统的逻辑符号



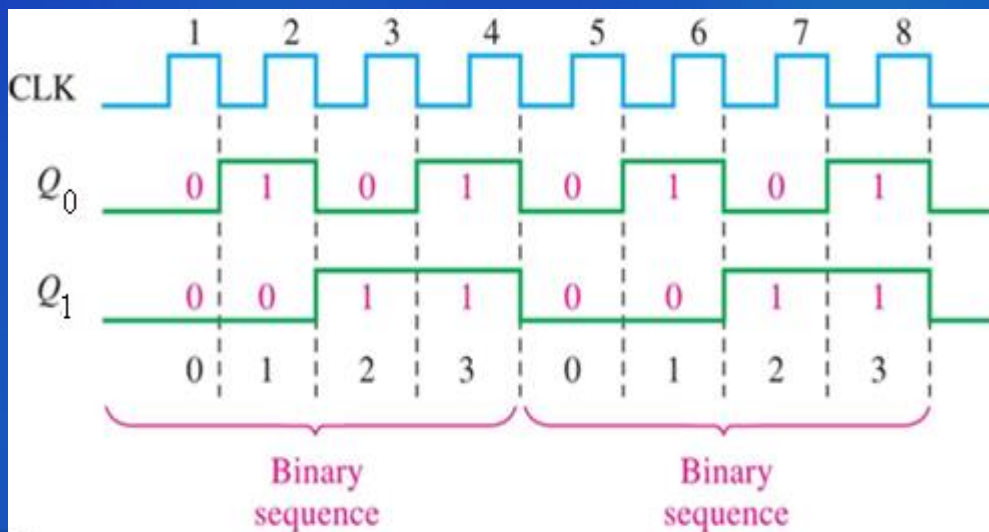
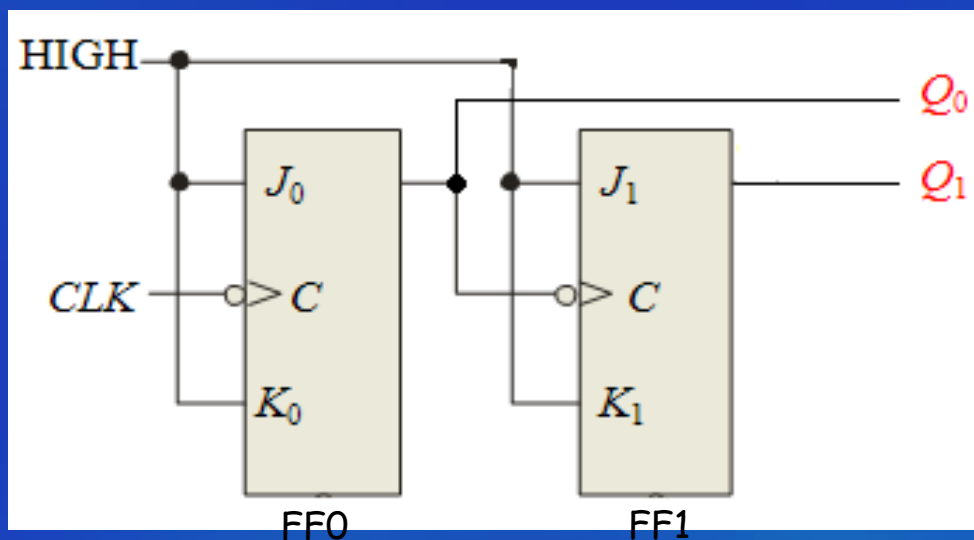
(a)、(c) 上升沿触发

(b)、(d) 下降沿触发

## b. 国家标准(GB4728.12-85)规定的逻辑符号



例：分析电路实现什么功能？



$Q_0$ : 二分频  
 $Q_1$ : 四分频  
 $Q_1Q_0$ : 从0到3的计数  
 功能 计数器



# 作业

## 自练题:

4.5 (a)

4.7

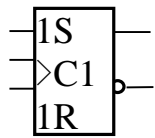
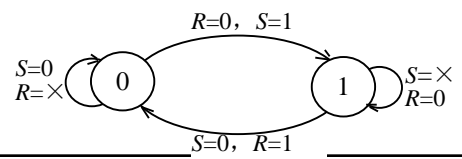
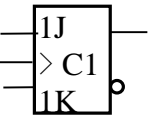
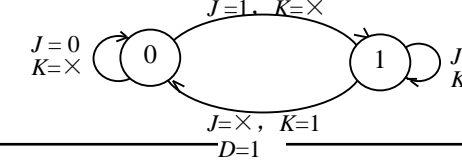
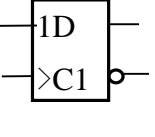
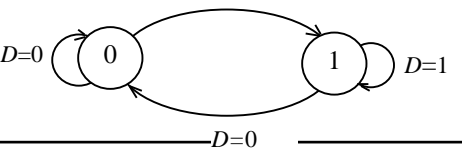
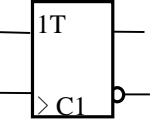
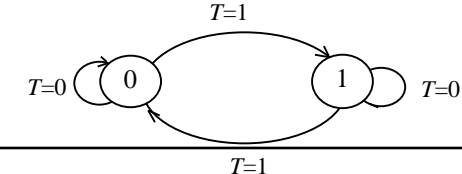
4.14

## 作业题:

4.12

# 总结

- RS、JK、D、T等触发器。掌握状态转换表、特征方程、状态转换图、波形图
- 了解次态卡诺图

类型	电路符号	特征方程	状态转换图	逻辑功能
RSFF		$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$		具有置0、置1保持的逻辑功能
JKFF		$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$		置0、置1、保持计数的逻辑功能
DFF		$Q^{n+1} = D$		置0、置1、保持计数、锁存的逻辑功能
TFF		$Q^{n+1} = T \oplus Q^n$		保持、计数的逻辑功能
			<a href="#">上页</a> <a href="#">下页</a> <a href="#">返回</a>	