

8 时序逻辑电路

8.1 时序电路的结构、分类和描述方式

8.2 基于触发器时序电路的分析和设计

8.3 集成计数器

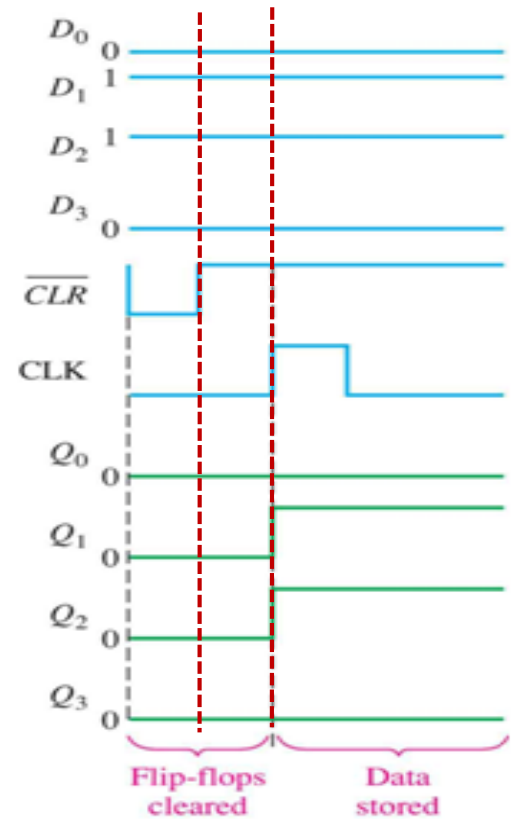
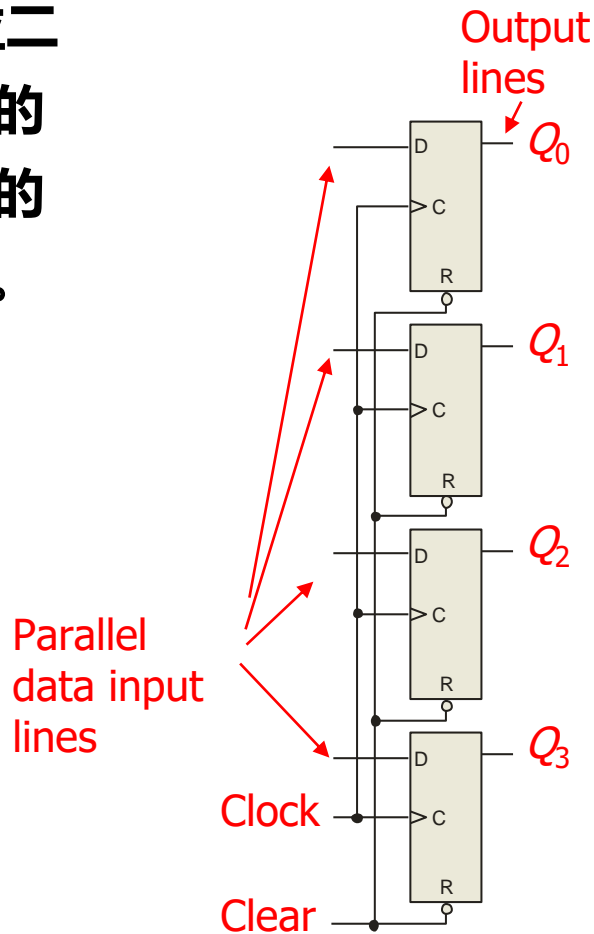
8.4 寄存器

8.4 寄存器

一个触发器可以保存一位二进制数，由多个触发器组成的能同时保存多位二进制数据的电路，称为寄存器(register)。

寄存器在数字系统或计算机中常用来暂时存放信息。

寄存器通常有**锁存寄存器**和**移位寄存器**。



4位三态并行输入并行输出寄存器74LS173

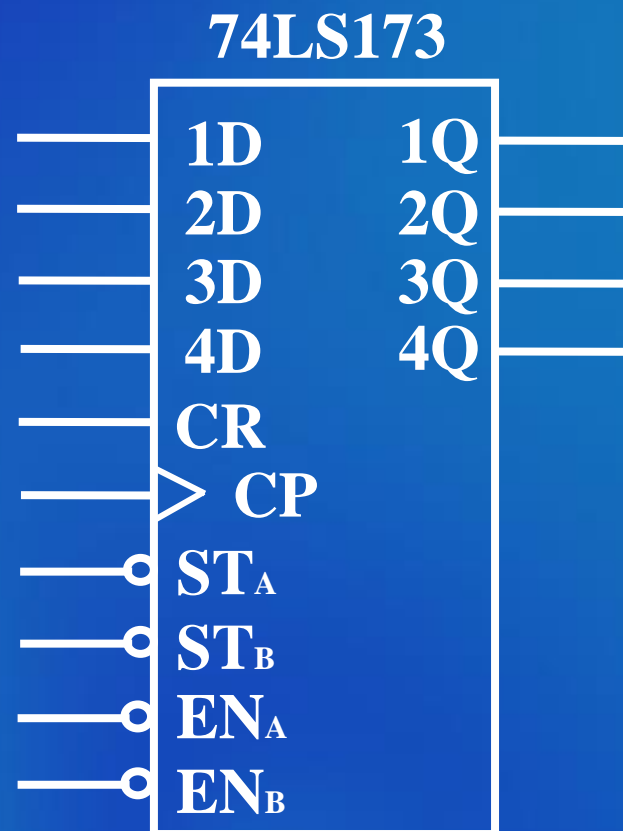
(1) 74LS173的符号图

$\overline{\text{CR}}$ 是异步清零端；

$\overline{\text{EN}}_{\text{A}}$ 和 $\overline{\text{EN}}_{\text{B}}$ 是输出使能端

$\overline{\text{ST}}_{\text{A}}$ 和 $\overline{\text{ST}}_{\text{B}}$ 是输入控制端

74LS173的内部是四个上升沿触发的D触发器。



74173功能表

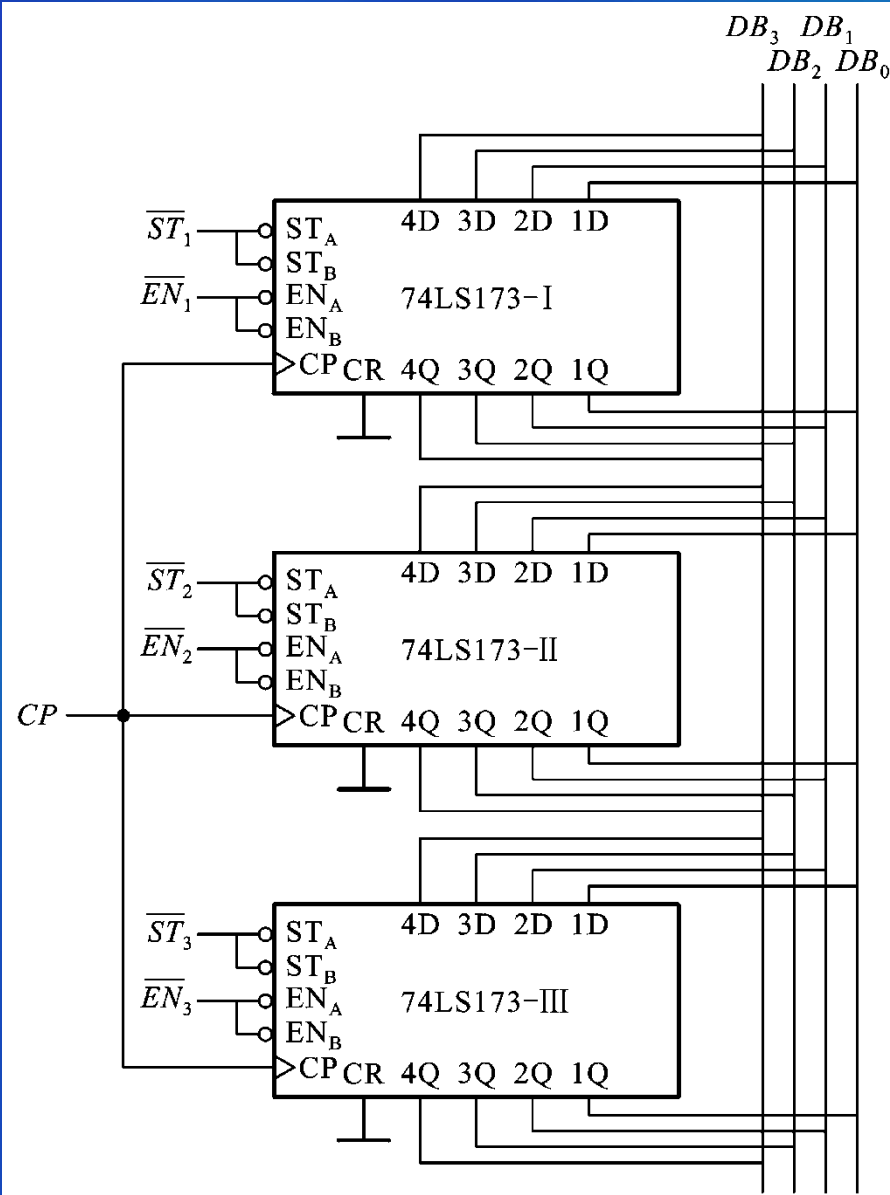
CLR	CP	$\overline{ST}_A + \overline{ST}_B$	$\overline{EN}_A + \overline{EN}_B$	工作状态
1	×	×	×	清0
0	0	×	×	保持不变
0	↑	1	×	保持不变
0	↑	0	×	置数
0	↑	×	1	高阻
0	×	×	0	允许输出

(3) 74LS173的应用——通过公共数据总线传送数据。

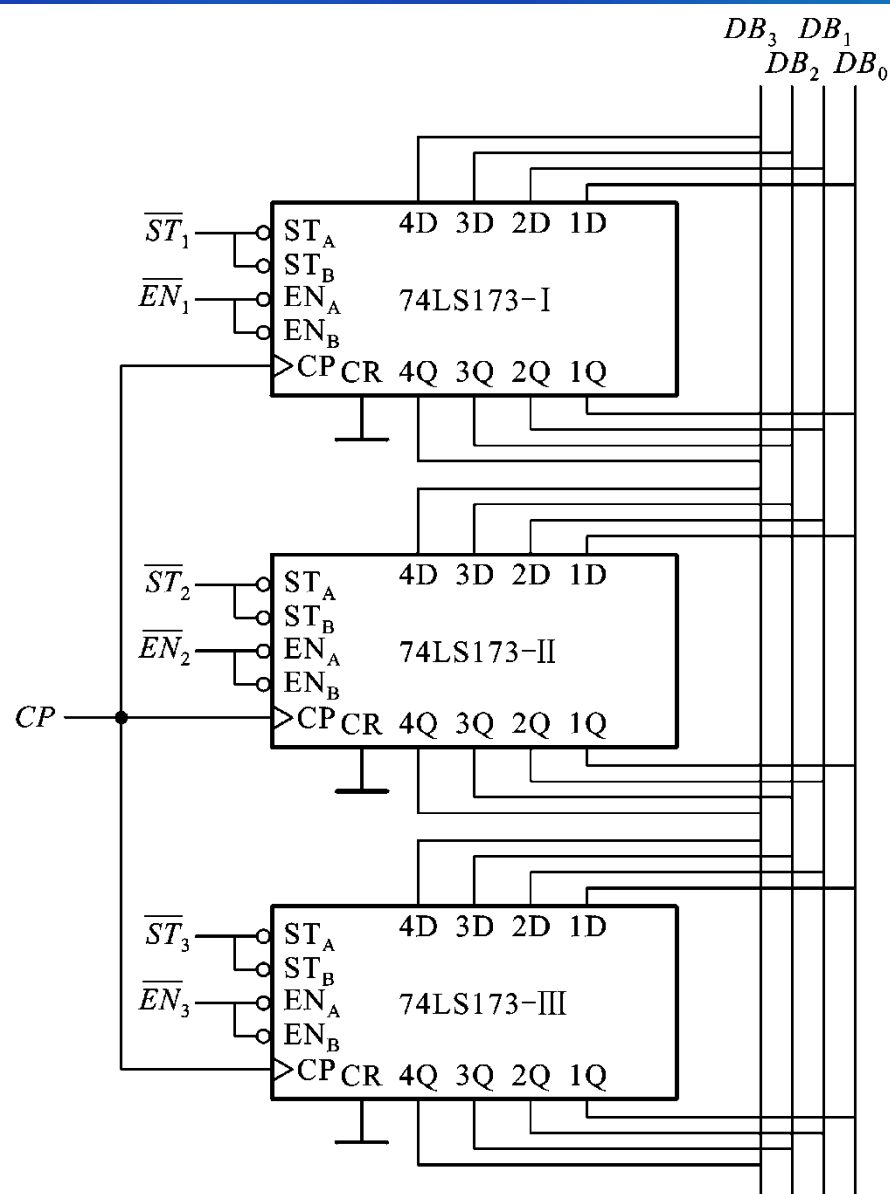
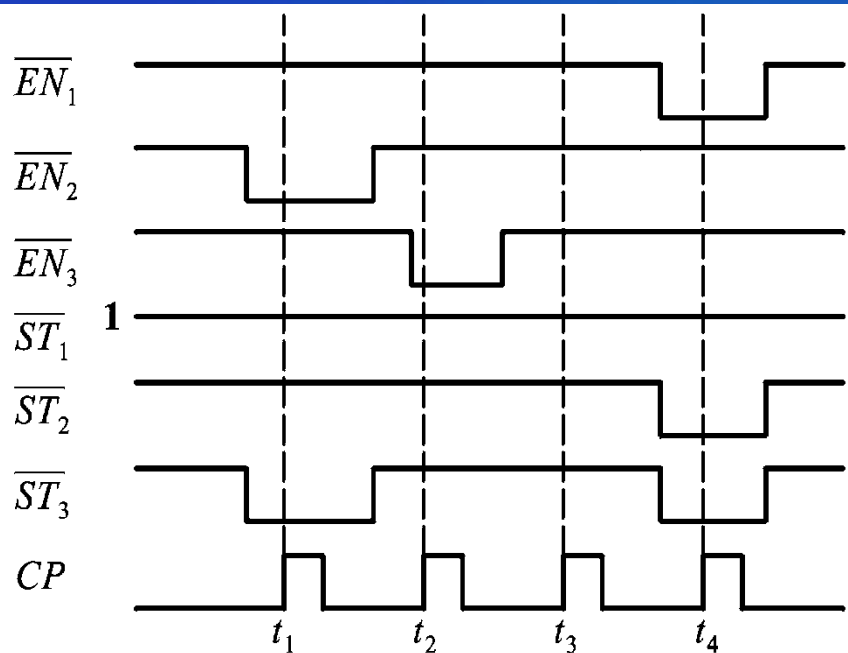
数字系统和计算机中, 挂接到总线的部件通常具有三态输出或者通过三态缓冲器接到总线。

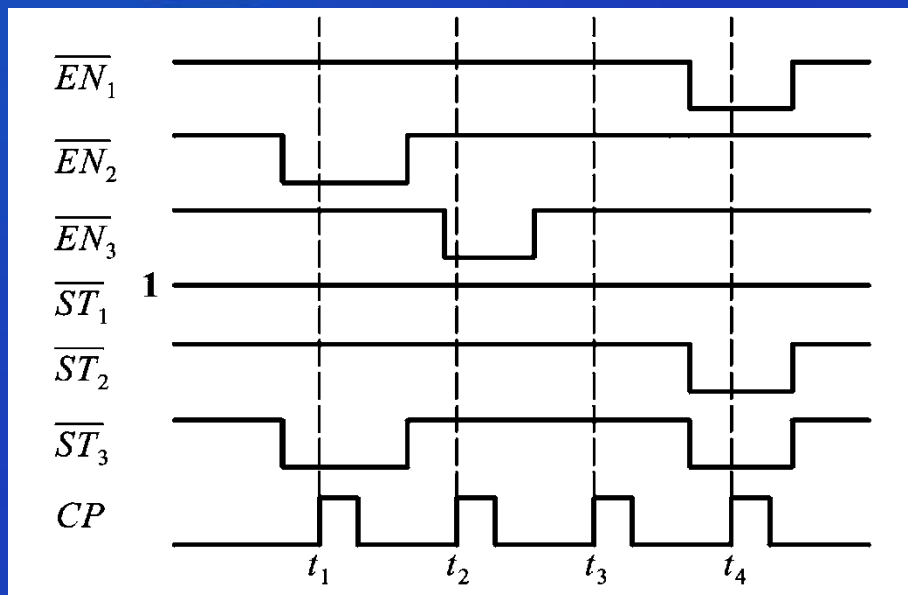
$DB_3 \sim DB_0$ 是四位数据总线, 寄存器的输入端 $D_3 \sim D_0$ 、输出端 $Q_3 \sim Q_0$ 分别与相应的数据总线相连。

任一时刻, 只能有一个寄存器输出端使能, 其余两个寄存器的输出必须处于高阻态。否则总线上电位将不确定, 可能损坏寄存器。

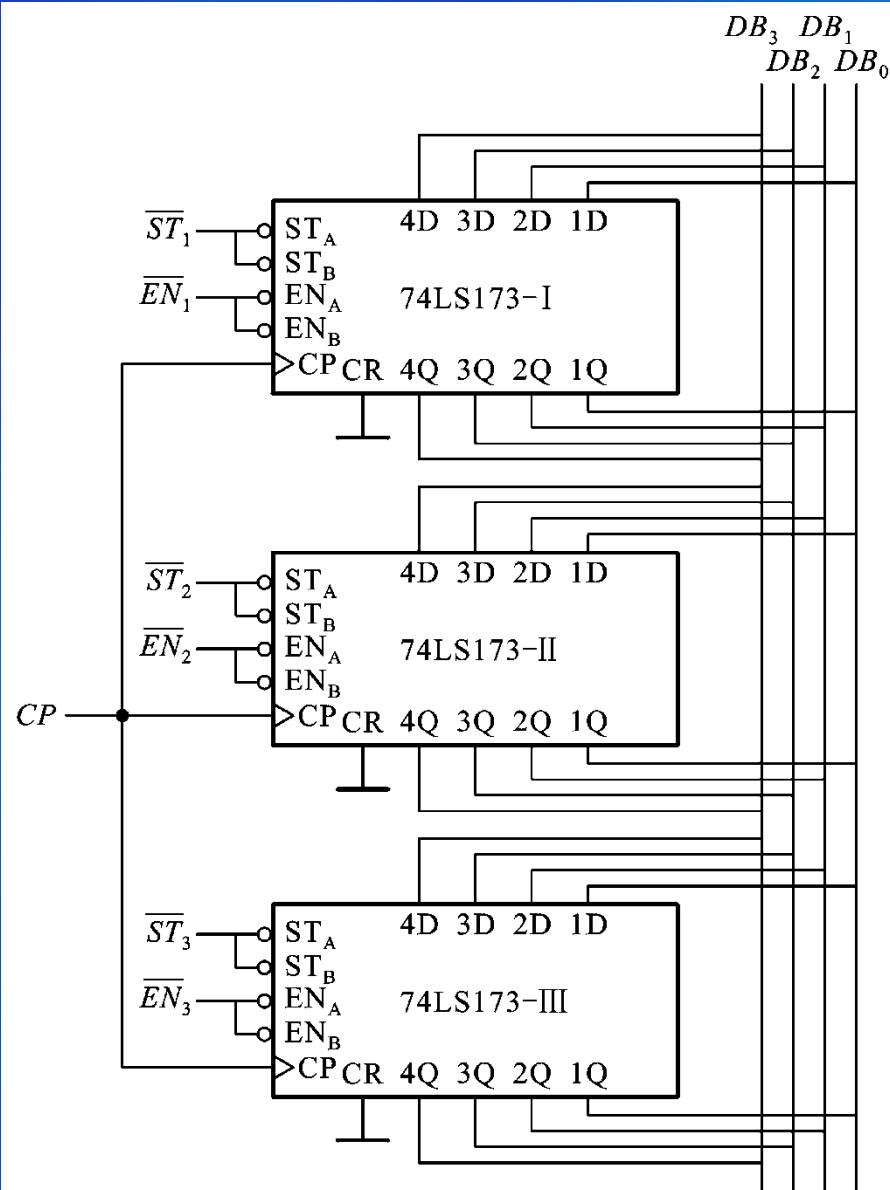


例 已知各寄存器起始数据为
 [I]=1011, [II]=1000, [III]=0111,
 将下图中的信号加在寄存器I、II、
 III的使能输入端。试决定在 t_1 、
 t_2 、 t_3 和 t_4 时刻, 各寄存器的内容。





[解] t_1 时刻, 寄存器II的数据1000送到总线, 寄存器III接收, [I]=1011, [II]=1000, [III]=1000; t_2 时刻, 寄存器III的数据1000送到总线, 无数据接收, 各寄存器数据不变; t_3 时刻, 无数据传送, 各寄存器数据不变; t_4 时刻, 寄存器I的数据1011送到总线, 寄存器II、III接收, [I]=1011, [II]=[III]=1011。



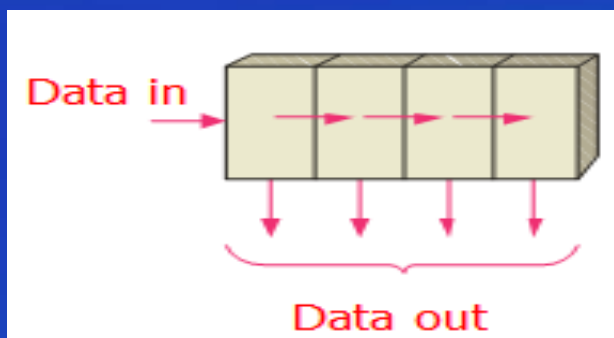
移位寄存器

移位寄存器(shift register)除了有寄存数码的功能外, 还具有将数码移位的功能。

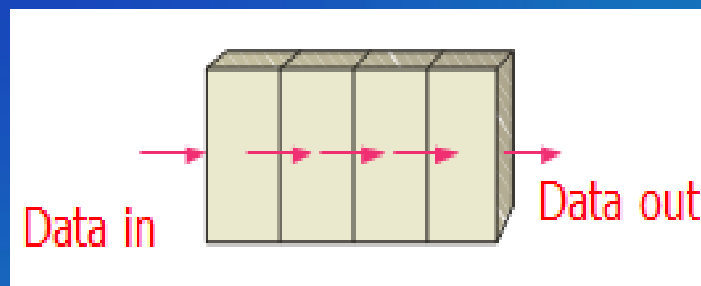
移位寄存器按移位方式可分为**单向移位寄存器**(左移或右移功能)和**双向移位寄存器**(兼有左移和右移的功能)。

移位寄存器的工作方式：

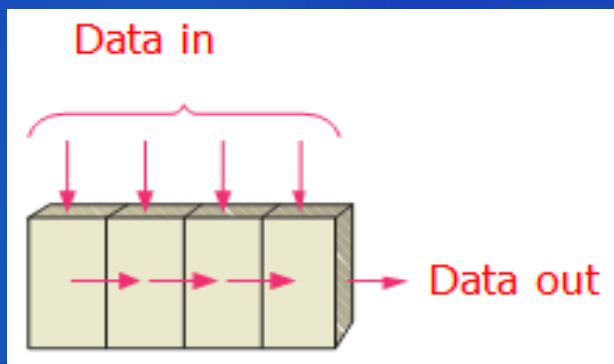
串行输入，并行输出；



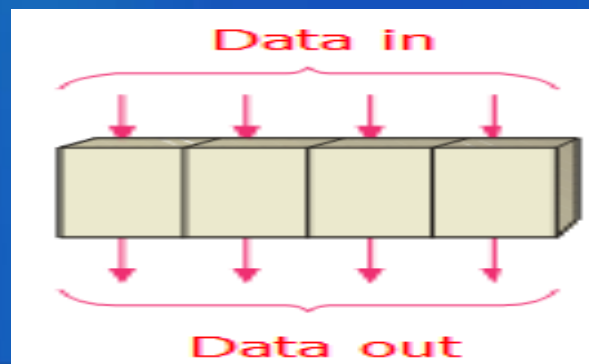
串行输入，串行输出；



并行输入，串行输出。

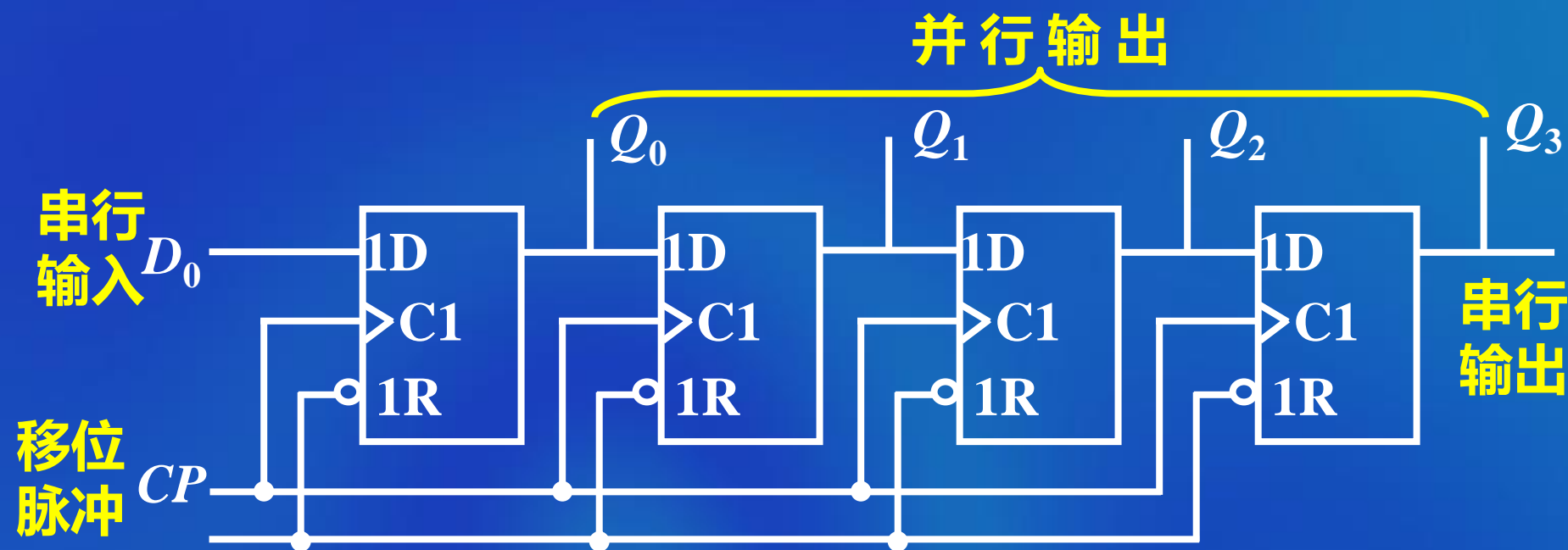


并行输入，并行输出；

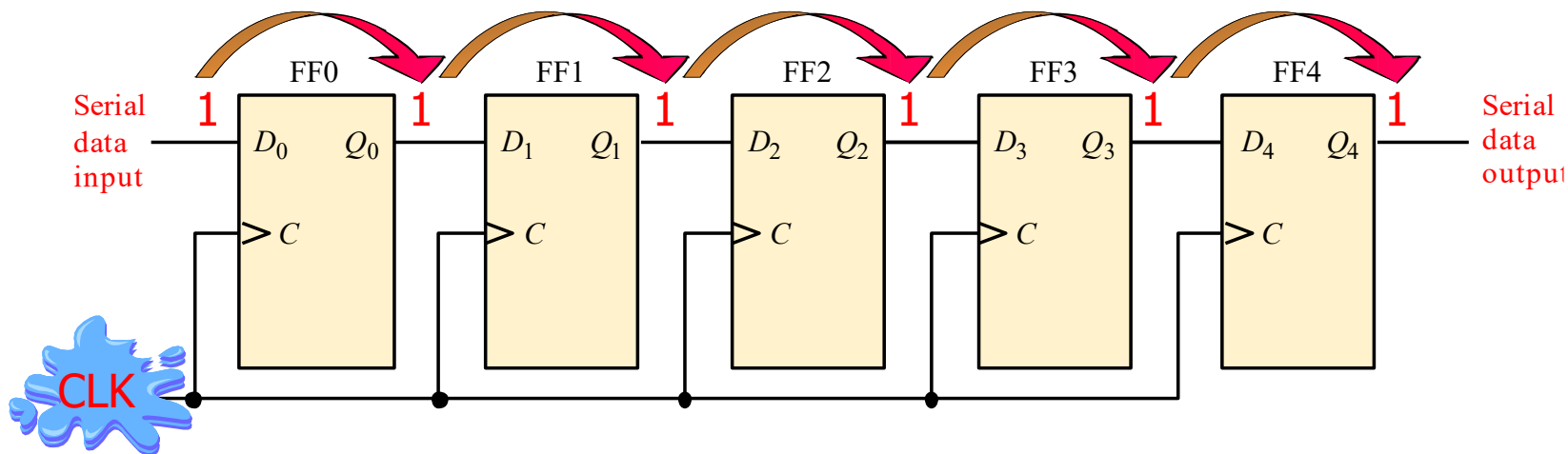


由D触发器组成的四位单向移位寄存器

D触发器构成的串行输入、并行/串行输出移位寄存器。



$Q_3 \sim Q_0$ 是并行数据输出端，该电路亦可从任一 Q 端输出串行数据。



输入数据从 D_0 端送入，在时钟脉冲上升沿作用下，数据相继向高位移入，由 $Q_0 \rightarrow Q_1 \rightarrow Q_2 \rightarrow Q_3$ 。

集成移位寄存器

1. 8位单向移位寄存器74164

74164是一个串行输入、并行输出的八位单向移位寄存器。

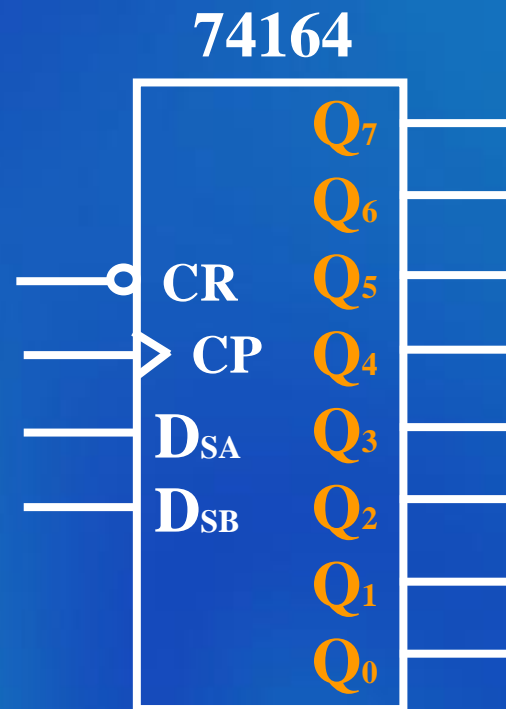
(1) 74164符号图

\overline{CR} 是异步清0端；

D_{SA} 、 D_{SB} 是串行数据输入端；

串行输入数据 $D_0 = D_{SA}D_{SB}$

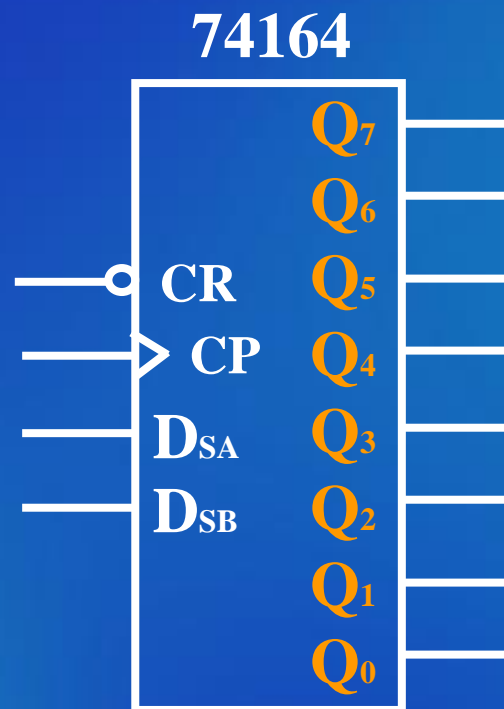
$Q_7 \sim Q_0$ 并行数据输出端。



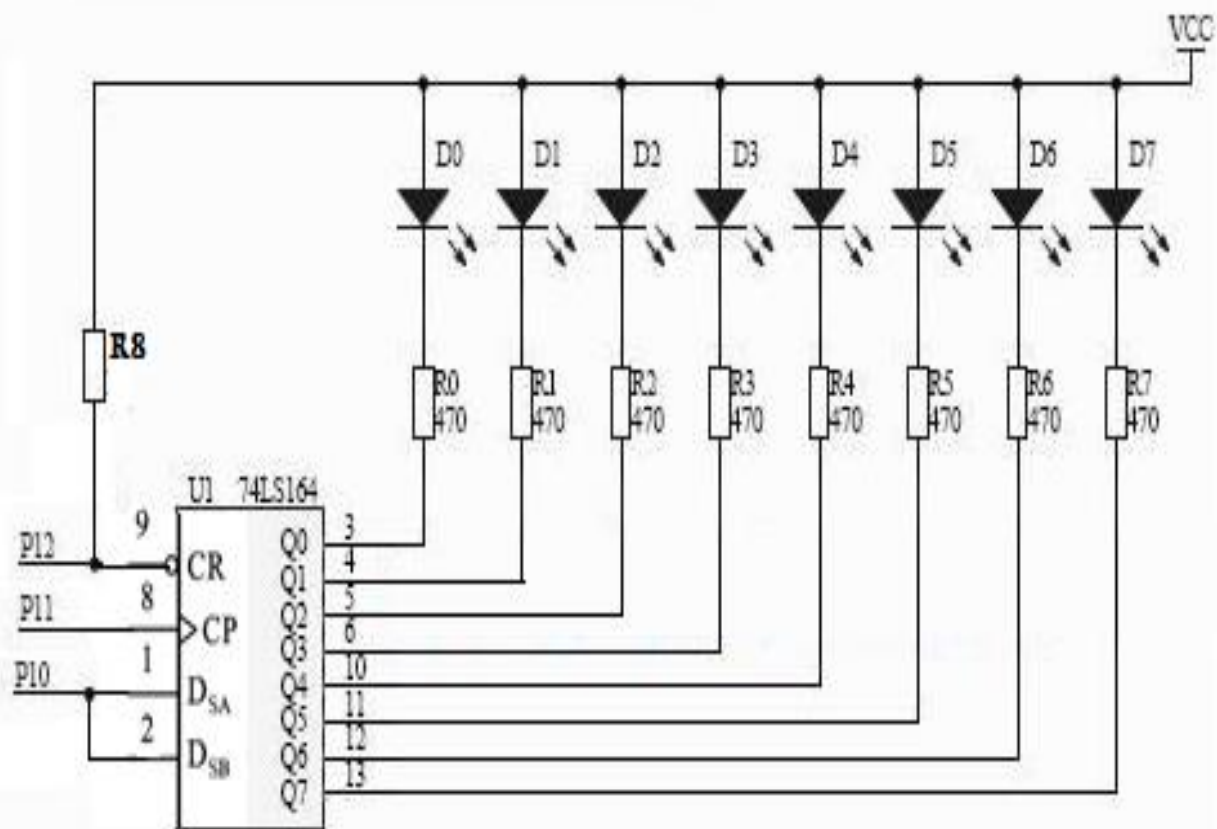
(2) 74164功能表

\overline{CR}	CP	D_0	Q_0Q_1	Q_7
0	×	×	0 0	0
1	↑	0	0 Q_0	Q_6
1	↑	1	1 Q_0	Q_6

$$D_0 = D_{SA} D_{SB}$$



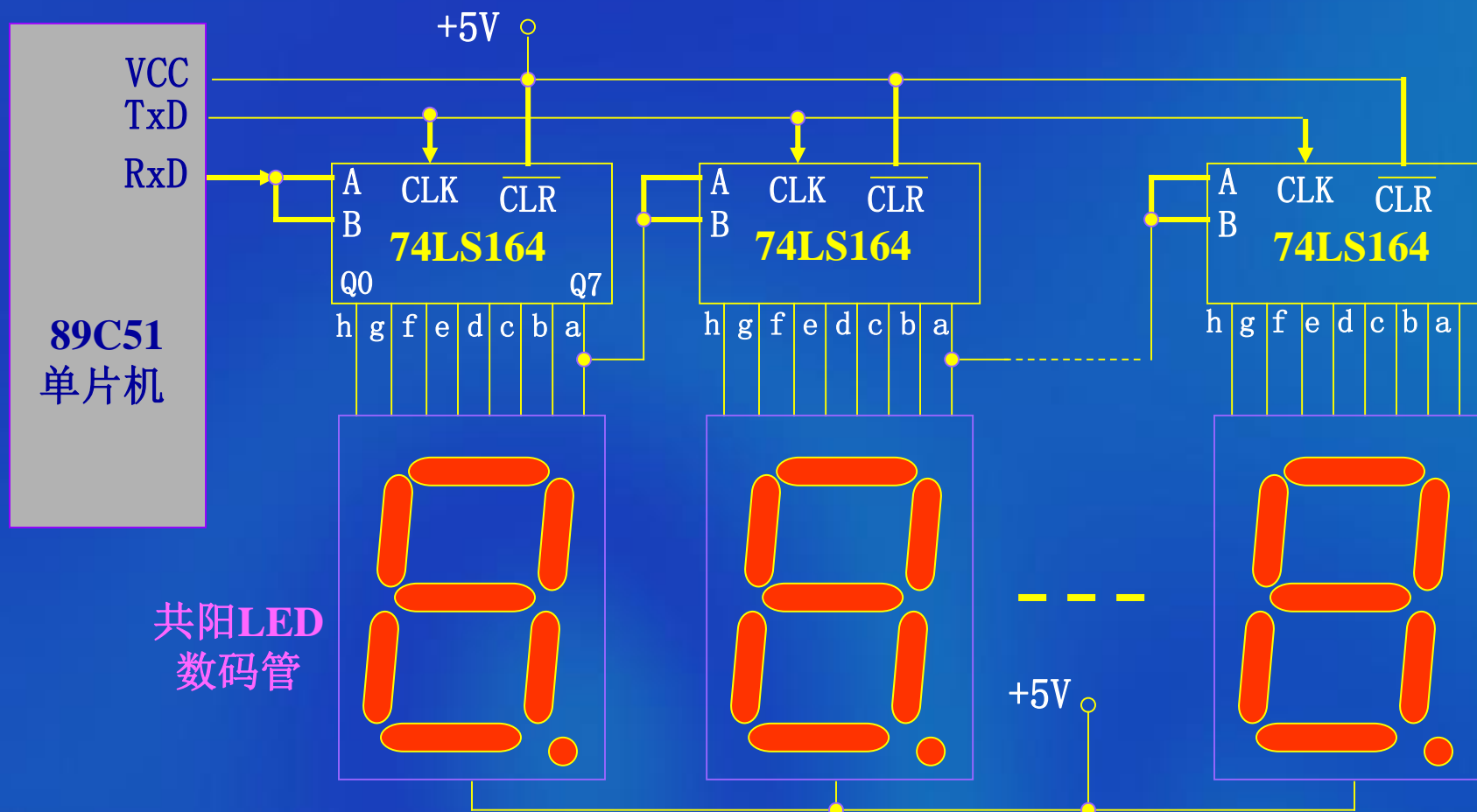
移位寄存器的应用



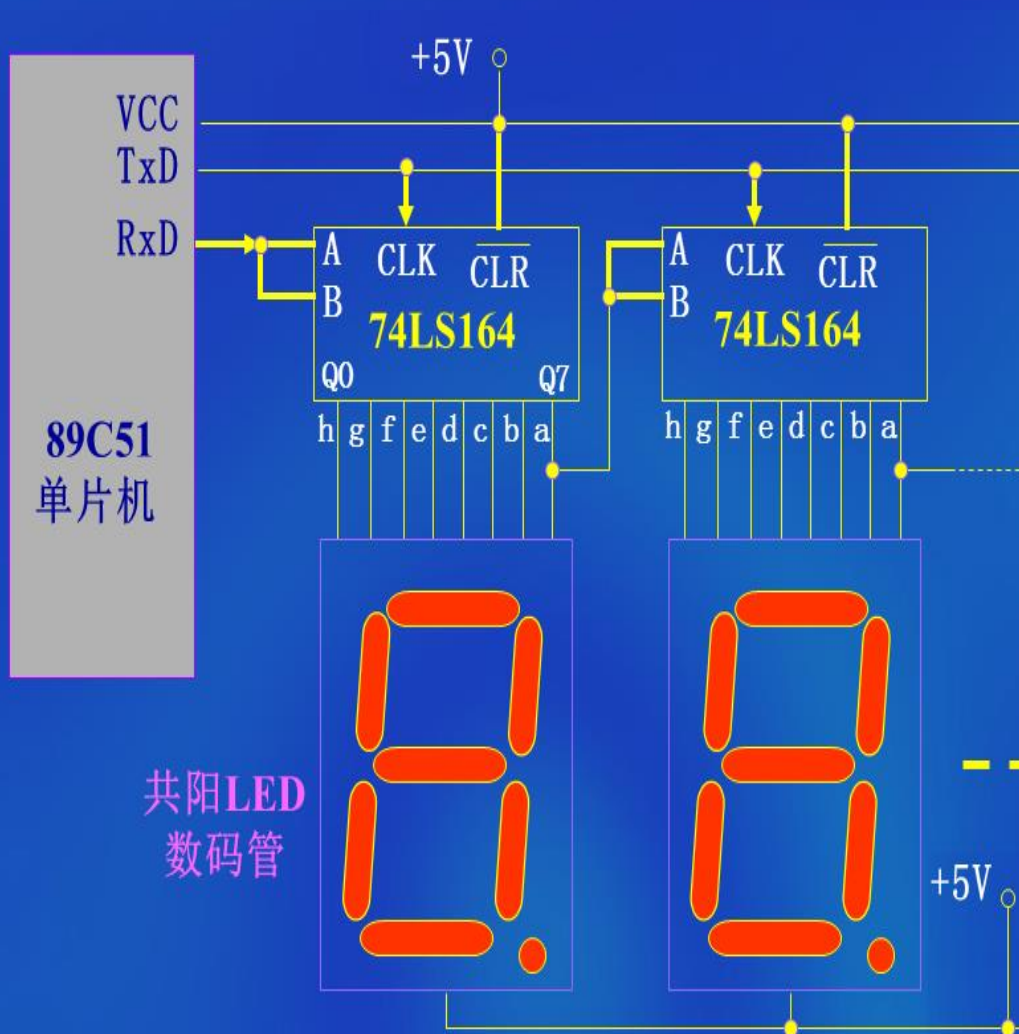
一个数字系统经常会有很多外围设备，由于引脚数有限，常常用移位寄存器实现端口的扩展。

比如，74LS164是一个串行输入并行输出的移位寄存器，可用于扩展并行输出口。

LED数码管静态显示



思考：要在最左边两个数码管上显示12，如何送段码？



先送2:

hgfedcba

10100100 (先送a的0, 最后送h的1)

再送1:

hgfedcba

11111001 (先送a的1, 最后送h的1)

静态显示：公共端已接有效电平，各数码管段码独立。

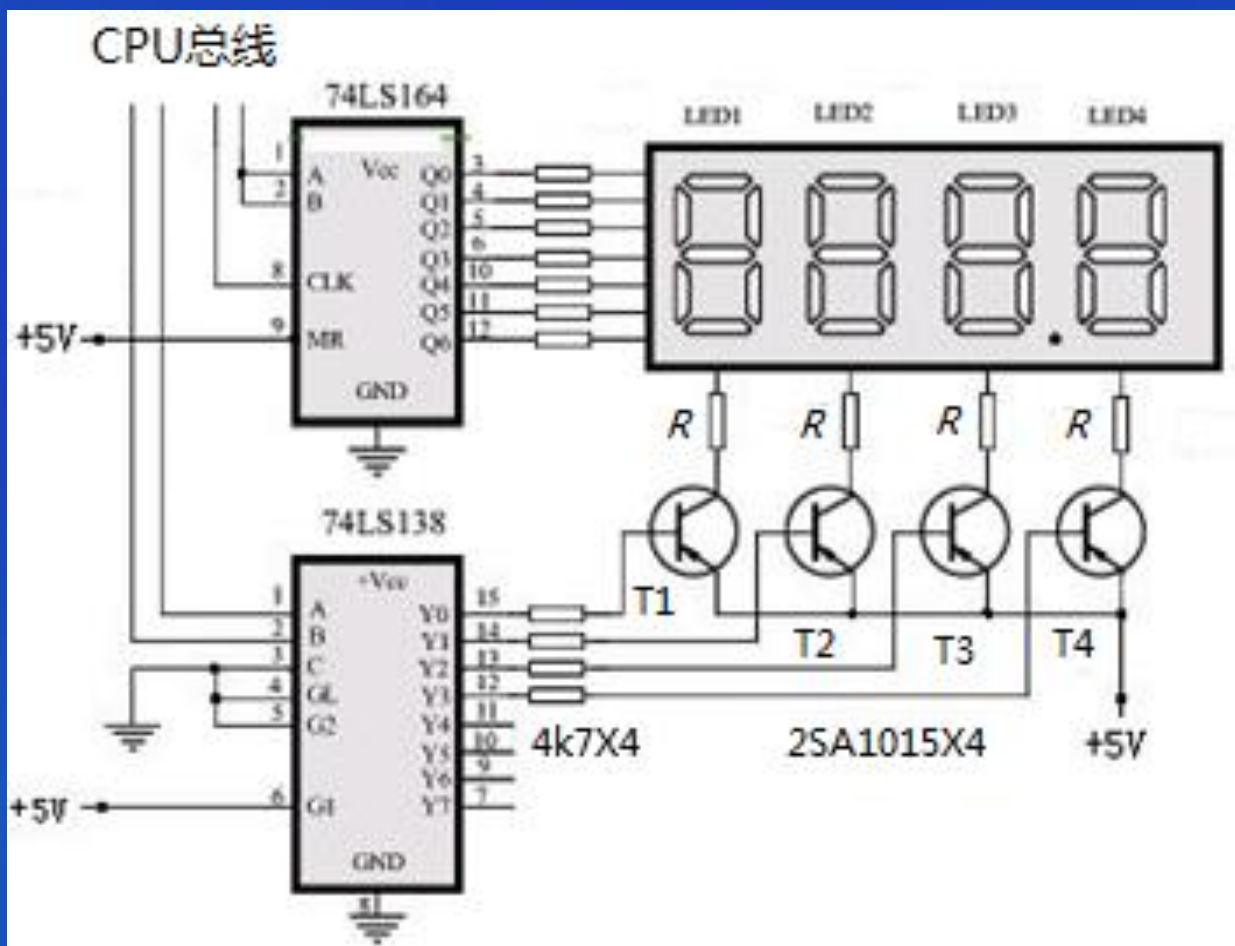
送一次段码后显示即稳定，亮度高。但所需器件多。

上页

下页

返回

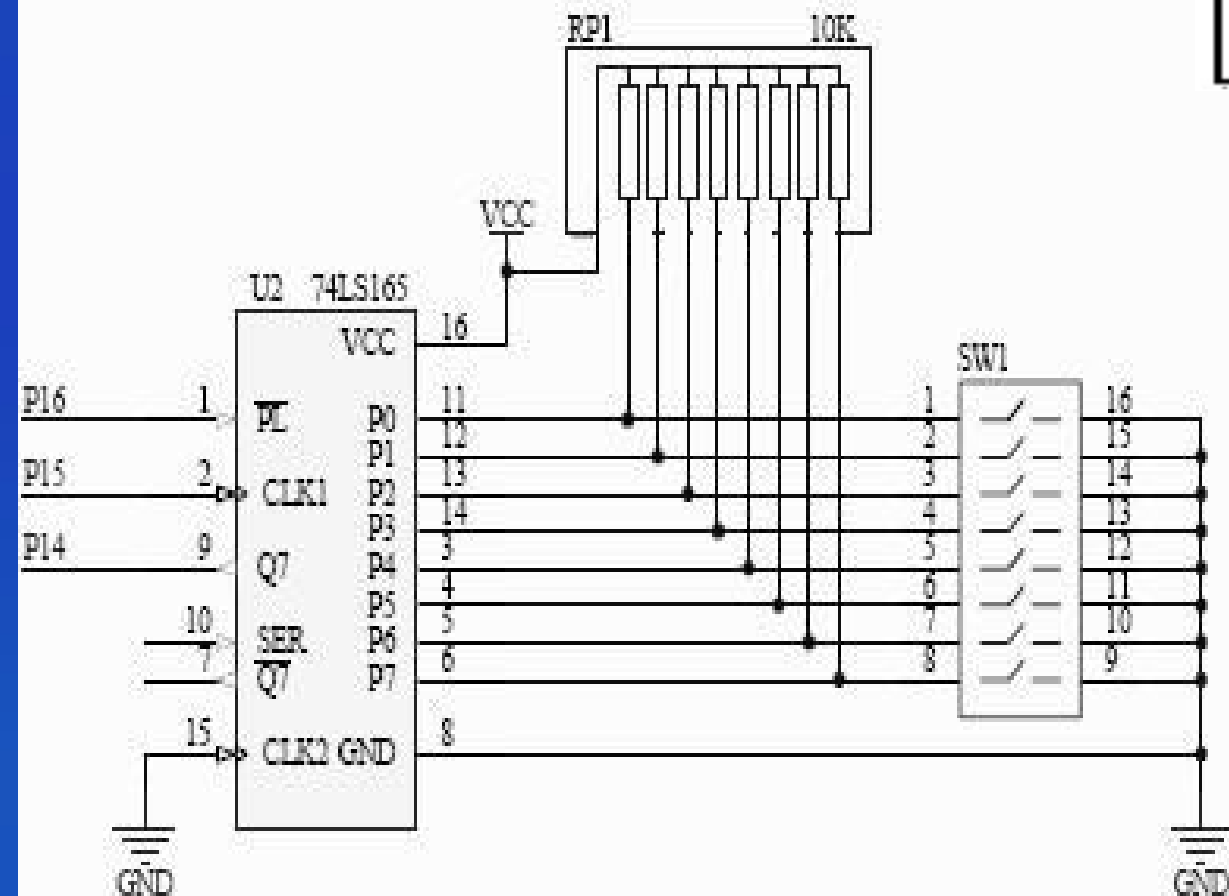
LED数码管动态显示



一片74LS164锁存数码管七段信息，由译码器74LS138进行位选，完成动态显示。

74LS165扩展并行输入

FUNCTION TABLE			
INPUTS			FUNCTION
$\overline{\text{PL}}$	CLK	CLK INH	
L	X	X	Parallel load
H	H	X	No change
H	X	H	No change
H	L	\uparrow	Shift \uparrow
H	\uparrow	L	Shift \uparrow



74LS165是8位并行输入串行输出移位寄存器，可以扩展一个或多个8位并行输入接口。

2. 4位双向移位寄存器74194

$D_0 \sim D_3$ 为并行数据输入端

\overline{CR} 为异步置零输入端

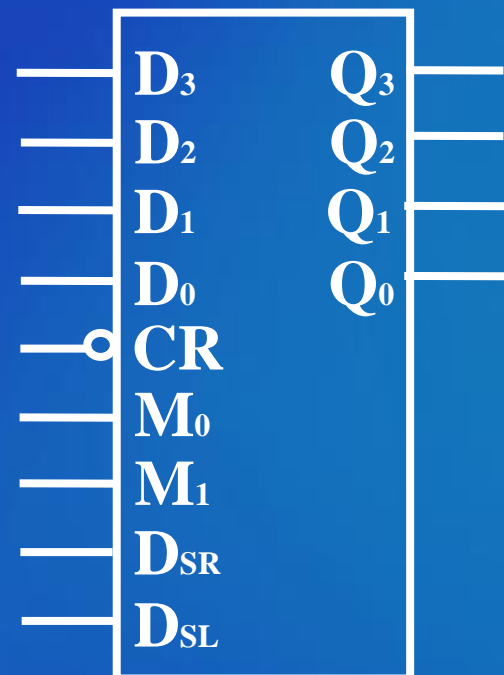
M_1 、 M_0 为工作方式控制端

D_{SL} 是数据左移输入端

D_{SR} 是数据右移输入端

$Q_0 \sim Q_3$ 为并行数据输出端

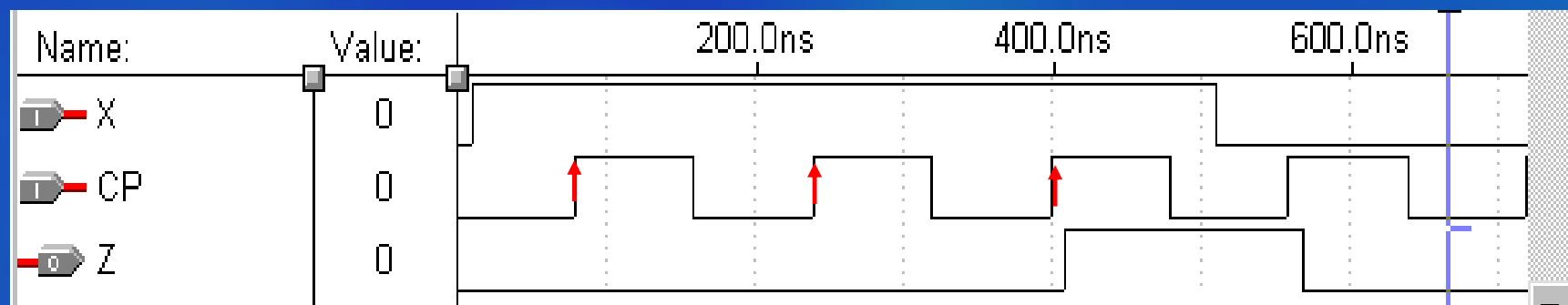
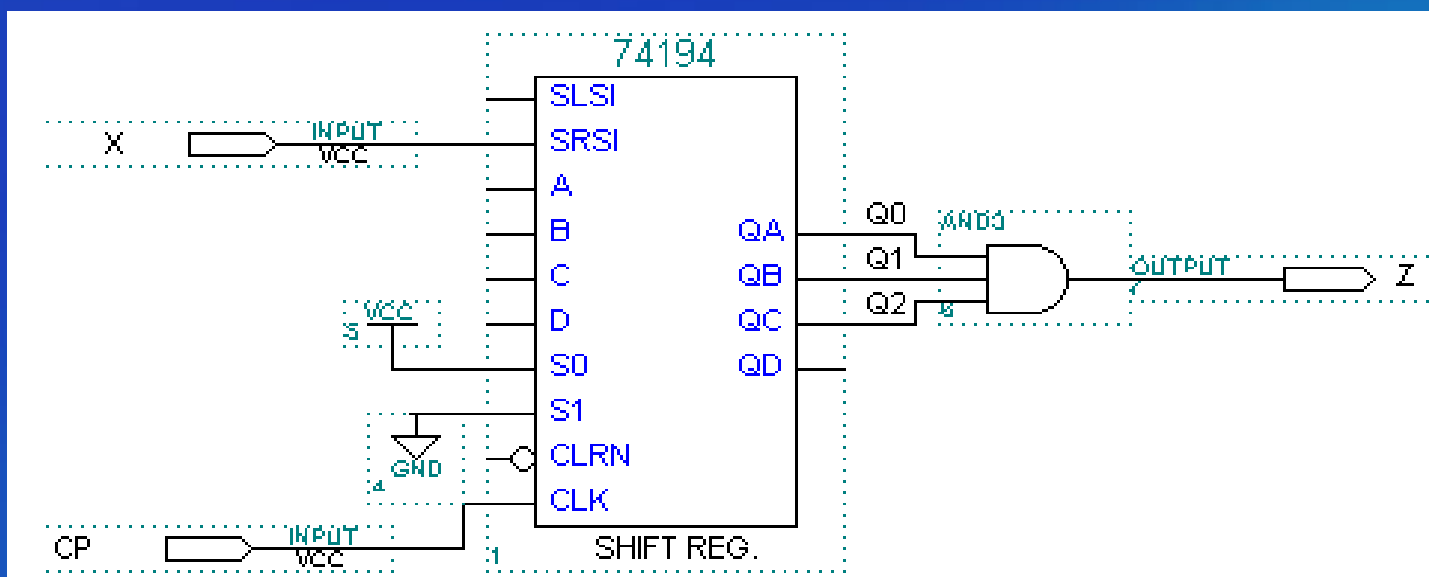
74194



C_r	M_1	M_0	CP	D_L	D_R	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
0	×	×	×	×	×	×	×	×	×	0	0	0	0
1	0	0	×	×	×	×	×	×	×		保	持	
1	0	1	↑	×	S_R	×	×	×	×	S_R	Q_0^n	Q_1^n	Q_2^n
1	1	0	↑	S_L	×	×	×	×	×	Q_1^n	Q_2^n	Q_3^n	S_L
1	1	1	↑	×	×	a	b	c	d	a	b	c	d
1	×	×	0	×	×	×	×	×	×		保	持	

[例] 设计一串行序列检测器，当检测到111序列时，电路输出为1。

使用移位寄存器加组合门电路



作业

自练题:

- 8.16

作业题:

- 8.13
- 8.17

本章小结

1. 时序逻辑电路的特点；任一时刻输出状态不仅取决于当时的输入信号，还与电路的原状态有关。因此时序电路中必须含有存储器件。
2. 描述时序逻辑电路逻辑功能的方法有状态转换表、状态转换图和时序图等。
3. 基于触发器的时序逻辑电路的分析步骤
4. 基于FF的时序逻辑电路的设计步骤
5. 计数器是一种简单而又最常用的时序逻辑器件。计数器不仅能用于统计输入脉冲的个数，还常用于分频、定时、产生节拍脉冲等。
6. 用已有的 M 进制集成计数器产品可以构成 N (任意)进制的计数器
7. 寄存器也是一种常用的时序逻辑器件。寄存器分为数码寄存器和移位寄存器两种。