

10 半导体存储器

10.1 存储器基本概念

10.2 随机存储器

10.3 只读存储器

10.4 集成存储器芯片

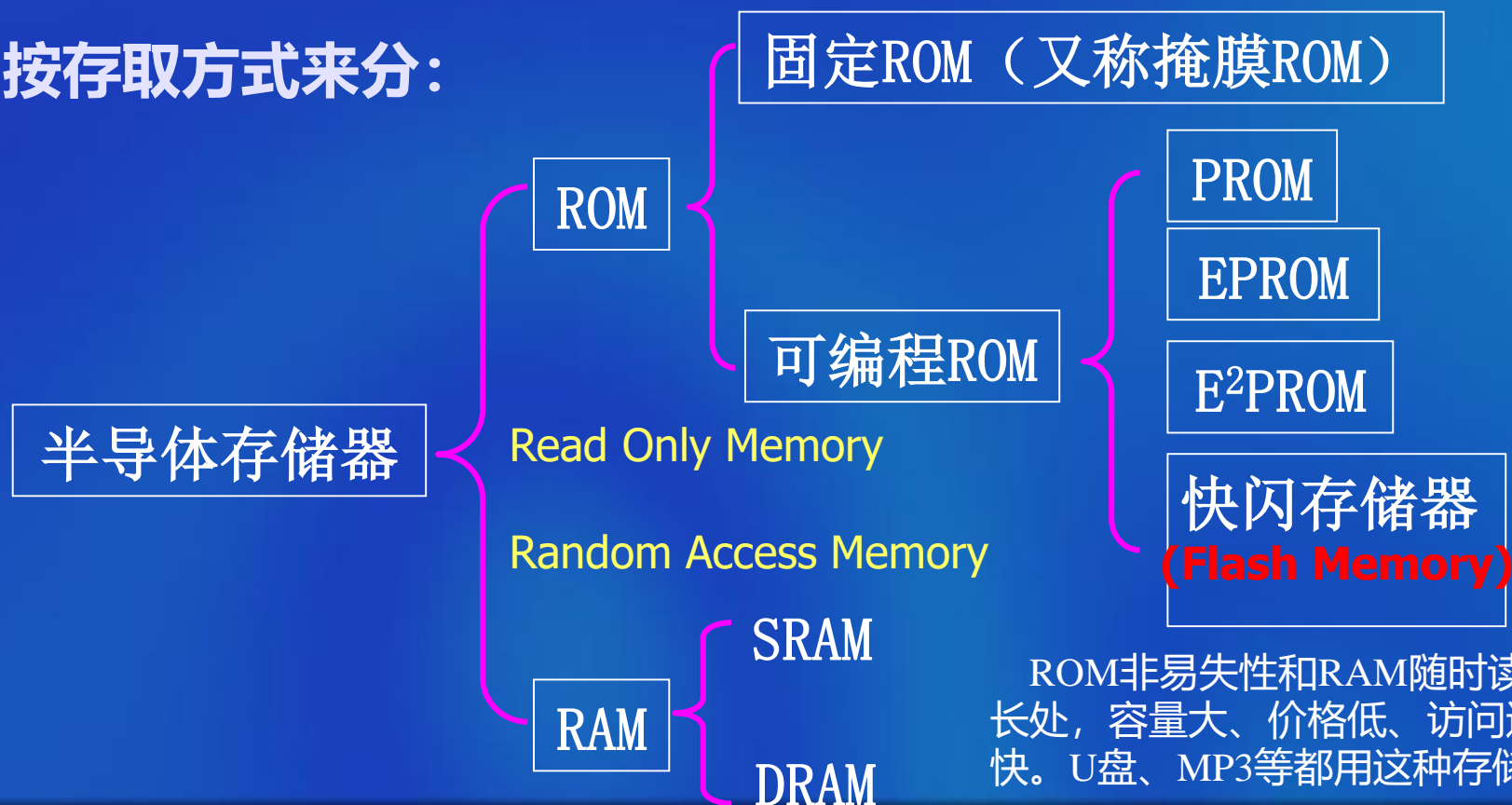
10.5 存储器容量的扩展

10.6 集成存储器与处理器接口

10.1 存储器基本概念

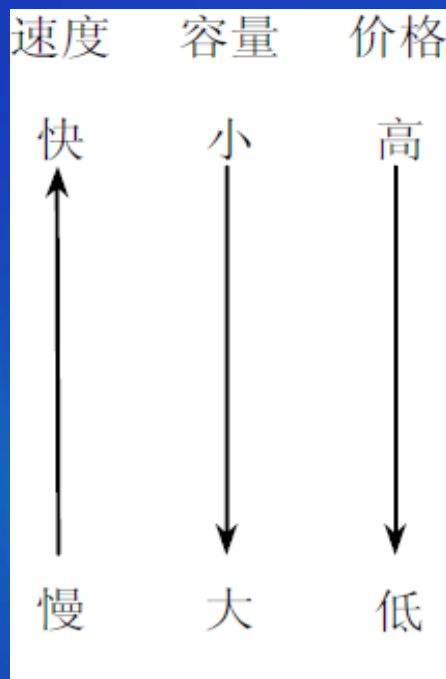
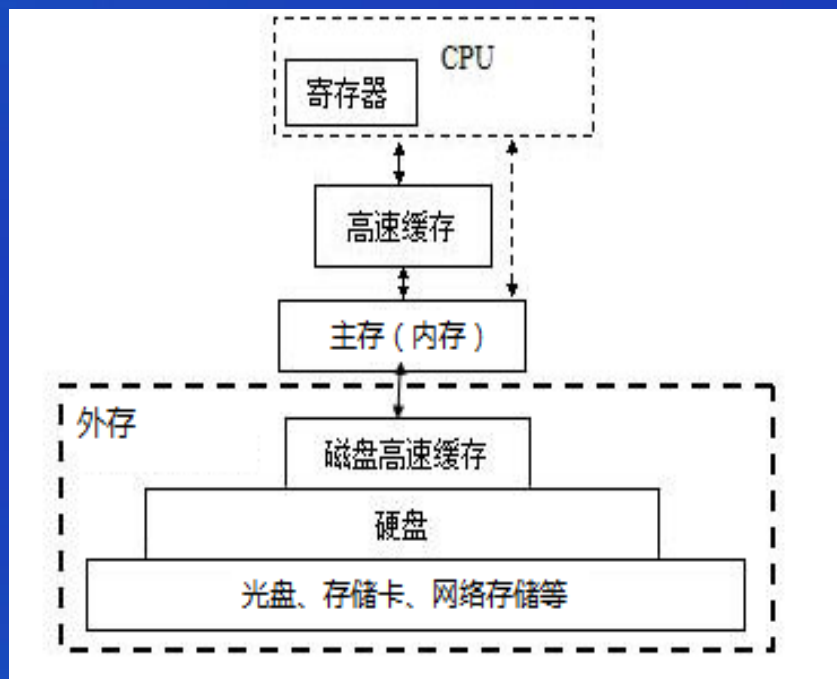
半导体存储器是一种能存储大量二值数字信息的大规模集成电路，是现代数字系统特别是计算机中的重要组成部分。

按存取方式来分：



ROM非易失性和RAM随时读写的长处，容量大、价格低、访问速度快。U盘、MP3等都用这种存储器。

按照在计算机中的作用分类



主存储器(内存)、高速缓冲存储器、外存储器、寄存器型存储器等。

按存储数据是否共享：单端口和双端口存储器（两套完全独立的数据线、地址线和读/写控制线，允许两个独立的微处理器或控制器同时异步地随机性访问。

存储器的性能指标

存储容量

所能存储二进制信息的总量。一位 (bit) 二进制数是最小单位, 8位二进制为一个字节 (Byte), 单位用B表示。

一般按字节编址, 字节 (B) 是存储容量的基本单位。

KB ($2^{10}B=1024B$)、MB ($2^{20}B$)、GB ($2^{30}B$) 和TB ($2^{40}B$)。

存取速度

存取时间和存储周期来衡量。存取时间即访问时间或读/写时间 (从启动一次存储器操作到完成该操作所经历的时间)。

一般超高速缓冲存储器的存取时间约为20ns, 低速存储器约300ns。SRAM的存取时间约60ns, DRAM约120~250ns。

存储周期是指连续启动两次独立的存储器操作所需间隔的最小时间, 通常略大于存取时间。

可靠性

在规定时间内，存储器无故障读/写的概率。用平均无故障时间（Mean time between failures, MTBF）衡量，即两次故障之间的平均时间间隔，越长说明存储器的性能越好。

功耗

反应耗电的多少，同时反应发热的程度。功耗越小，存储器的工作稳定性越好。大多数半导体存储器的维持功耗小于工作功耗。

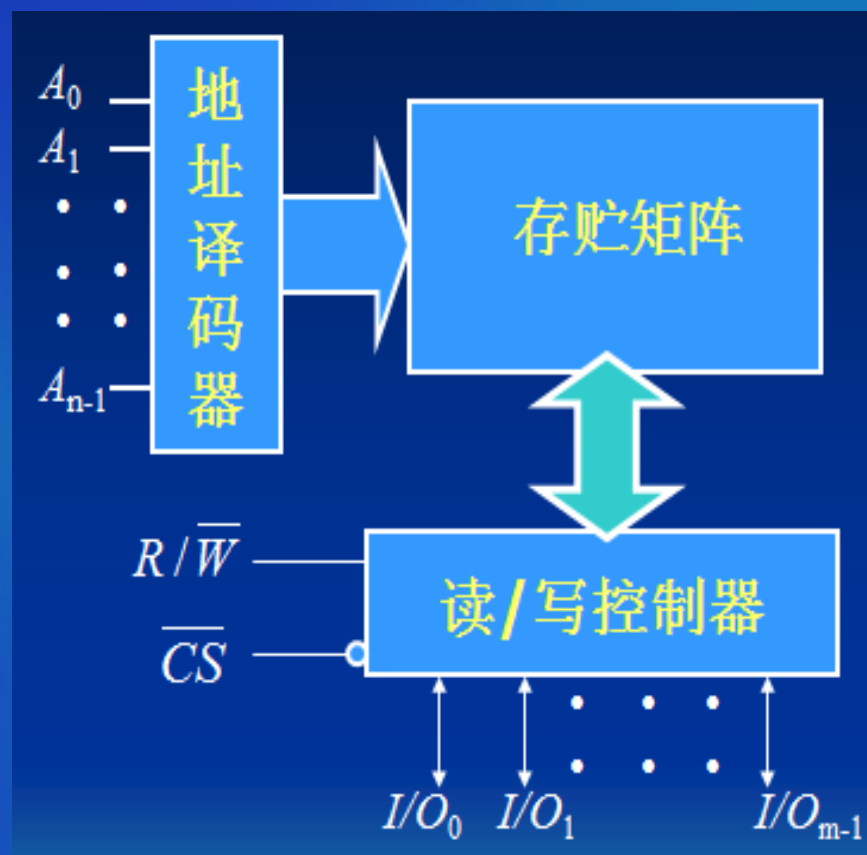
10.2 随机存储器

RAM的一般组成:

存储矩阵: 存放数据

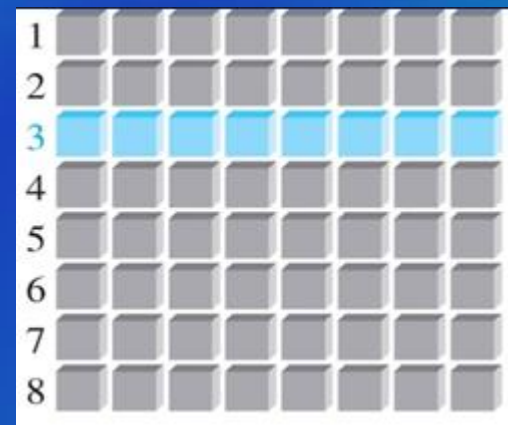
地址译码器: 提供要访问的存储单元的地址

读/写控制器: 控制由地址译码选中的这些单元的读出和写入操作。



1. 存储矩阵

存储矩阵由大量基本存储单元组成，每个存储单元可以存储一位二进制数。这些存储单元按字(Word)和位(Bit)构成存储矩阵。



蓝色单元组成一个字，它们具有相同的地址，可同时作为整体被访问。

◆ bit (位) : 1个存储单元即是1位。

◆ word (字) : 作为整体存储的单元的集合。

地址码	存储的二进制数码 (字节)
0 0 0 w_0	0 0 1 1 0 1 0 0
0 0 1 w_1	0 1 1 0 1 0 0 1
0 1 0 w_2	0 0 1 0 0 1 0 1
0 1 1	1 0 0 0 0 0 1 0
1 0 0	0 0 0 1 0 1 1 0
1 0 1	0 1 0 0 1 0 0 0
1 1 0	1 0 0 1 1 0 0 1
1 1 1 w_7	0 0 0 1 0 0 1 1

2. 地址译码

对RAM地址线上的二进制信号进行译码，选中与该地址码对应字的一个或几个基本存储单元，在读/写控制器的控制下进行读/写操作。

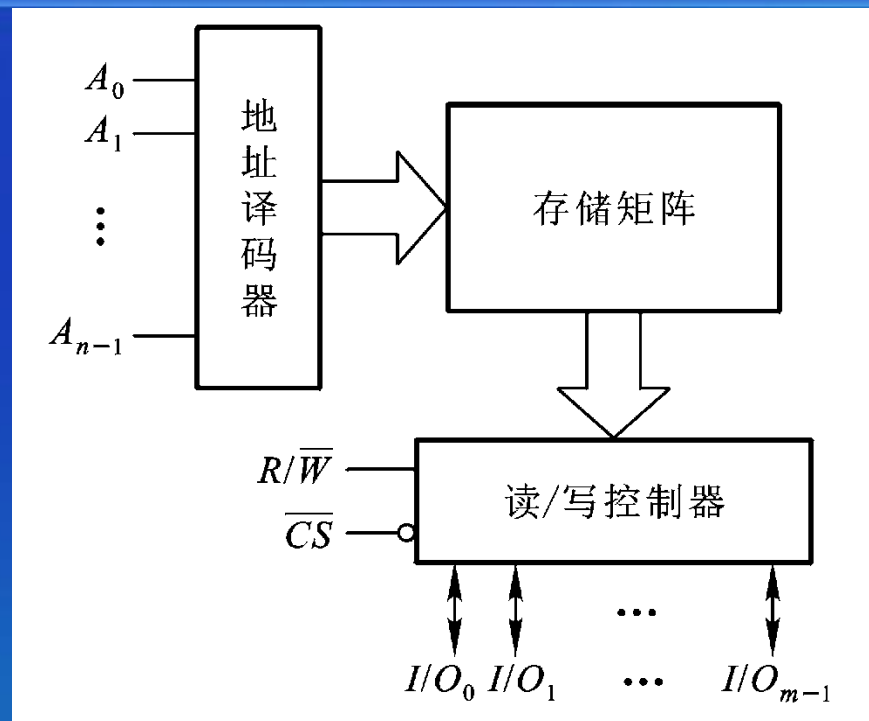
地址线数决定字数：

一个具有4根地址线的RAM，则可选择 2^4 个字。

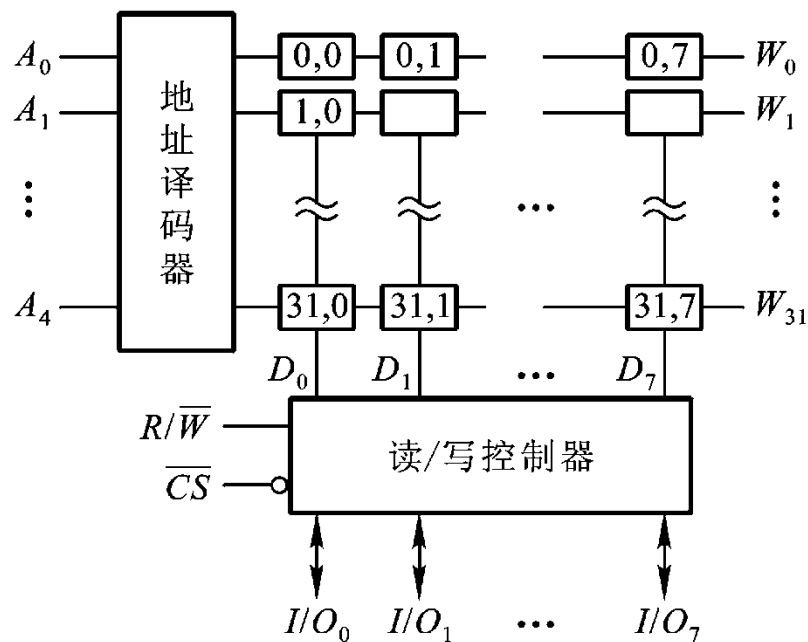
一个具有 n 根地址线的RAM，则有 2^n 个字。

存储矩阵中存储单元的编址方法：

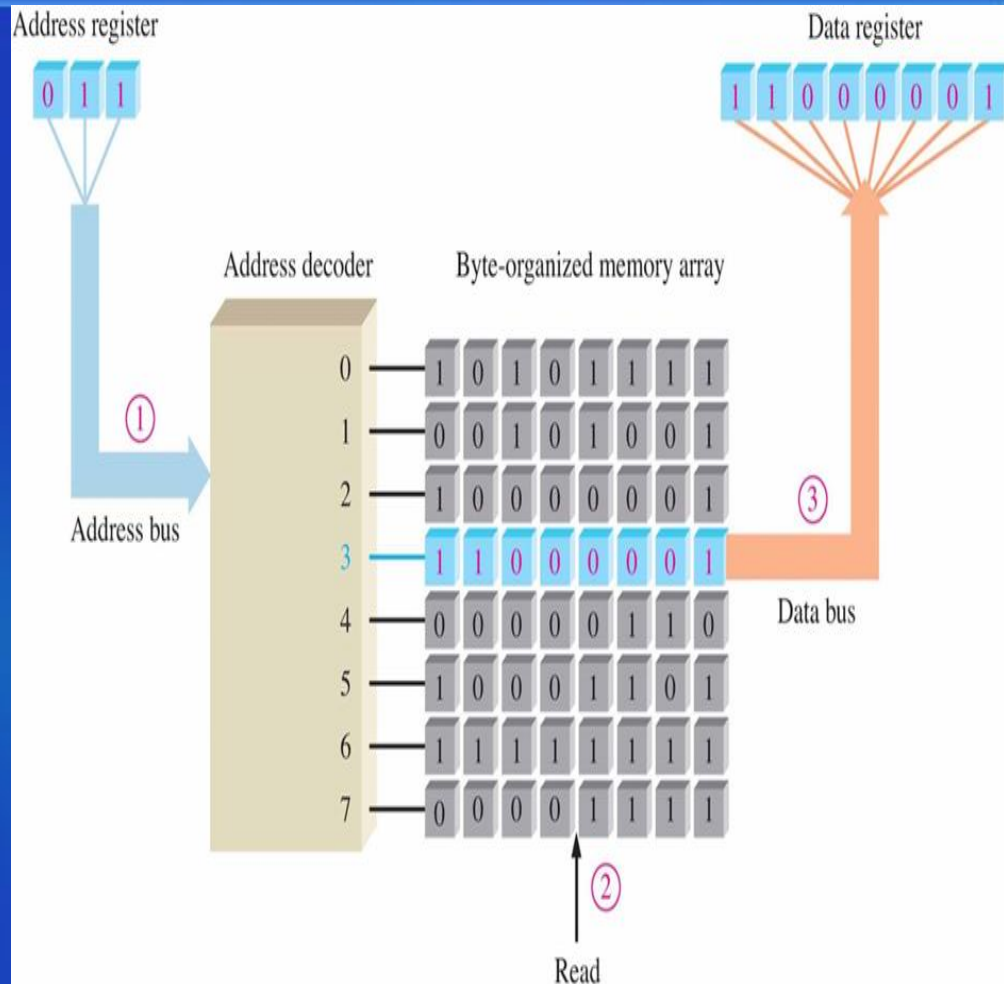
- (1) 单译码编址式，适用于小容量的存储器。
- (2) 双译码编址式，适用于大容量的存储器。



单地址译码结构图

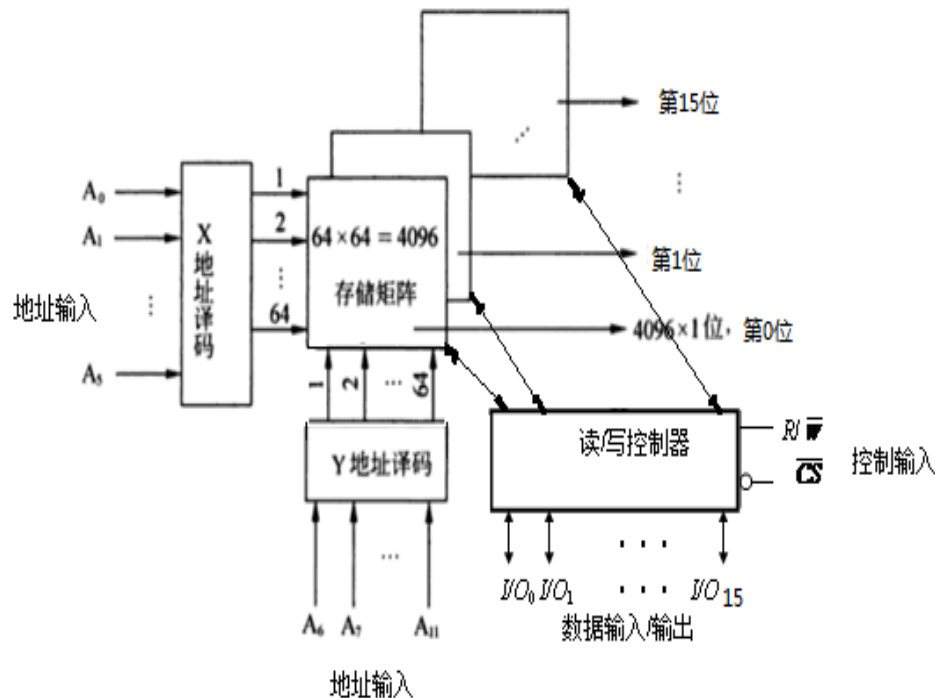
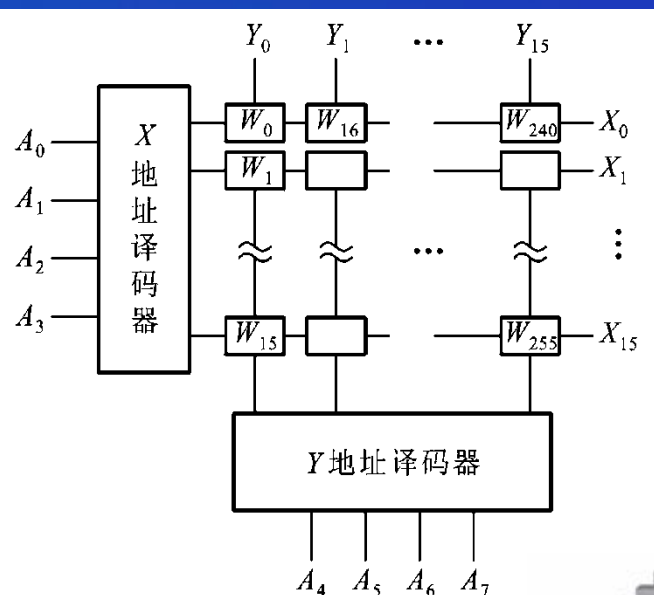


每一行对应一个字，字线 W_i 选择一个字的所有位。
5根地址线，所以有32个字。每一列对应32个字的同一位。

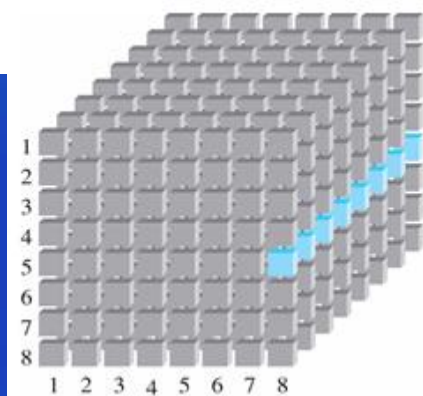


- ① Address code 011 is placed on the address bus and address 3 is selected.
- ② Read command is applied.
- ③ The contents of address 3 is placed on the data bus and shifted into data register. The contents of address 3 is not erased by the read operation.

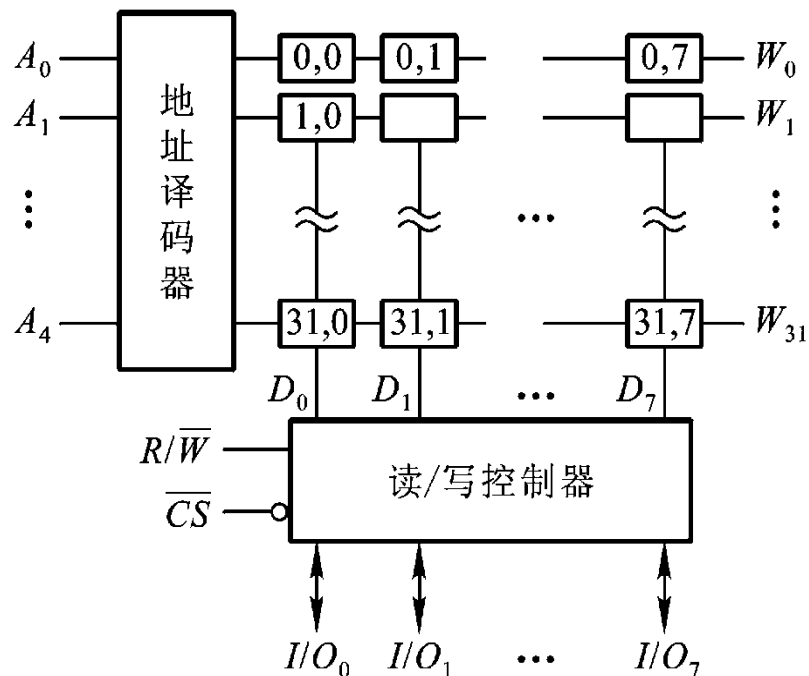
双地址译码方式的结构图



双译码编址方式中，地址译码器分成X和Y两个。



存储矩阵中的每个字能否被选中，由X地址线和Y地址线共同决定的。
如，地址输入00001111， y_0 和 x_{15} 地址线均为高电平，字 w_{15} 存储单元被选中。

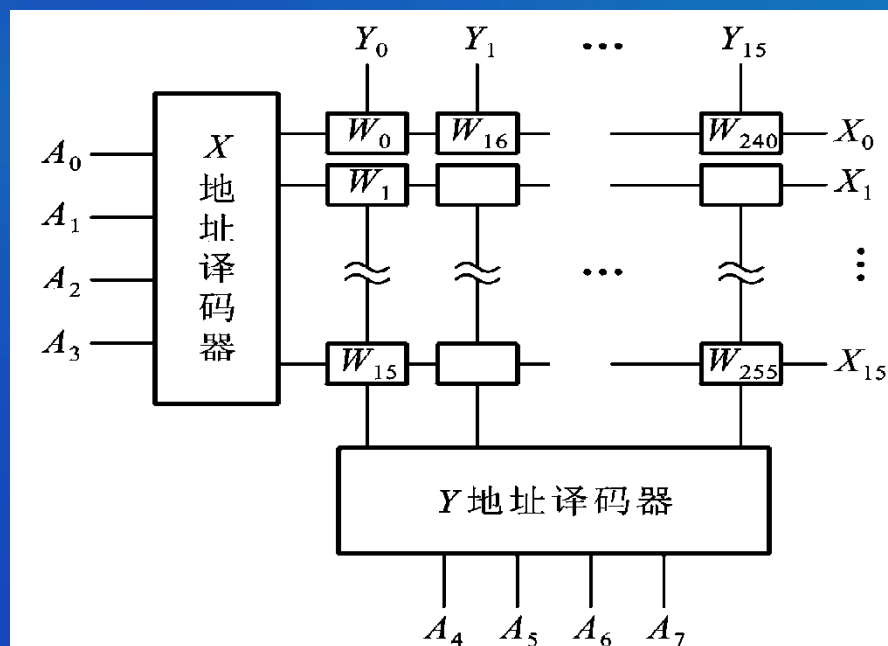


可选字数256时内部需要256根线。

由于DRAM集成度高，芯片的容量大，需要较多的输入线，一般采用双译码编址方式。

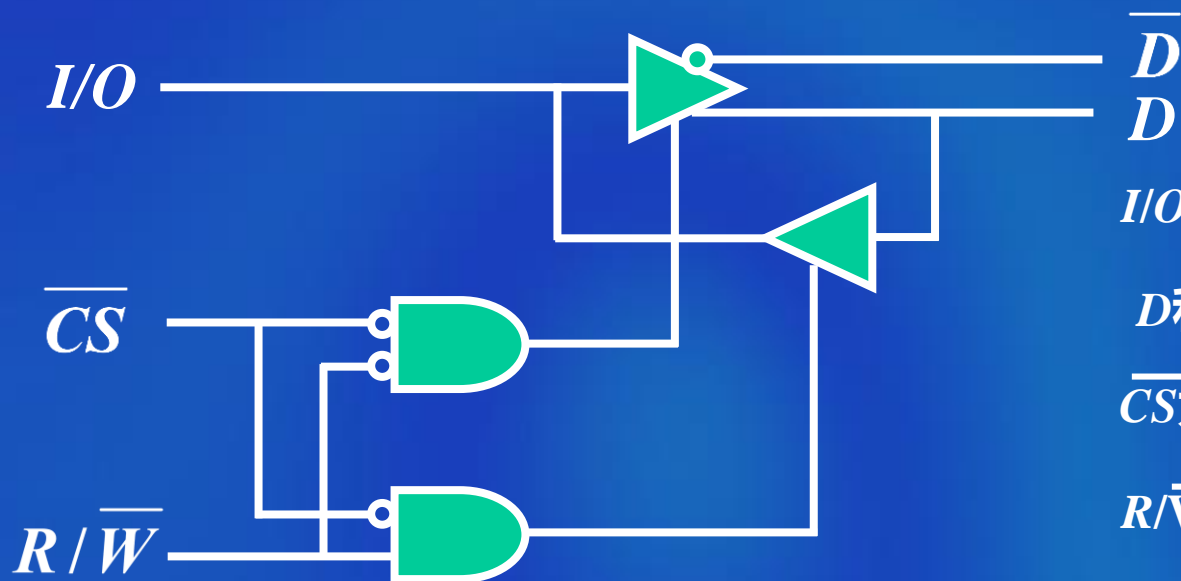
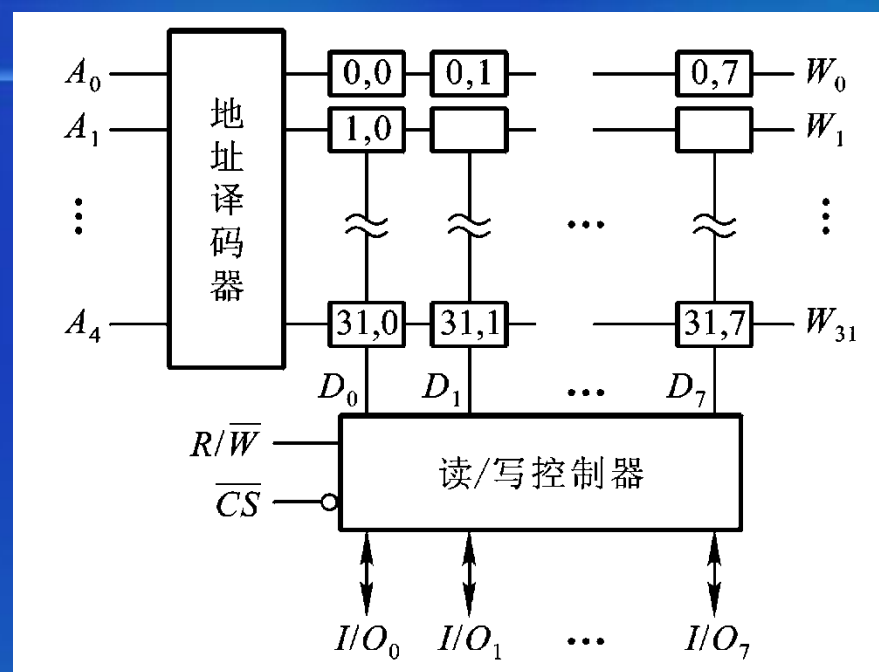
采用双译码编址方式，可以减少内部地址译码线的数目。

可选字数256，内部字线16+16=32根



3. 读/写控制器

基本存储单元通过地址译码器被选中后，该基本存储单元的信息能否被读出，或者外部的信息能否写到该基本存储单元中，还决定于读/写控制器。

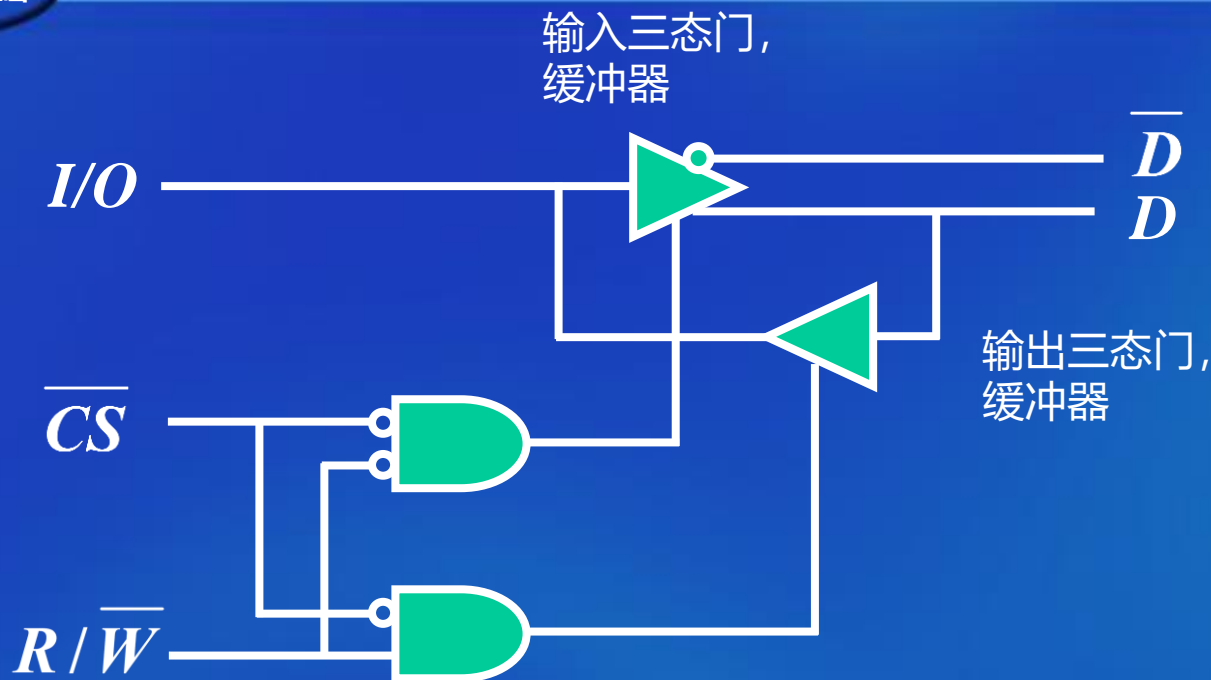


I/O 为存储器的数据输入输出端

D 和 \overline{D} 为RAM内部数据线

\overline{CS} 为片选控制输入端

R/\overline{W} 为读/写控制输入端

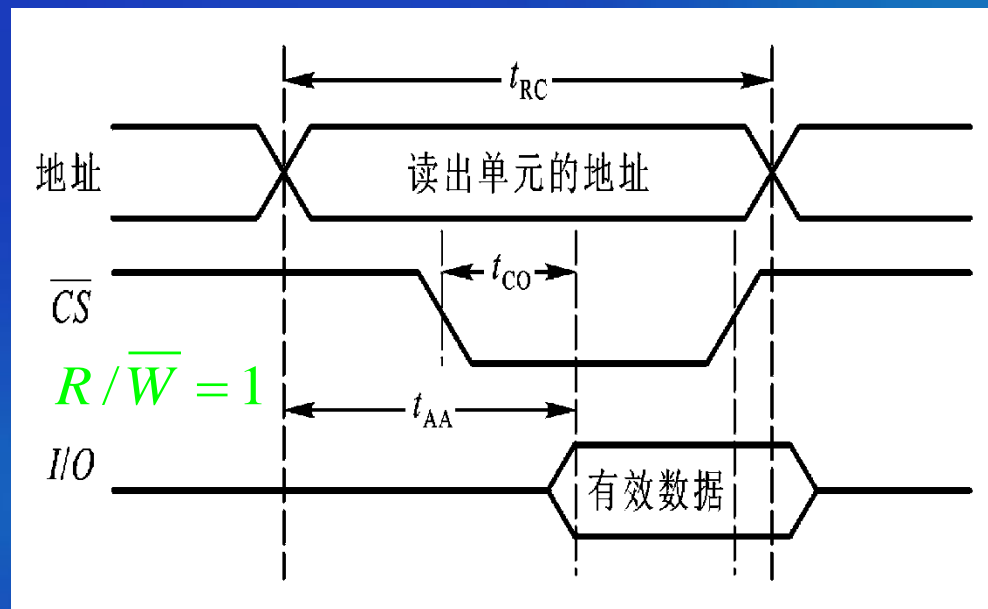
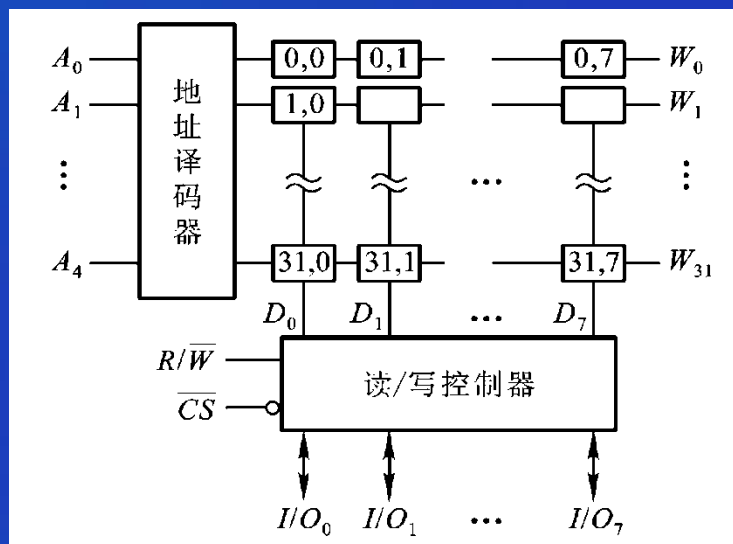


当片选控制信号 $\overline{CS}=1$ 时，读/写控制器都处于高阻状态。

当 $\overline{CS}=0$ ， $R/\overline{W}=1$ 时，读出驱动器使能， $I/O=D$ ，RAM中的信息被读出；

当 $\overline{CS}=0$ ， $R/\overline{W}=0$ 时，读入驱动器使能，输入数据经过写入驱动器，以互补的形式加在数据线 D 和 \overline{D} 上，数据被写入RAM中被选中的存储单元。

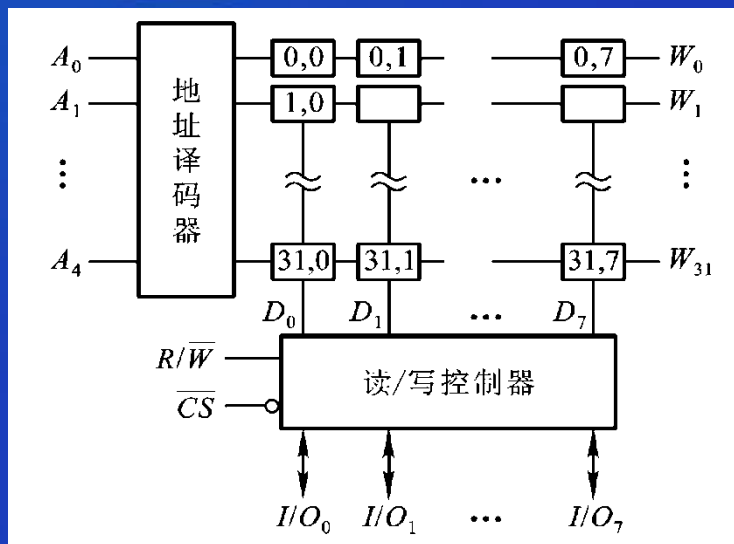
RAM的读写时序



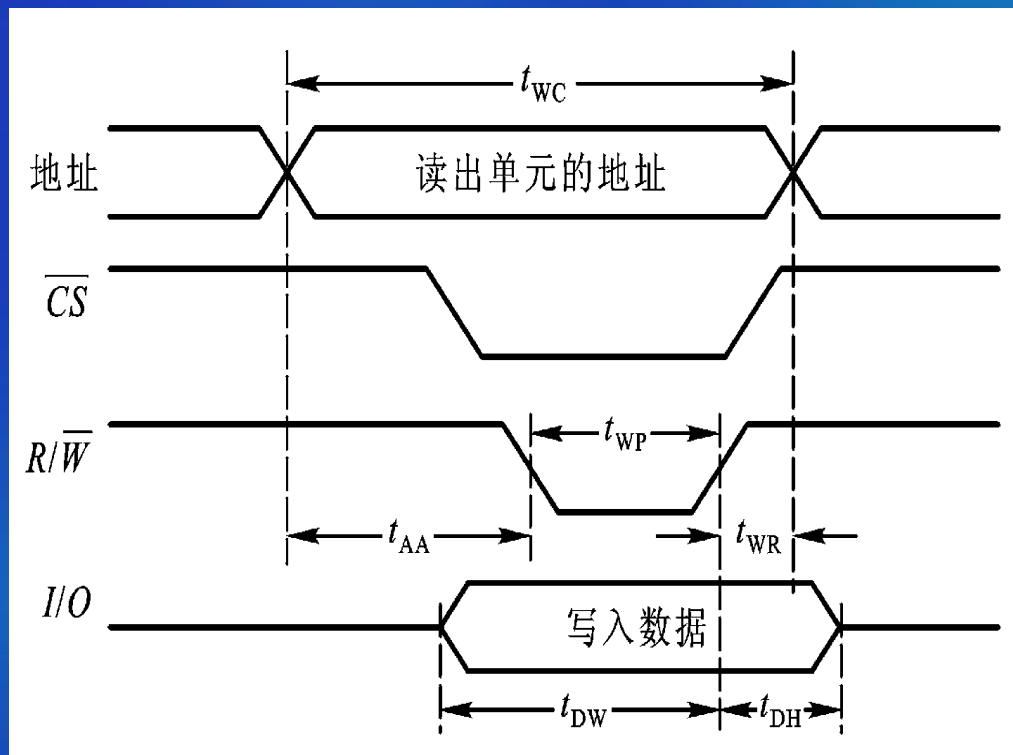
读出过程:

- (1) 欲读数据的地址加到RAM的地址输入端;
- (2) 读写信号一直保持高电平读状态;
- (3) \overline{CS} 端加入低电平信号, 延时 t_{CO} 后, 在 I/O 端会出现欲读的数据信号;
- (4) 使 \overline{CS} 无效, 再经过一小段延时后, I/O 端回到高阻状态, 完成本次读操作。

t_{RC} 是RAM两次读操作之间的最小时间间隔,即RAM的读周期。



写入过程:



- (1) 欲写入数据的地址加到RAM的地址输入端;
- (2) 在 \overline{CS} 端加入有效的片选低电平信号;
- (3) 将欲写入的数据加到数据输入端;
- (4) 读写信号 R/\overline{W} 变为低电平, 保持一段时间 t_{WP} , 以确保数据的可靠输入;
- (5) 使 \overline{CS} 无效, 完成本次操作, 经延时 t_{WR} 和 t_{DH} 后, 可以改变地址信号和写入数据。

RAM存储器的容量:

存贮容量 = 字数×字长(每个字所包含的二进制数码的位数)

64K×8表示具有64K字, 字长8位, 共512K的位存贮容量。

$1K=1024(2^{10})$, $M=1024K(2^{20})$

- ◆ byte (字节) : 8位组成的一个字称为一个字节。
- ◆ nibble (半字节) : 一个字节分成两个4位, 其中的一个称为半字。

RAM存储器的特点:

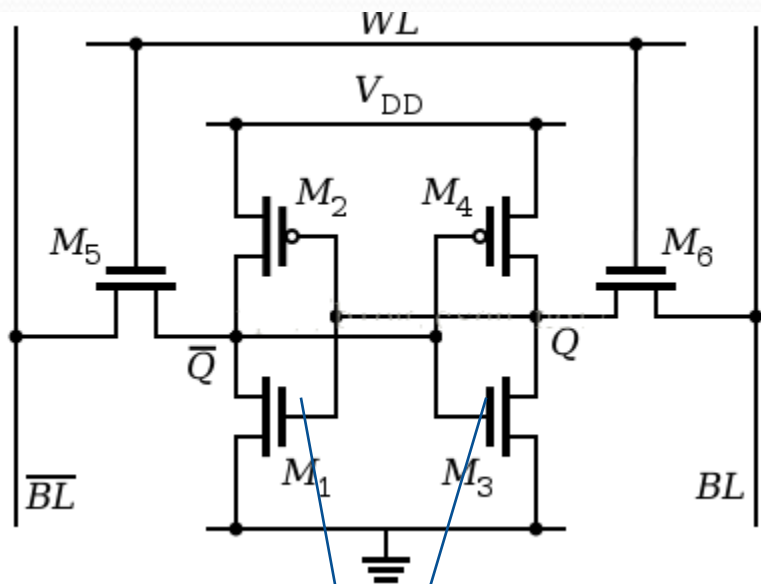
一旦关掉电源, 存放的数据全部丢失, 是易失性的 (volatile)。

RAM存储器的类型:

- ◆ SRAM (Static RAM, 静态RAM)
- ◆ DRAM (Dynamic RAM, 动态RAM)

SRAM的存储单元

6管存储单元



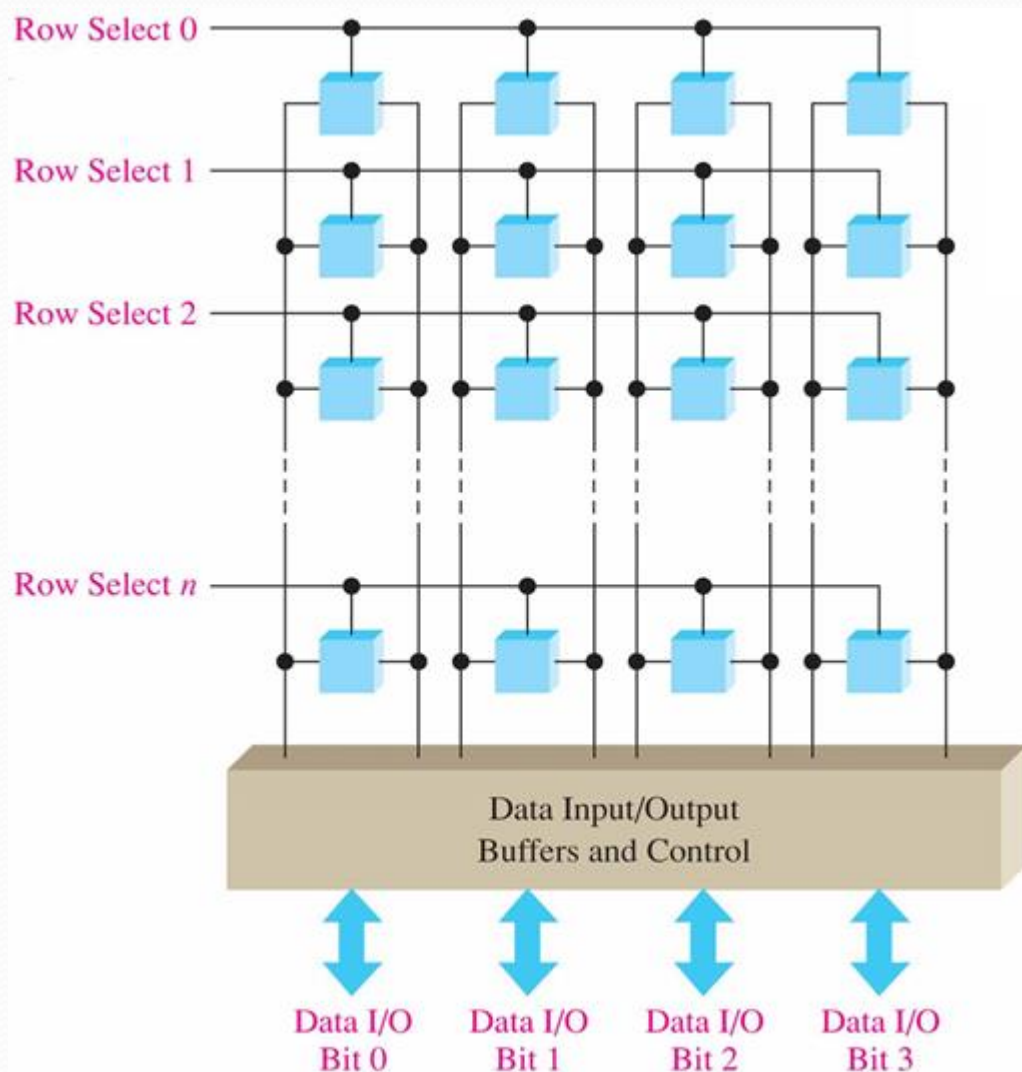
WL（字线）控制存储单元的门控访问。
BL（位线）进行存储单元的读写（两根位线反相，这种差分信号使得SRAM的抗干扰能力很强）。

读：拉高WL，从BL中读出位即可

写：拉高WL，拉高或者拉低BL，由于BL的驱动能力比存储单元强，会强制覆盖原来的状态（位线输入驱动的晶体管被设计为比基本存储单元更强）。

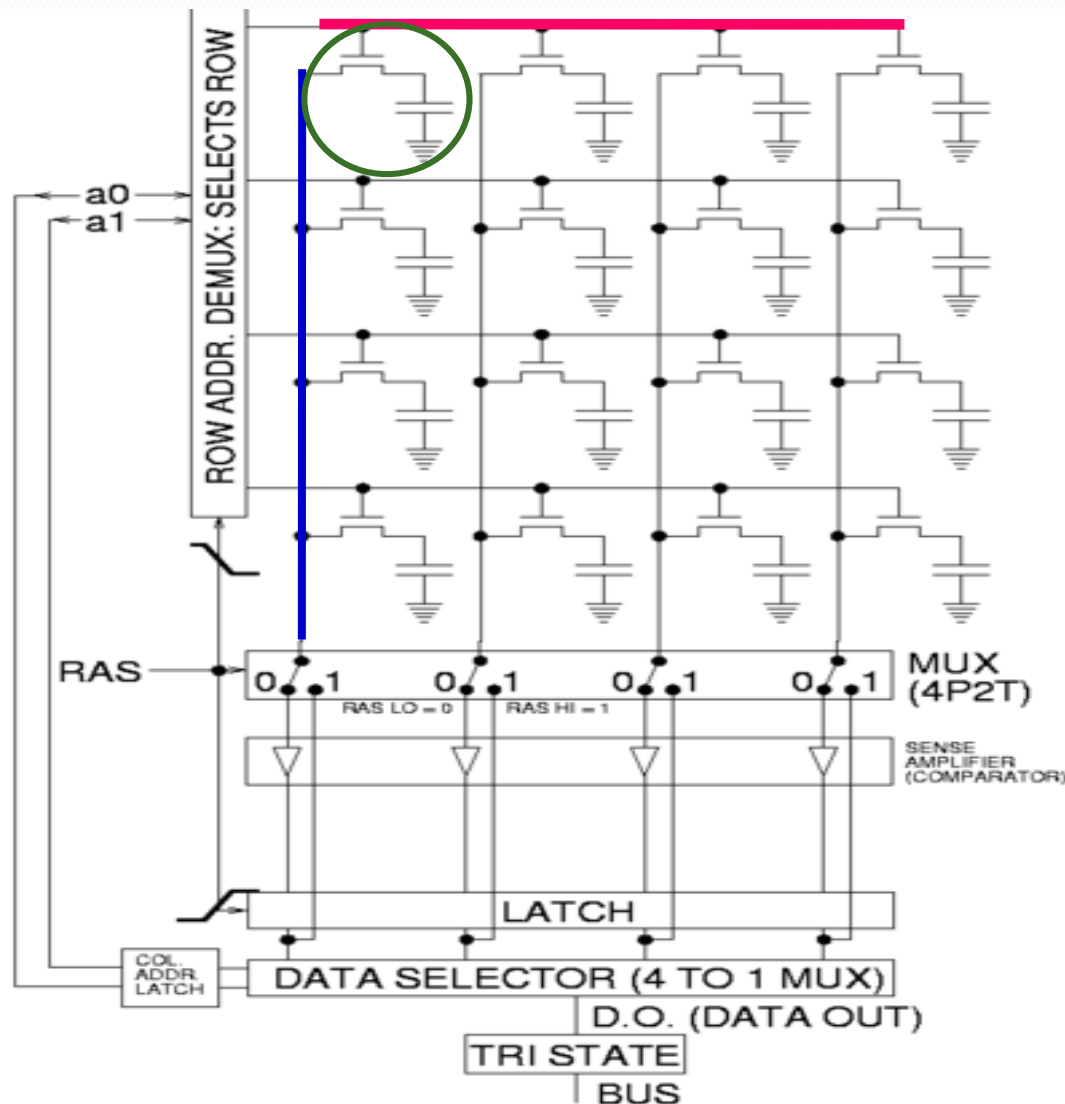
M1-M2 和 M3-M4是一个对称的结构，这是两个反相门的循环链接，由两个反相门循环相连的存储单元存在两种稳定状态，0和1。

SRAM存储矩阵



每行中的存储单元受同一个字线的控制，构成一个字。
4位可被同时选中。

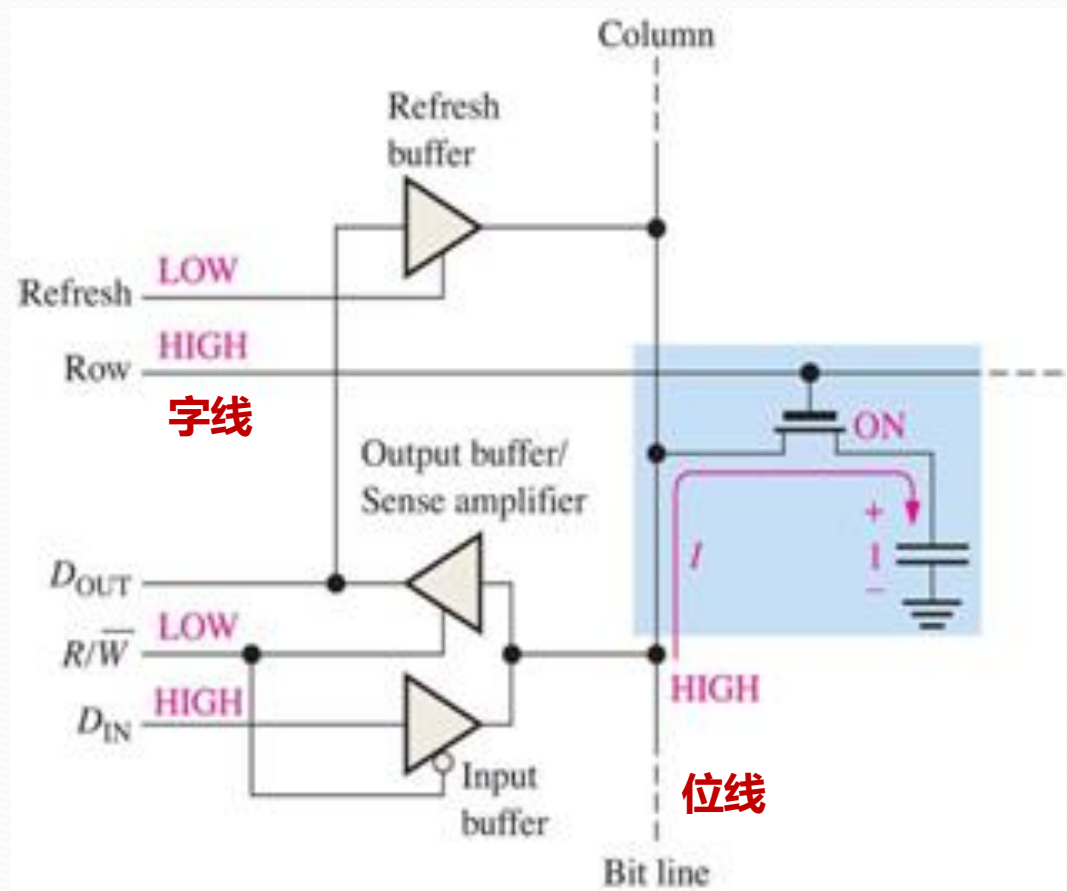
DRAM存储单元



- DRAM存储单元一般是利用电容存放信息。
- 为了提高集成度，目前大容量的DRAM存储单元由一个MOS管和一个电容组成。
- 晶体管为门控管。电容用来存储数据。
- 行对应字线，列对应位线。字线为高电平时对应的晶体管导通，电容与位线接通，可将数据写入或读出。
- 由于电容上的电荷会遗失，故DRAM需要进行刷新，以保证存储的信息不会丢失。一般8ms~16ms刷新一次，有些刷新周期可超过100ms。

DRAM存储单元---写 “1”

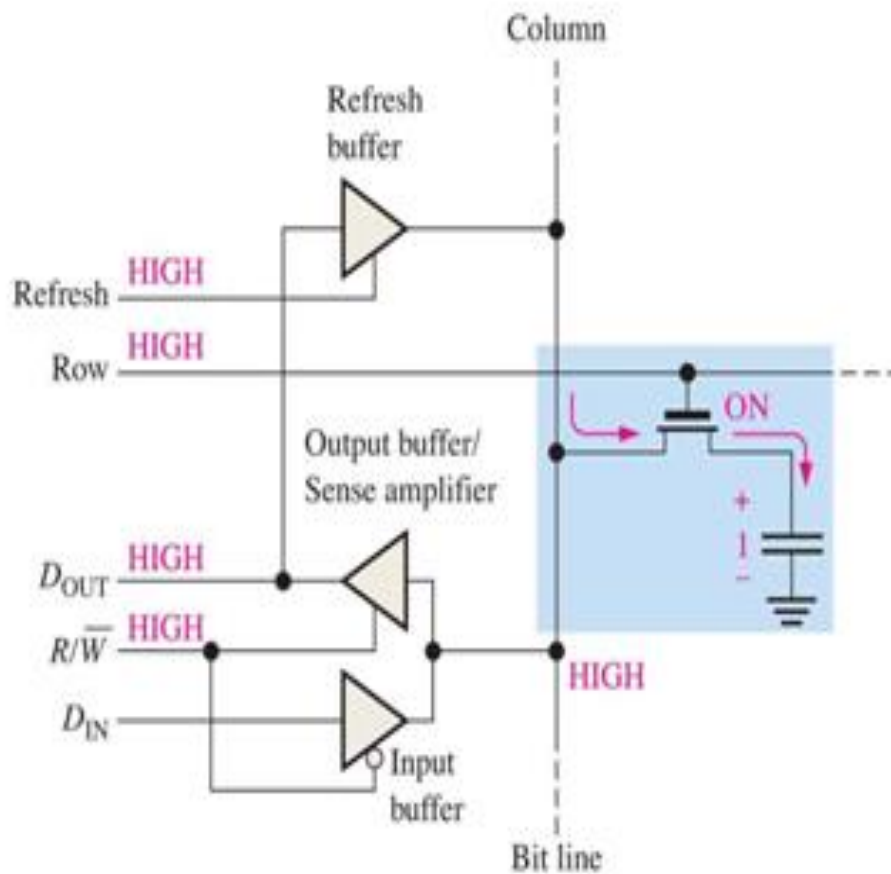
- $\overline{R/W}$ 为低电平，输入三态门使能。
- 输入引脚 D_{IN} 为高电平。
- 另外，字线提供高电平，使晶体管导通，将电容与位线接通。
- 于是，电容充电，高电平保存在电容上。



(a) Writing a 1 into the memory cell

DRAM存储单元----刷新 (refresh)

- R/\overline{W} , refresh line和row line都为高电平。
- 晶体管导通, 电容与位线接通。输出三态门打开, 存储的数据被送到refresh缓冲器的输入端。
- 于是, 在位线上产生电压, 以补充电容上遗失的电荷。



(d) Refreshing a stored 1

DRAM存储器

优点: 容量大，功耗低，价格便宜。

缺点: 读写速度比SRAM低，并需要刷新。

内存条:



DRAM组织结构

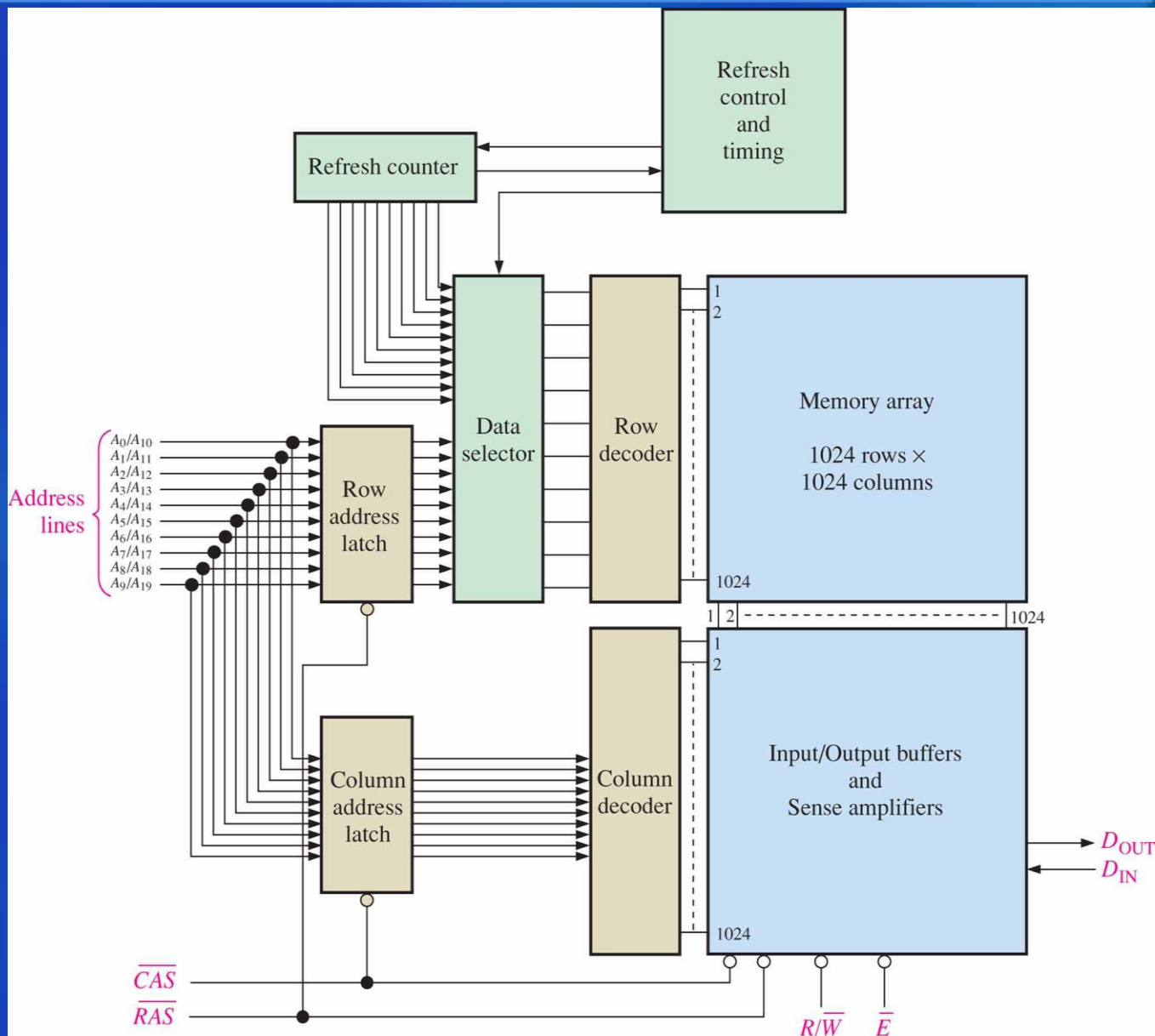
■采用双译码编址方式，减少内部地址译码线的数目。

■行和列地址分时传送，行地址由RAS (row address select)信号锁存；列地址由CAS (column address select)锁存。

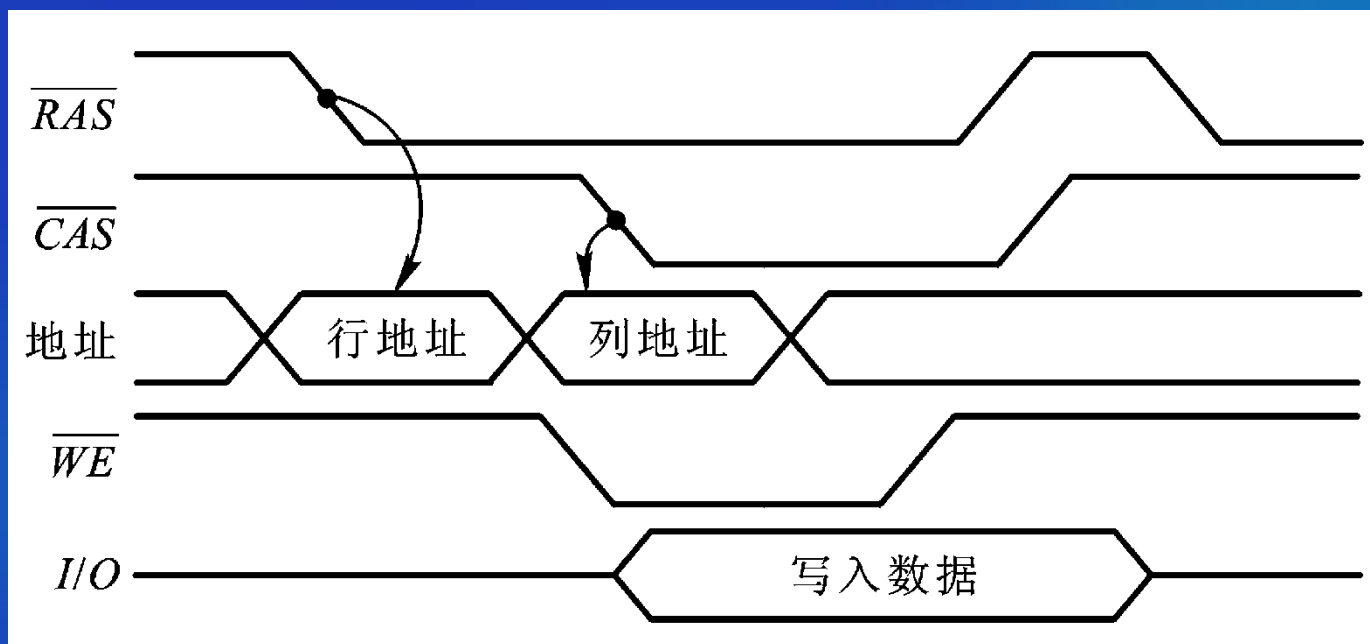
■经译码后选中所要访问的字。

思考： 10根行地址，10根列地址，字容量是多少？

$$2^{10} \times 2^{10} = 2^{20}$$



DRAM的读写过程:



读写过程:

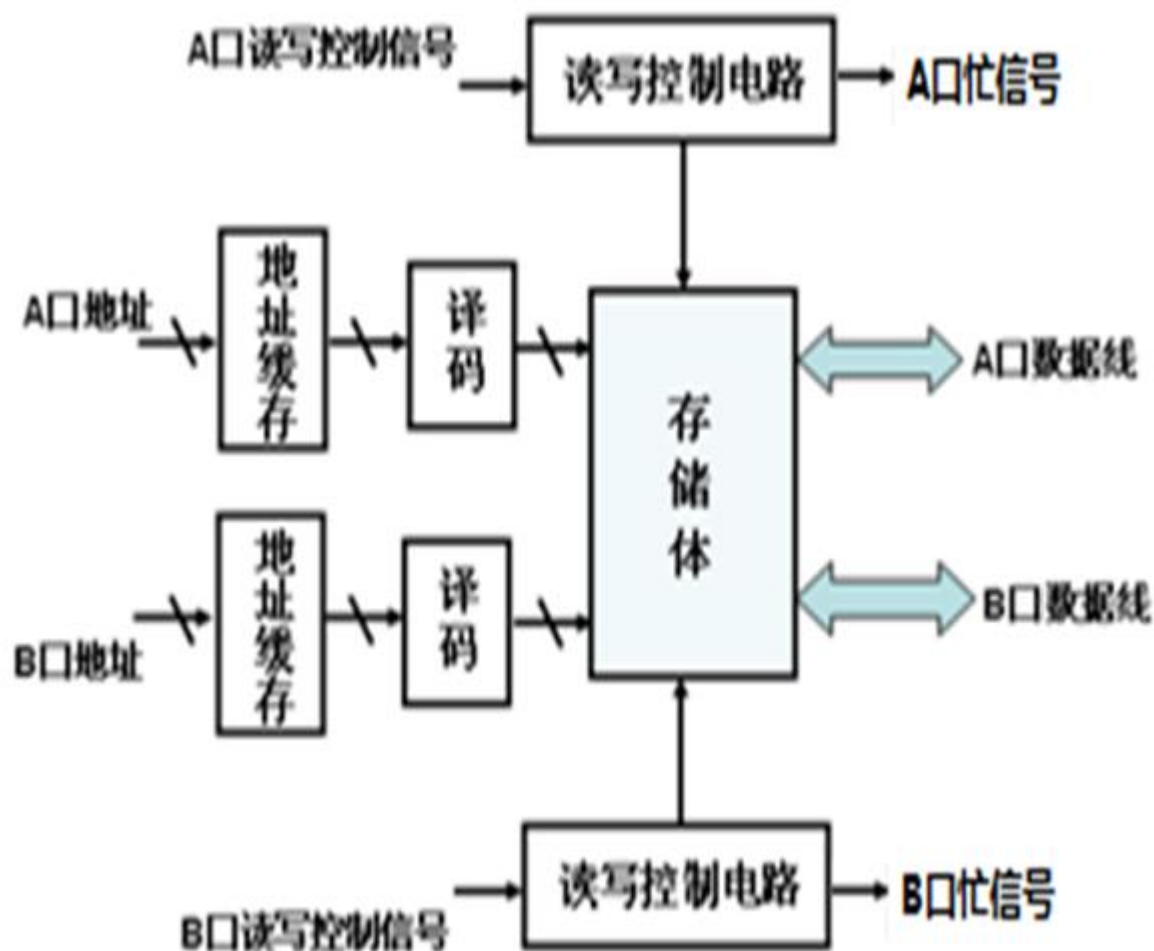
- (1) 先送入欲访问数据的行地址信号;
- (2) 地址信号稳定后, 利用行选通信号 \overline{RAS} 的下降沿, 把行地址信号存入行地址锁存器。
- (3) 再送入欲访问数据的列地址信号;
- (4) 列地址信号稳定后, 利用列选通信号 \overline{CAS} 的下降沿, 把列地址信号存入锁存器。

SRAM与DRAM特点比较:

SRAM存储单元, 利用锁存器保存数据, 速度快; 数据读出非破坏性, 一次写入, 可以多次读出; 存储单元结构复杂, 使用管子多, 每Bit面积大、功耗大。

DRAM存储单元, 利用电容存储电荷保存数据; 写入过程是给电容充电或放电的过程, 速度慢; 读出操作会破坏电容上的电荷, 因此读出后需立即再写回, 同时需要定期全部刷新; 存储单元结构简单, 管子少, 面积小, 功耗低, 利于海量存储。

双端口RAM



两套完全独立的数据线、地址线和读/写控制线，即共享式多端口存储器。

允许两个独立的微处理器或控制器同时访问。

不允许同时写或一读一写同一地址单元。

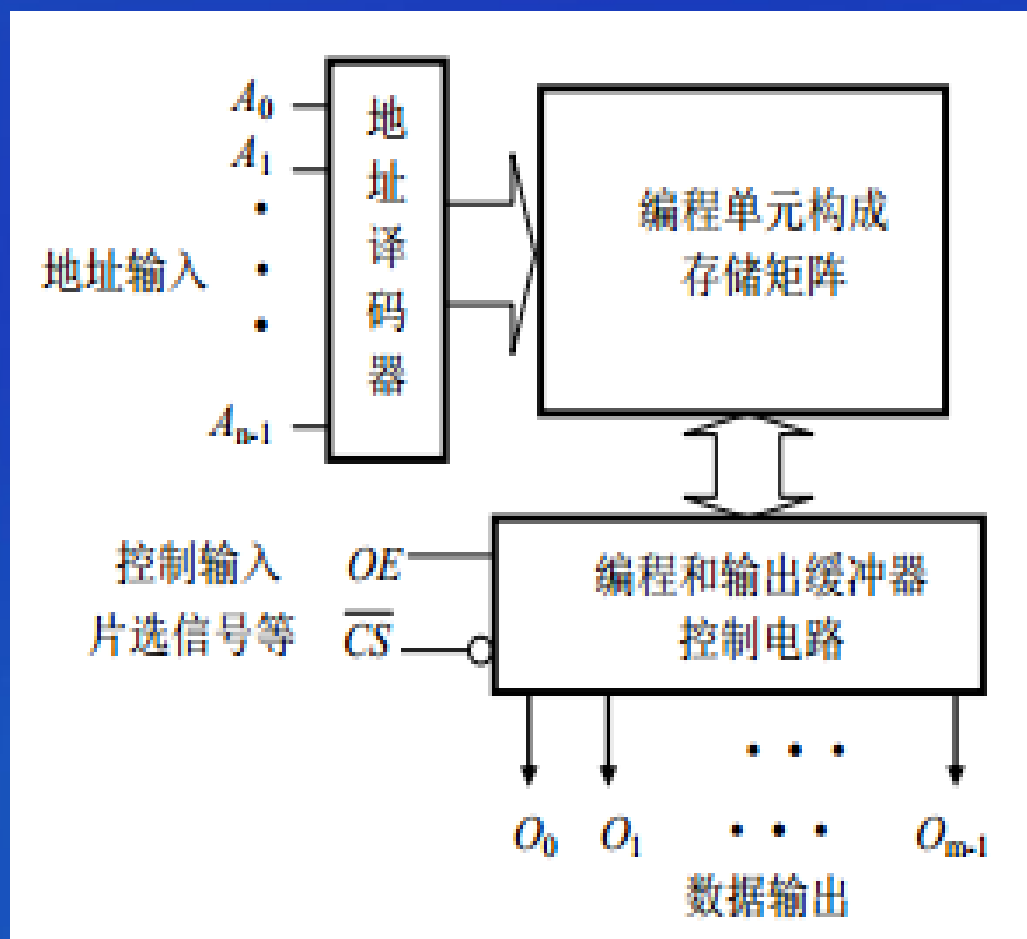
仲裁逻辑（忙逻辑）电路：当两个端口同时写入或一读一写同一地址单元时，先稳定的地址端口通过仲裁逻辑电路优先读写，同时内部电路禁止另一个端口的访问，直到本端口操作结束才允许另一端操作。

10.3 只读存储器

ROM (Read Only Memory): 内部无触发器, 是一种组合电路, 是**不易失性的 (nonvolatile)**。



ROM包含：地址译码器、存储矩阵和输出控制三部分。



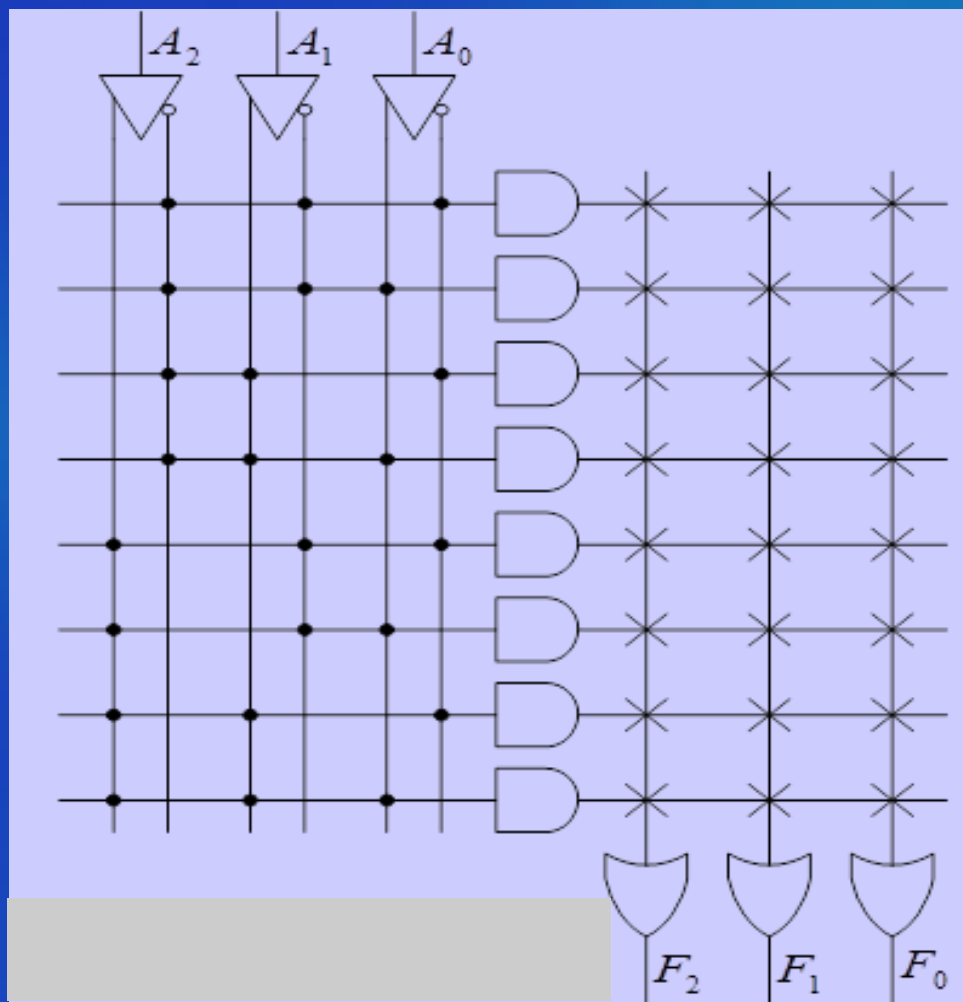
地址译码：将输入的地址代码翻译成相应的控制信号，利用这个控制信号从存储矩阵中把指定的单元选出，并把其中的数据送到输出缓冲器；

存储矩阵：由存储单元组成。

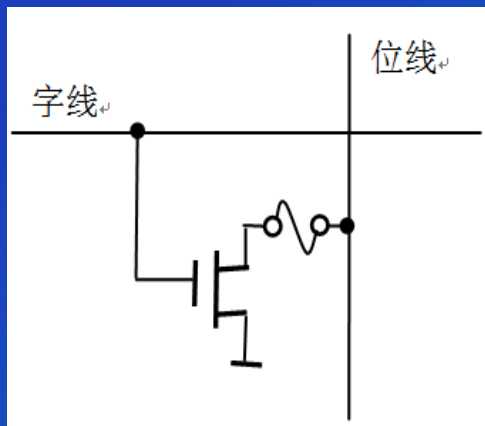
输出缓冲器：提高存储器的带负载能力，实现对输出三态逻辑的控制，以便与系统总线连接。

PROM的结构和可编程节点

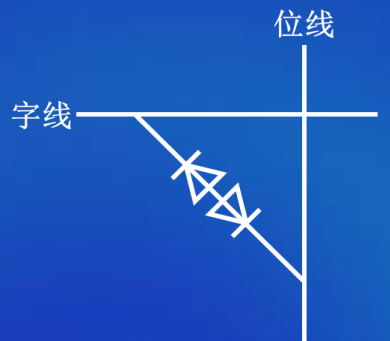
PROM是一种可编程逻辑器件，“与”阵列实现地址译码功能（给出了输入变量所有可能的组合），是一个**固定的“与”阵列**，全地址译码。**可编程的“或”阵列**是一个“存储矩阵”。



出厂时，存储单元的内容为全1(或全0)，
用户可根据需要将某些单元通过编程改写为
0(或1)。



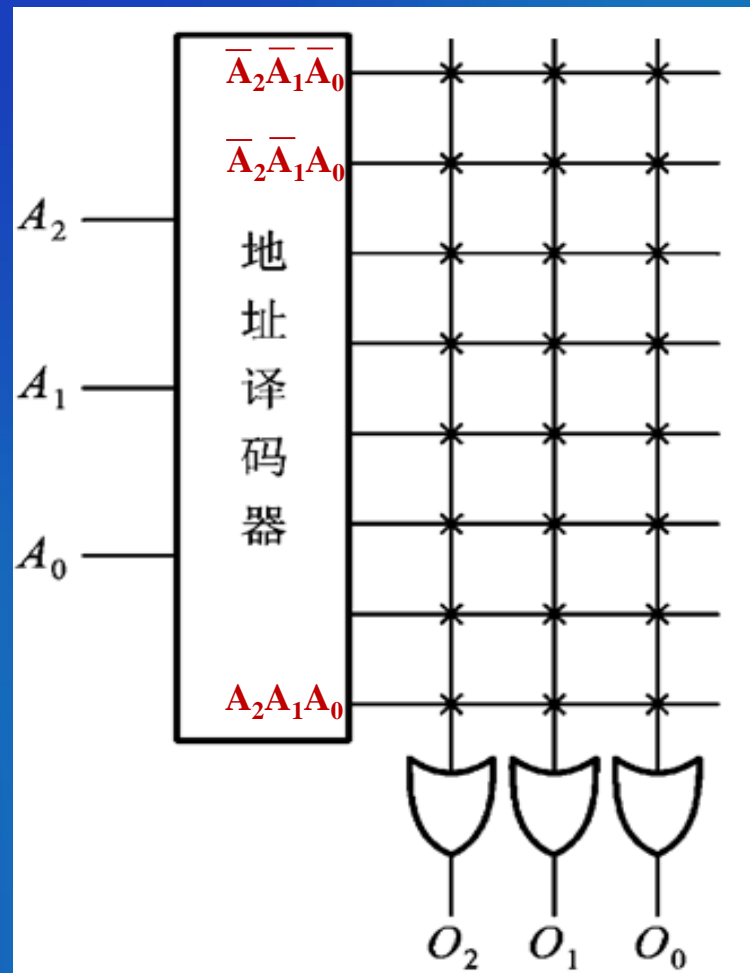
熔丝烧断型

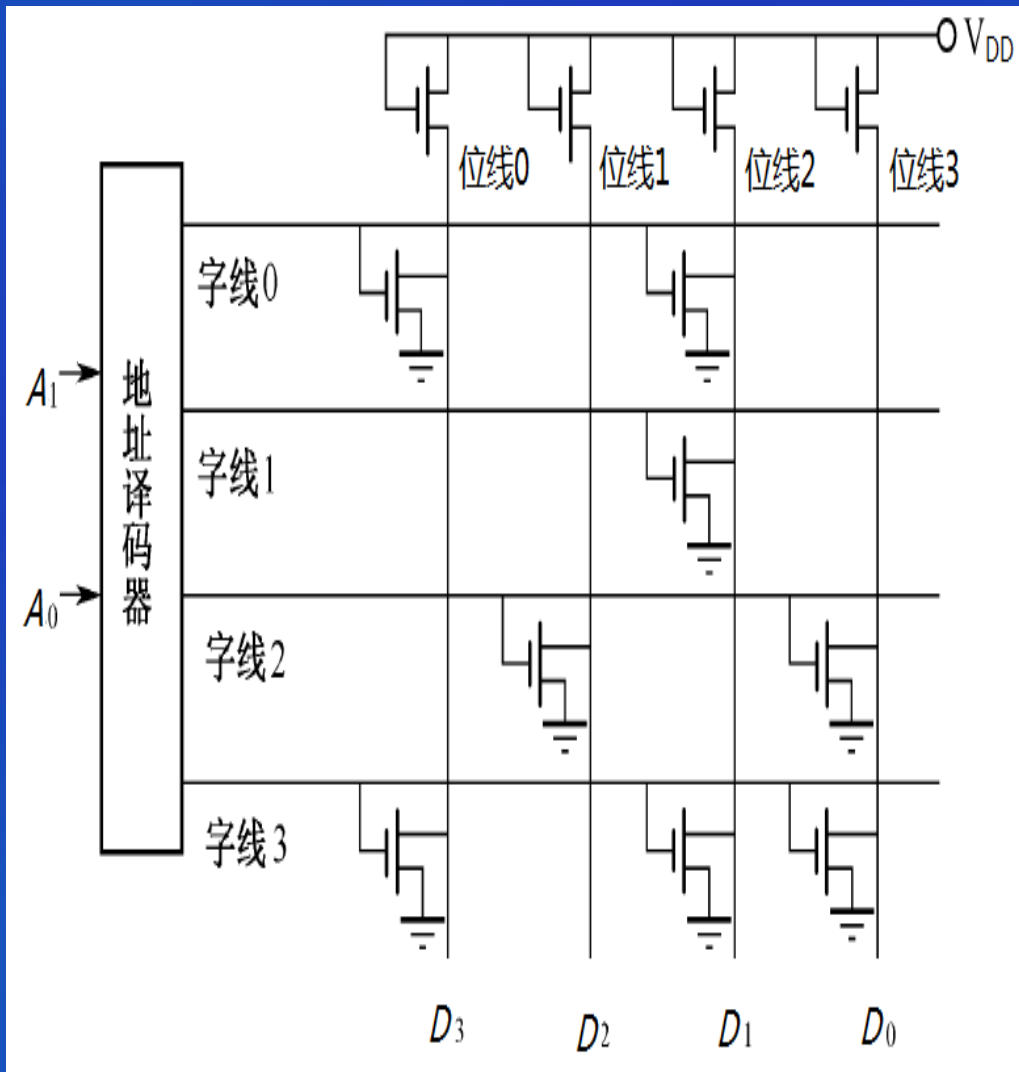


二极管结构的PROM

PN结击穿型

PROM的简化阵列图





最上排的4个MOS管始终导通，其导通电阻起上拉电阻的作用。

如果地址译码器是高电平输出有效，当地址 $A_1A_0=00$ 时，译码输出字线0为高电平，若有管子与字线相连，则管子导通使对应位线数据为0，位线没有管子与字线相连则上拉为1。

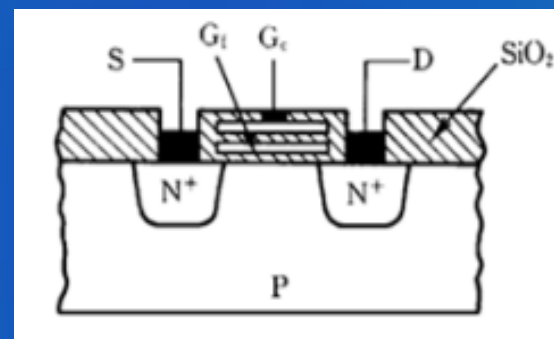
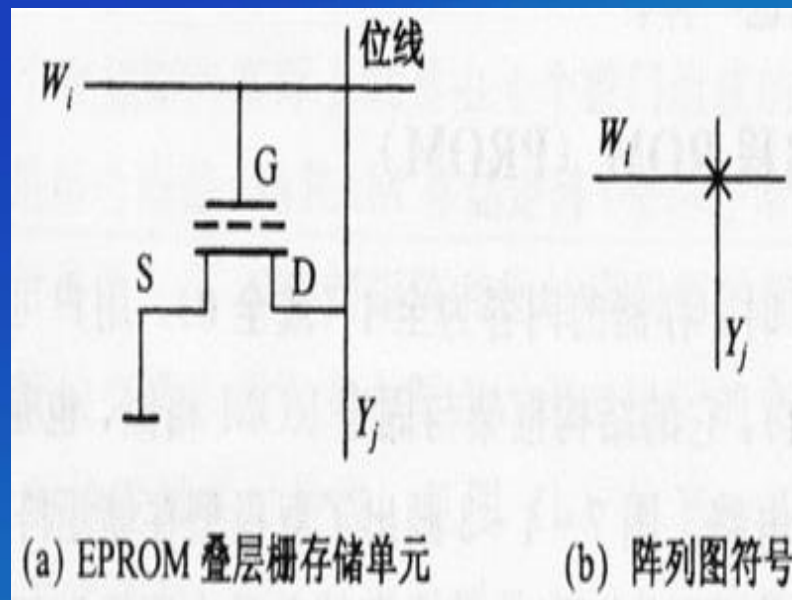
$A_1A_0=00$ 的存储单元存储的数据 $D_3D_2D_1D_0=0101B$ 。地址01、10、11存储单元数据依次为1101B、1010B、0100B。

EPROM——Erasable Programmable ROM

①存储单元：采用N沟道叠栅注入式MOS管 (Stacked -gate Injection Metal Oxide Semiconductor, SIMOS)。两个栅极。控制栅G用于控制数据的写入和读出，浮置栅未注入电荷时存贮单元为1，注入负电荷后为0。

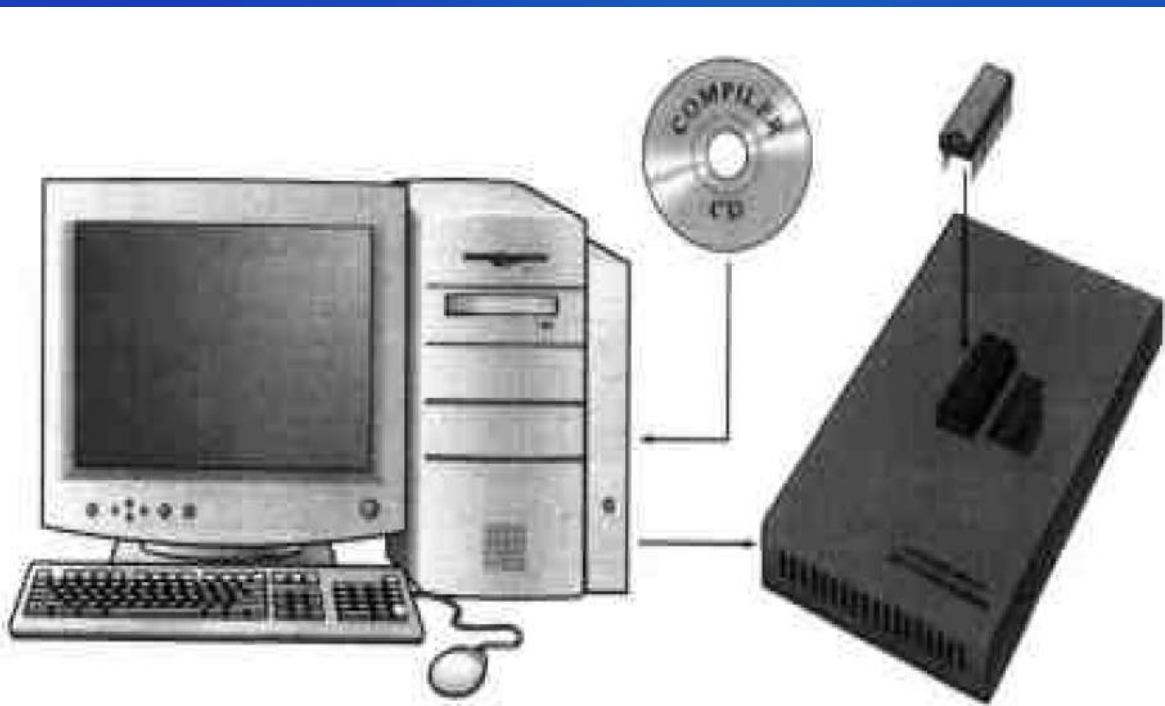
②写入： $D-S$ 间加高压 ($20 \sim 25V$)，发生雪崩击穿 同时在 G_c 上加 $25V$, $50ms$ 宽的正脉冲，吸引高速电子穿过 SiO_2 到达 G_f ，形成注入电荷

③擦除：在强紫外线光照射窗口下，只需几分钟就能使浮栅上的电子获得足够的光能量，而穿过绝缘层回到衬底中，使芯片变为空白。**只能整体擦除**



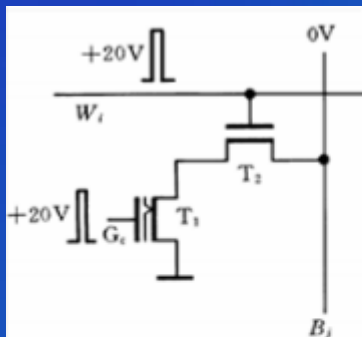
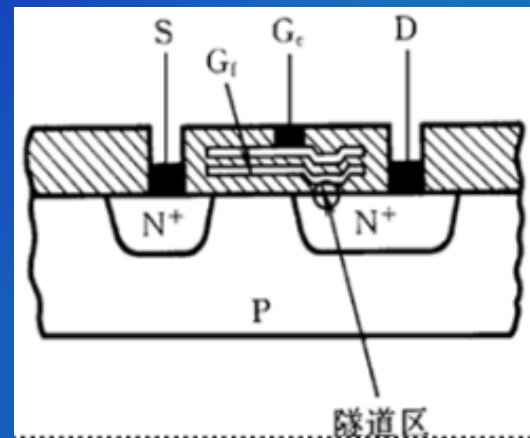
特点:

- 避光可保存10年以上
- 开口阳光下工作一周数据即消失
- 可反复擦写几百次
- 需专用的编程器和擦除器，使用不方便

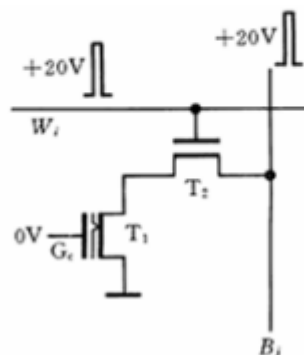


EEPROM——Electrically EPROM

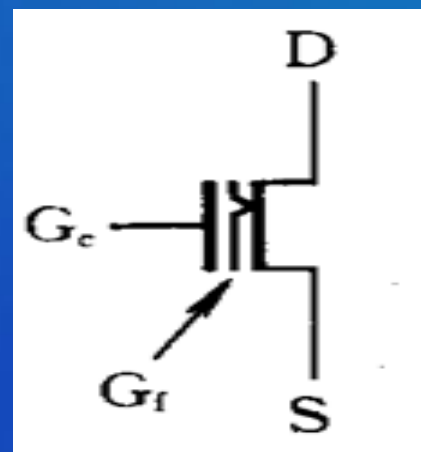
①存储单元：Flotox管或隧道MOS管。类似于叠栅注入式MOS管，只是在浮置栅与漏极间有一小块极薄的绝缘层。这种特殊的结构可以产生隧道效应。当漏极接地，控制栅加上足够高的电压时，交叠区将产生一个很强的电场，在强电场的作用下，电子通过绝缘层到达浮栅，使浮栅带负电荷，相当于存入0。释放电子相当于存贮1。



充电: W_i, G_C 加 $20V, 10ms$ 的正脉冲, B_j 接 0
电子隧道区 $\rightarrow G_f$



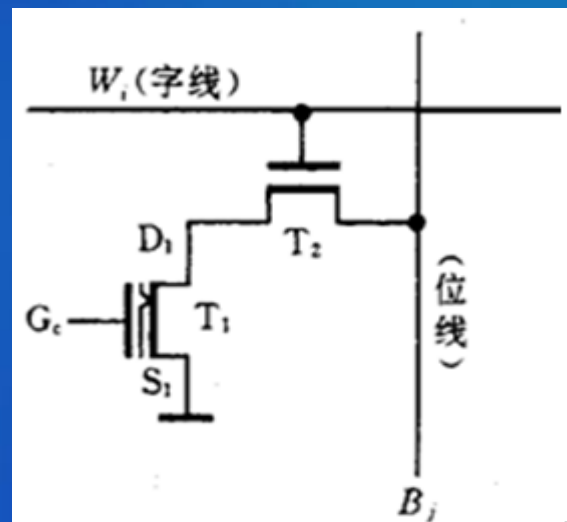
放电: G_C 接 0, W_i, B_j 加正脉冲,
 G_f 上电荷经隧道区放电



②特点:

- 电擦除过程即是改写过程，写入擦除可同时完成；
- 写入擦除脉冲新型的（由于内部有升压电路）5V、10ms。可实现在系统改写，不需专门的编程器和擦除器；
- 读取时间为200~250ns；
- 数据可存5~10年，甚至20年，寿命100~1万次；
- 有字节擦除功能，使用灵活。

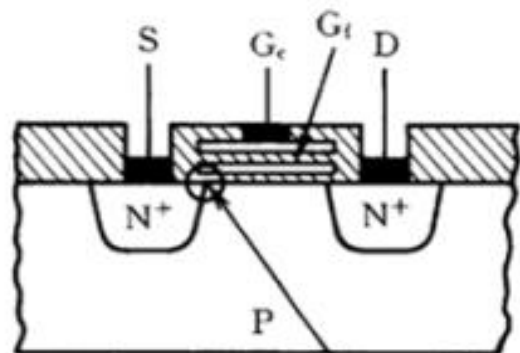
与EPROM相比，E²PROM只需提供单电源供电，便可进行在线（无需从电路板上拔下存储器）读、擦除/写操作，并且擦除的速度要快得多。为数字系统的设计和在线调试提供了极大的方便。



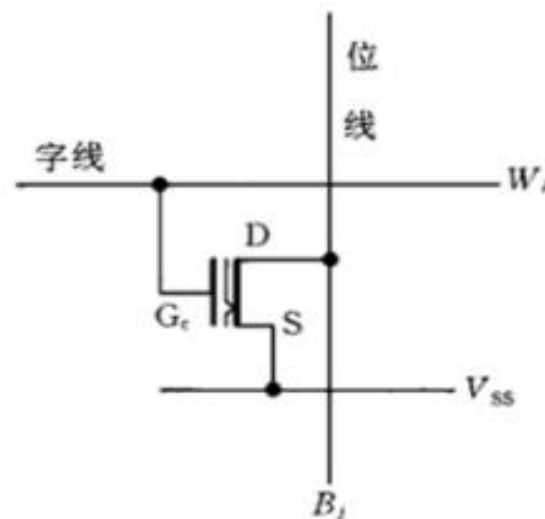
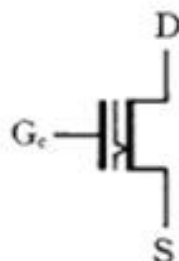
E²PROM的存储单元使用两只MOS管，所以限制了集成度的提高。

Flash ROM（快闪存储器）

为提高集成度，省去T2（选通管）
改用叠栅MOS管（类似SIMOS管）



隧道区



G_f 与衬底间 SiO_2 更薄 ($10 \sim 15nm$)

G_f 与S区有极小的重叠区(隧道区)

*工作原理:

向 G_f 充电利用雪崩注入方式

G_f 放电, 利用隧道效应

$D-S$ 加正压 ($6V$), V_{ss} 接0

$G_c = 0$, V_{ss} 加 $12V$, $100ns$ 的正脉冲

G_c 加 $12V$, $10us$ 的正脉冲

G_f 上电荷经隧道区放电

特点:

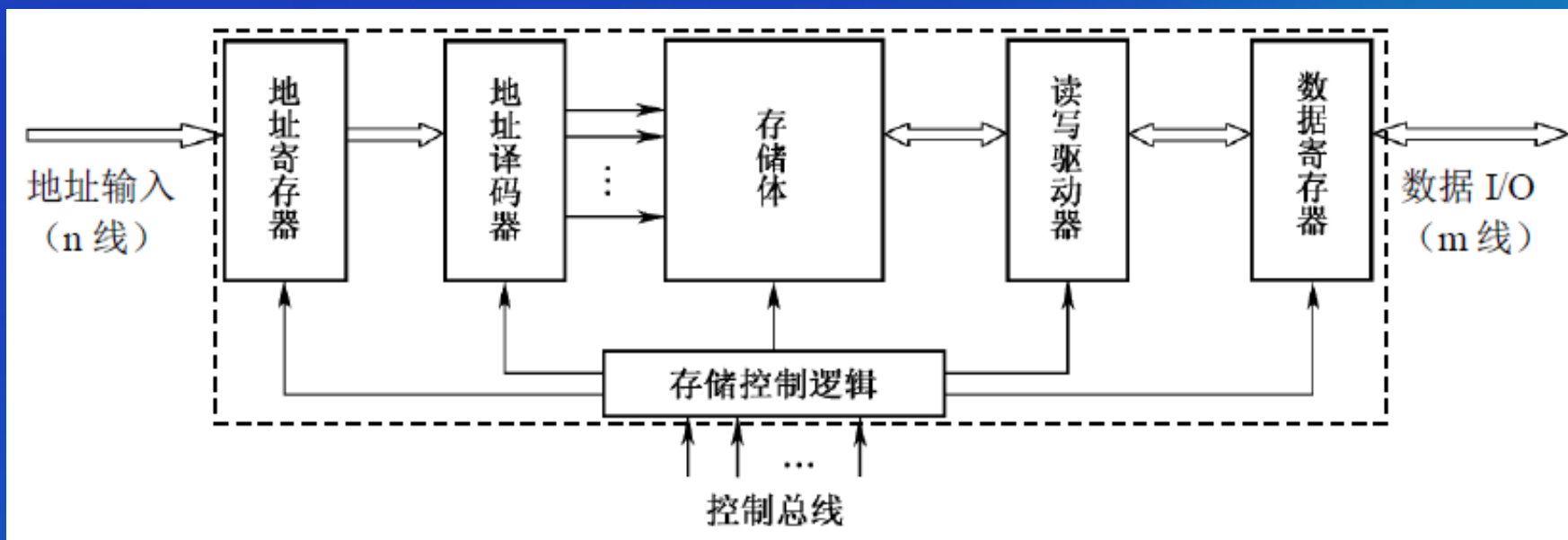
- 既具有EPROM结构简单, 编程可靠的特点, 又具有E²PROM的电编程擦除的特性;
- 高速写入与擦除, 整体擦除仅需1秒钟;
写入脉冲: 12V、10 μ s (老型)
5V、10 μ s (新型)
- 集成度非常高, 可达64M位;
- 寿命1万~10万次;
- 读取时间为 60~200ns, 因此速度较快。

缺点: 按块擦除, 不可字节擦除。

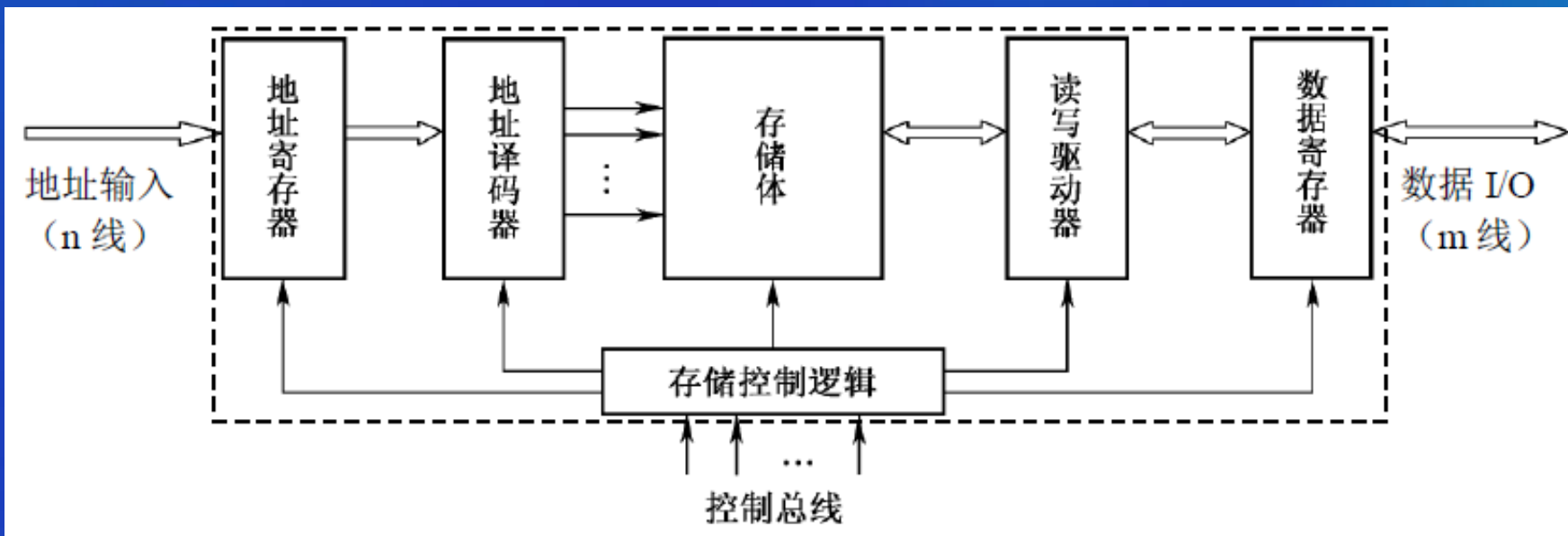
广泛用于U盘, MP3和数码相机等电子产品中。

10.4 集成存储器芯片

传统RAM和ROM集成存储器



外部信号包括地址、数据和控制三种信号。



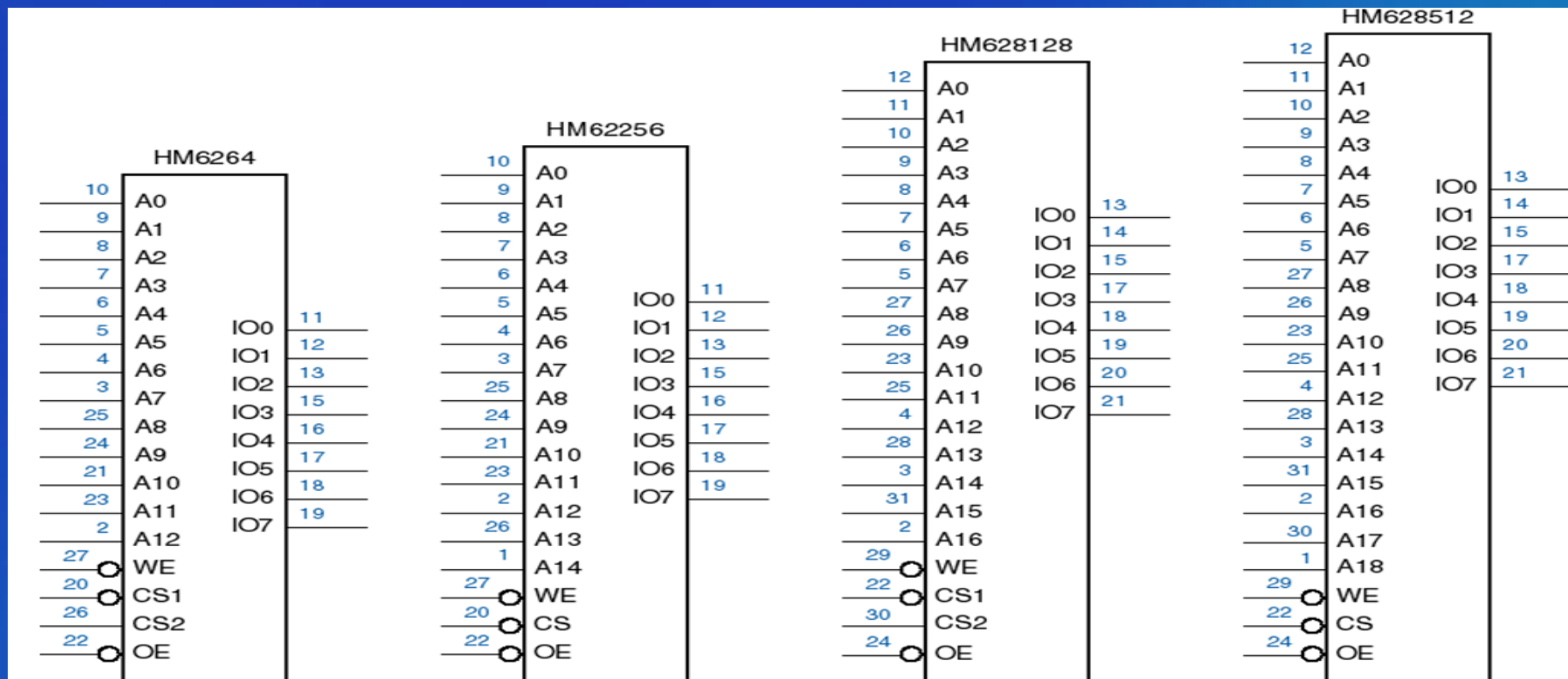
n 根地址和 m 根数据信号确定了存储器芯片的容量为 $2^n \times m$ 位。

控制线包括：片选、读/写控制、输出控制等信号。个别存储器还有一个Ready状态信号，一般作为联络信号用于与处理器接口时进行时序或速度的匹配。

除PROM和EPROM，其它存储器数据线都是双向的，禁止存储器工作时，数据线三态。

各种集成存储器型号简介

集成RAM



8K×8 bits

32K×8 bits

128K×8 bits

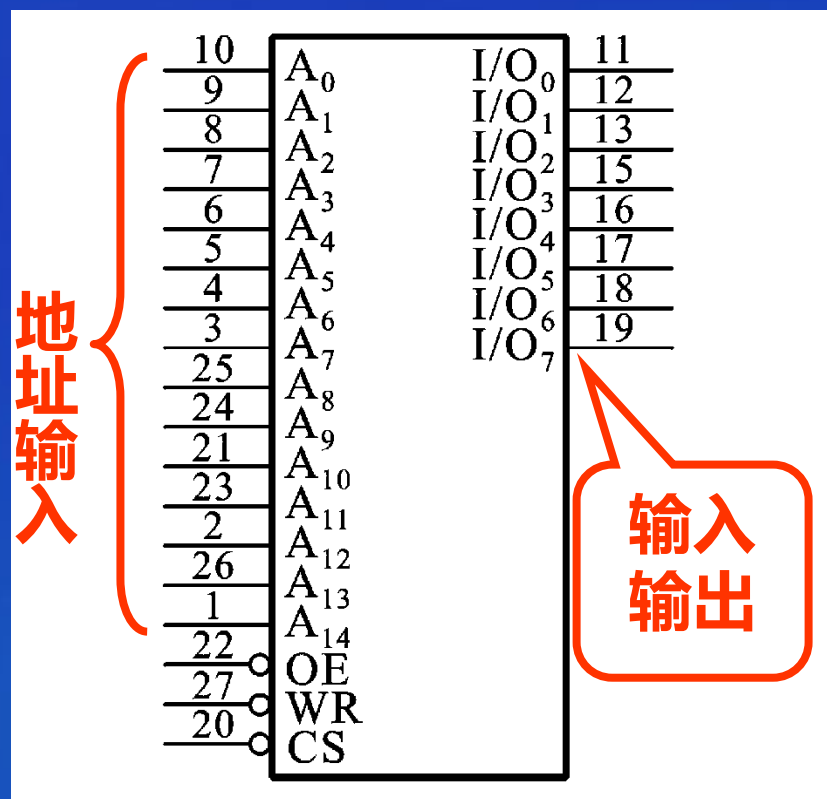
512K×8 bits

上页

下页

返回

62256逻辑符号



62256是一种存储容量为
32K×8的SRAM，它采用28脚
双列直插封装。

15个地址输入端 $A_0 \sim A_{14}$

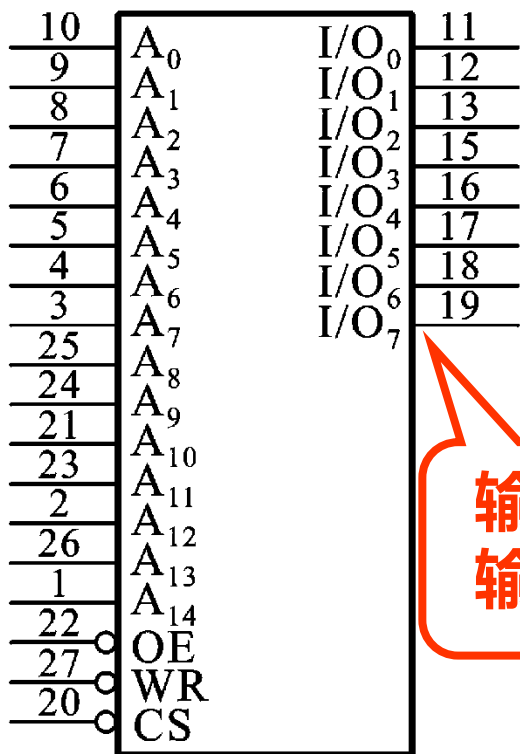
8个数据输入/输出端 $I/O_0 \sim I/O_7$

一个片选输入端 \overline{CS}

一个输出允许端 \overline{OE}

一个读写控制端 \overline{WR}

62256逻辑符号

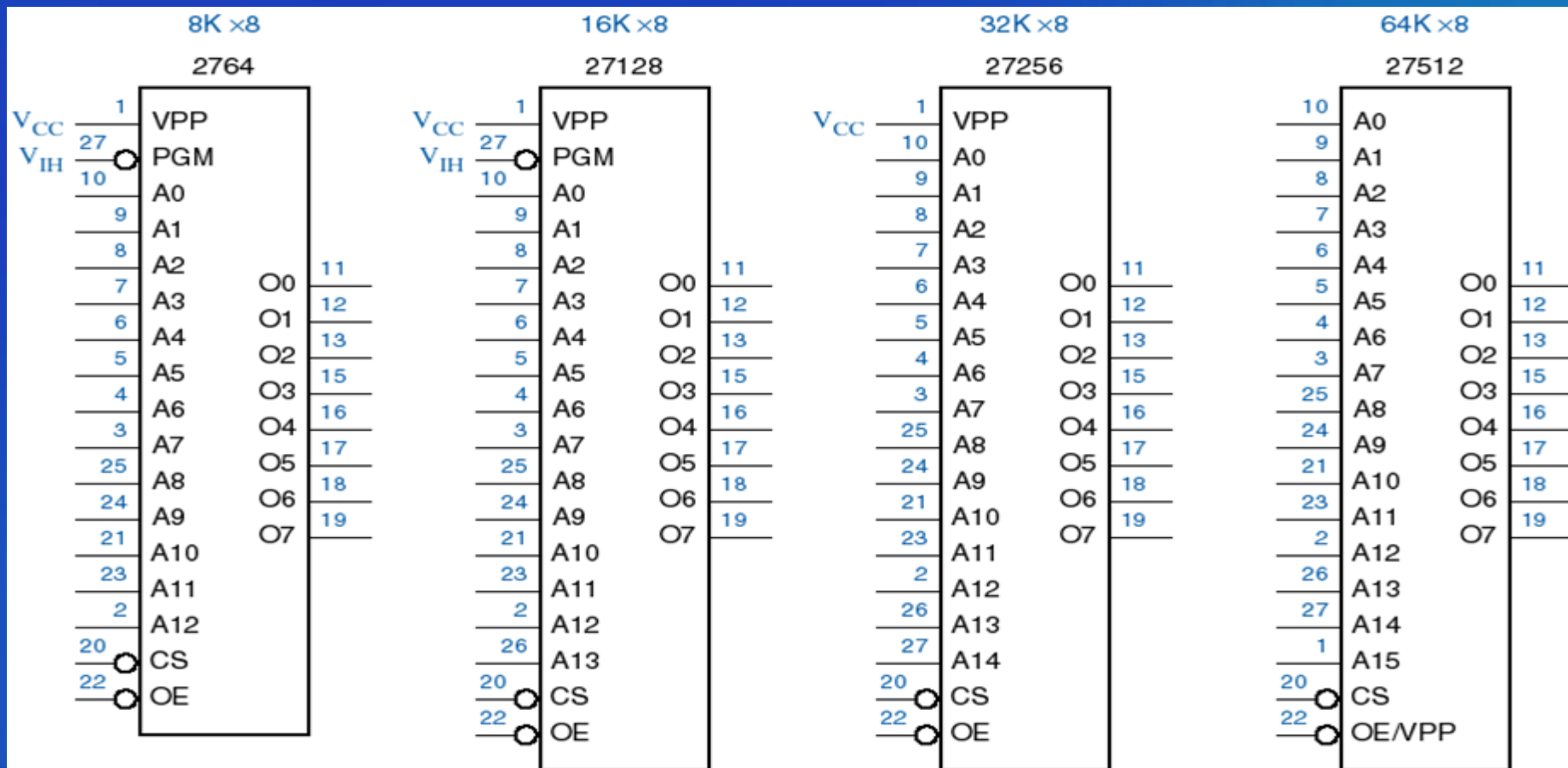


62256的功能表

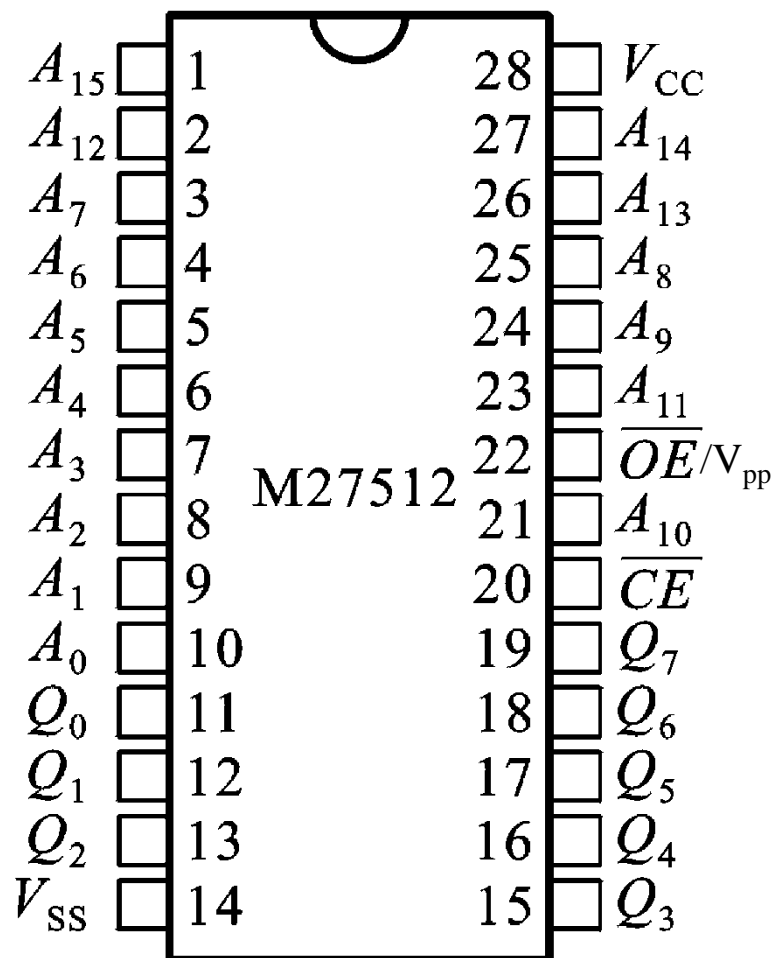
\overline{CS}	\overline{WR}	\overline{OE}	I/O	方式
1	×	×	Z	无片选
0	1	0	DO	读
0	0	×	DI	写
0	1	1	Z	禁止输出

常用EPROM

27系列EPROM是美国Intel公司采用高速N沟道硅栅工艺生产的EPROM。它们是最常用的EPROM。



EPROM 的实例 (27512)



27512常用工作方式有6种

工作 方式	引脚	\overline{CE} (20)	\overline{OE} (22)	输出 (11~13)(15~19)
读出		U_L	U_L	D_{OUT}
禁止输出		U_L	U_H	Z
编程		U_L 脉冲	V_{PP}	D_{IN}
编程校验		U_L	U_L	D_{OUT}
禁止编程		U_H	V_{PP}	Z
待机		U_H	\times	Z

【知识拓展P₂₈₃】 SPI (Serial Peripheral Interface--串行外设接口)：是一种同步串行外设接口。主要应用于FLASH、MCU、LCD显示驱动器、A/D转换器等设备之间，使他们可以以串行方式进行通信来实现信息的交换。

接口一般包括四种信号：

- (1) MOSI – 主器件数据输出，从器件数据输入
- (2) MISO – 主器件数据输入，从器件数据输出
- (3) SCLK – 移位时钟信号，由主器件产生
- (4) NSS – 从器件使能信号，由主器件控制，有的IC会标注为CS(Chip select)

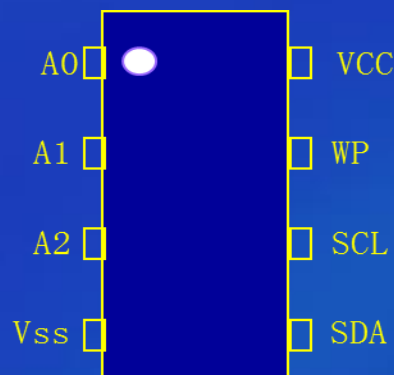


SPI接口内部硬件实际上是两个简单的移位寄存器，在主器件产生的使能信号和移位时钟控制下，按位传输，高位在前，低位在后。

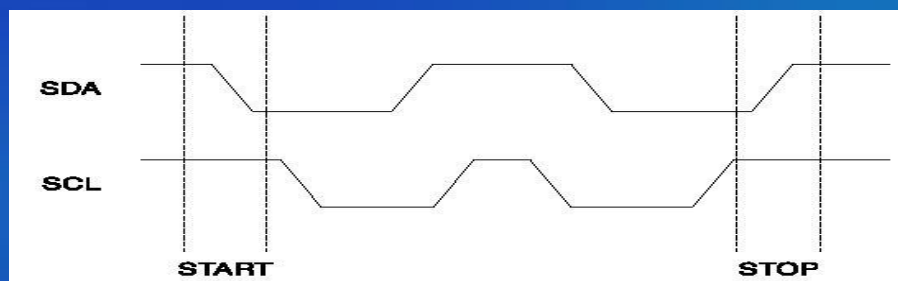
SPI为全双工通信，数据传输速度总体比I²C总线要快，可达几Mbps。

【知识拓展】 I^2C (Inter - Integrated Circuit)总线：是一种两线式串行总线，最主要的优点是简单和高效。是微电子通讯控制领域广泛使用的一种总线标准。

I^2C 总线是由数据线SDA和时钟SCL构成的串行总线，可发送和接收数据。



I^2C 串行 E²PROM 24C01



主器件（如MCU）产生串行时钟（SCL）控制总线的传输方向，并产生起始和停止条件。

I^2C 总线在传送数据过程中共有三种类型信号：

- 开始信号：SCL为高电平时，SDA由高电平向低电平跳变，开始传送数据。
- 结束信号：SCL为高电平时，SDA由低电平向高电平跳变，结束传送数据。
- 应答信号：接收数据的IC在接收到8bit数据后，向发送数据的IC发出特定的低电平脉冲，表示已收到数据。

10.5 存储器容量的扩展

RAM的扩展

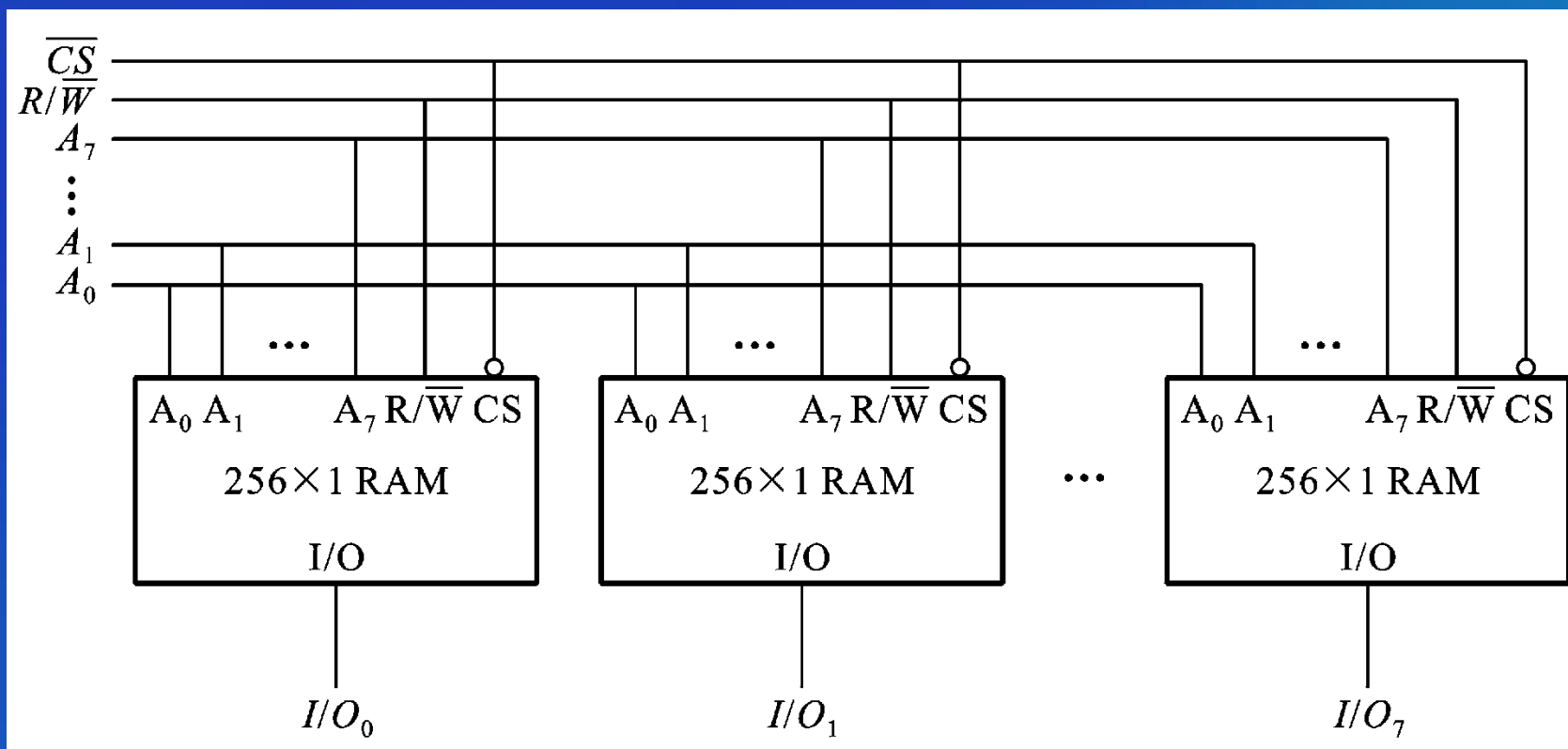
RAM的扩展分字扩展和位扩展。

1. 位扩展连接

用位数较少的RAM芯片组成位数较多的存储器,其连接方法:

- (1) 把这些相同芯片的地址输入端都分别连在一起。
- (2) 芯片的片选控制端和读/写控制端也分别连在一起。
- (3) 数据端各自独立, 每一个I/O为一位二进制数码。

用8个 256×1 的RAM芯片组成 256×8 的存储器的连接图 (同习题10.8)



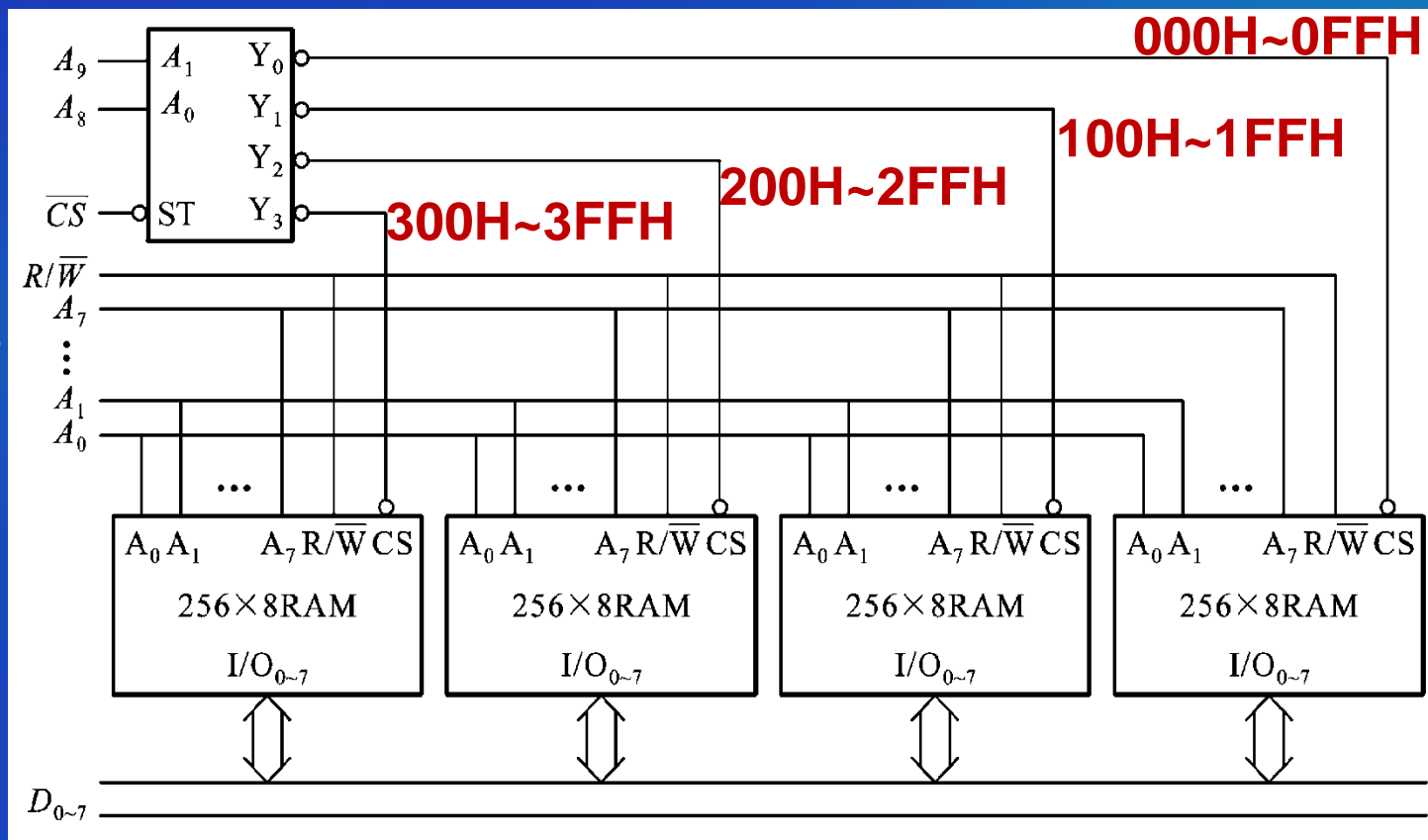
2. 字扩展连接 用位数相同的RAM芯片组成字数更多的存储器。

例： 256×8RAM芯片组成1024×8存储器的连接 **思考：需要几片？如何连接？**

地址线与读写信号
与各芯片连接在一起；

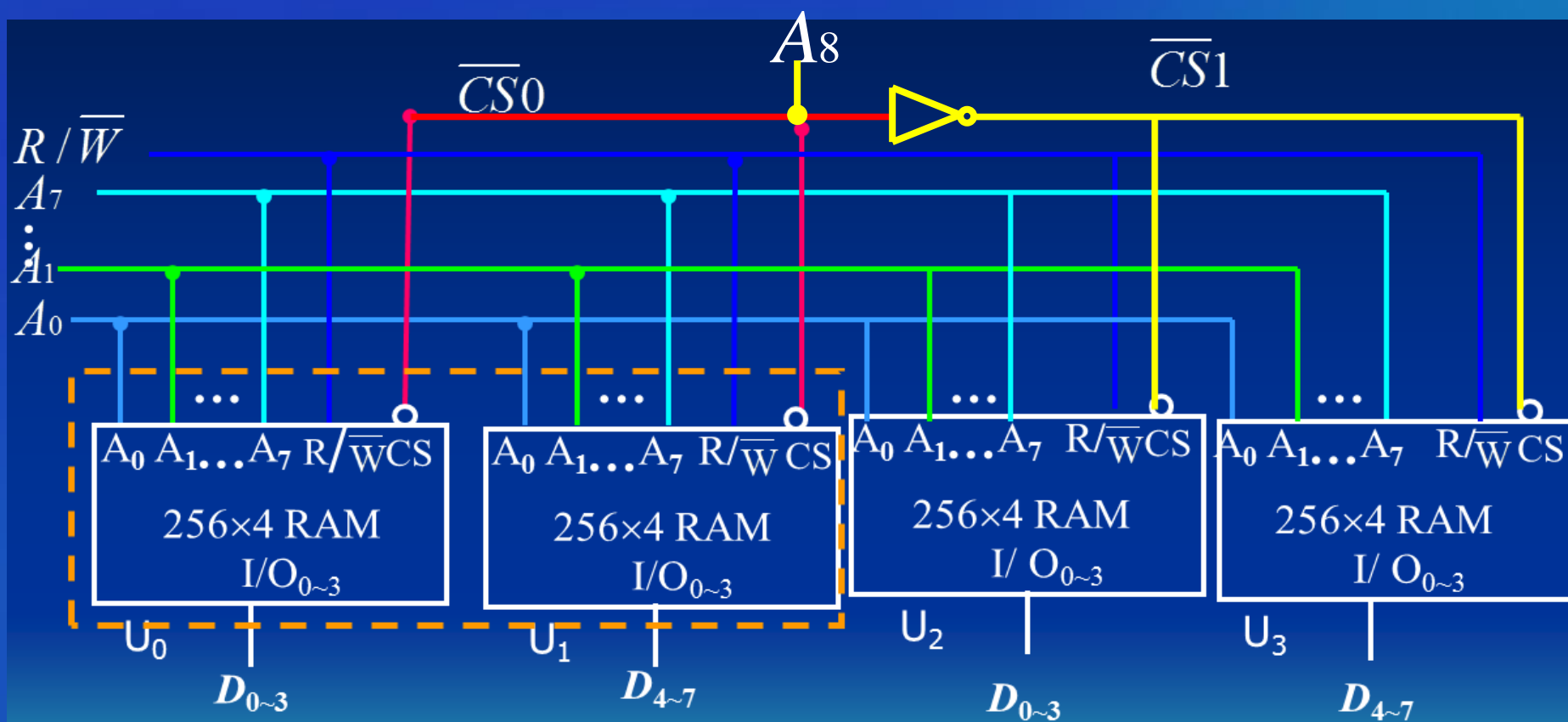
扩展译码电路形成
各芯片的片选信号；

思考： 各存
储芯片的地址
范围？

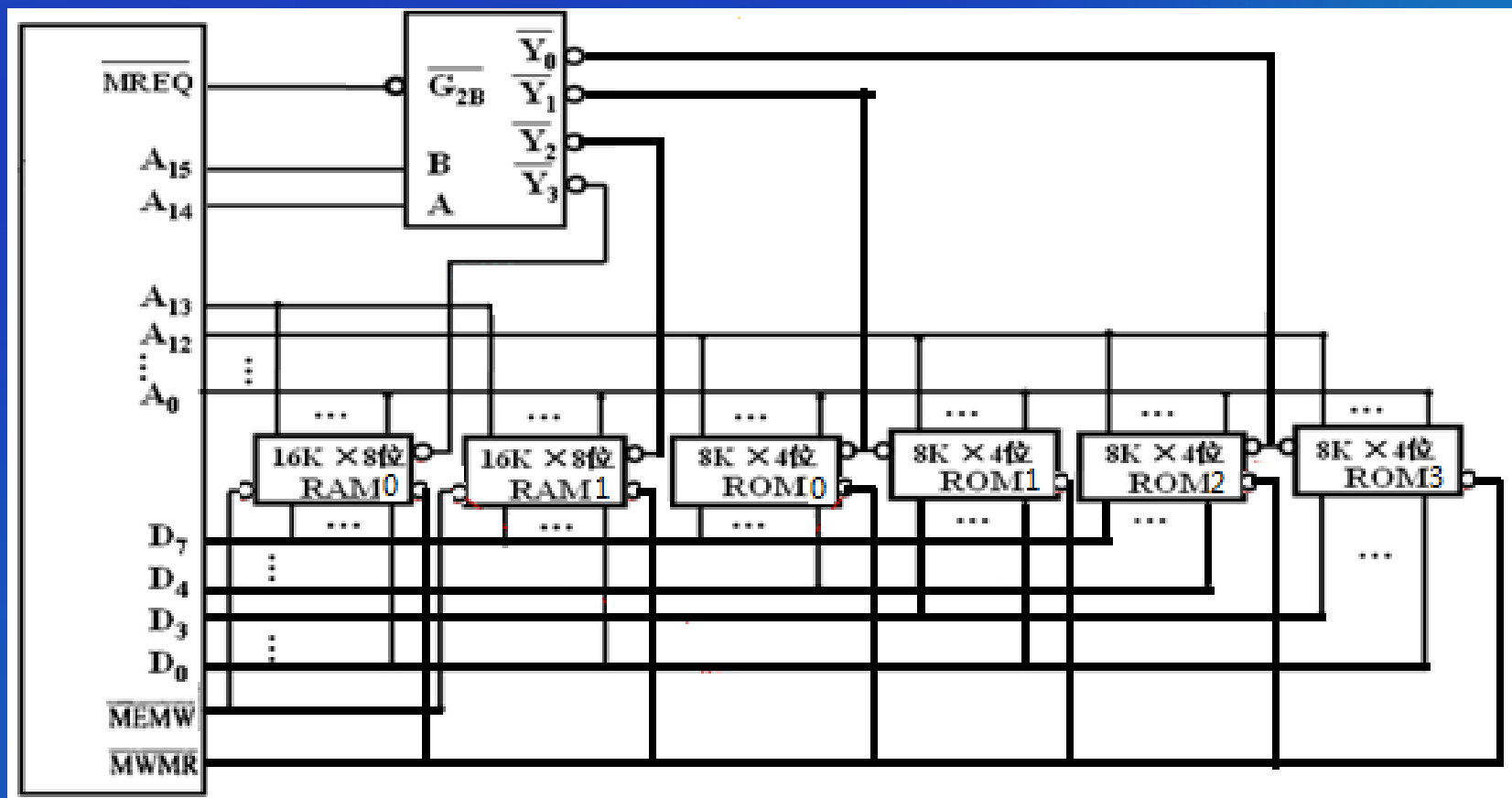


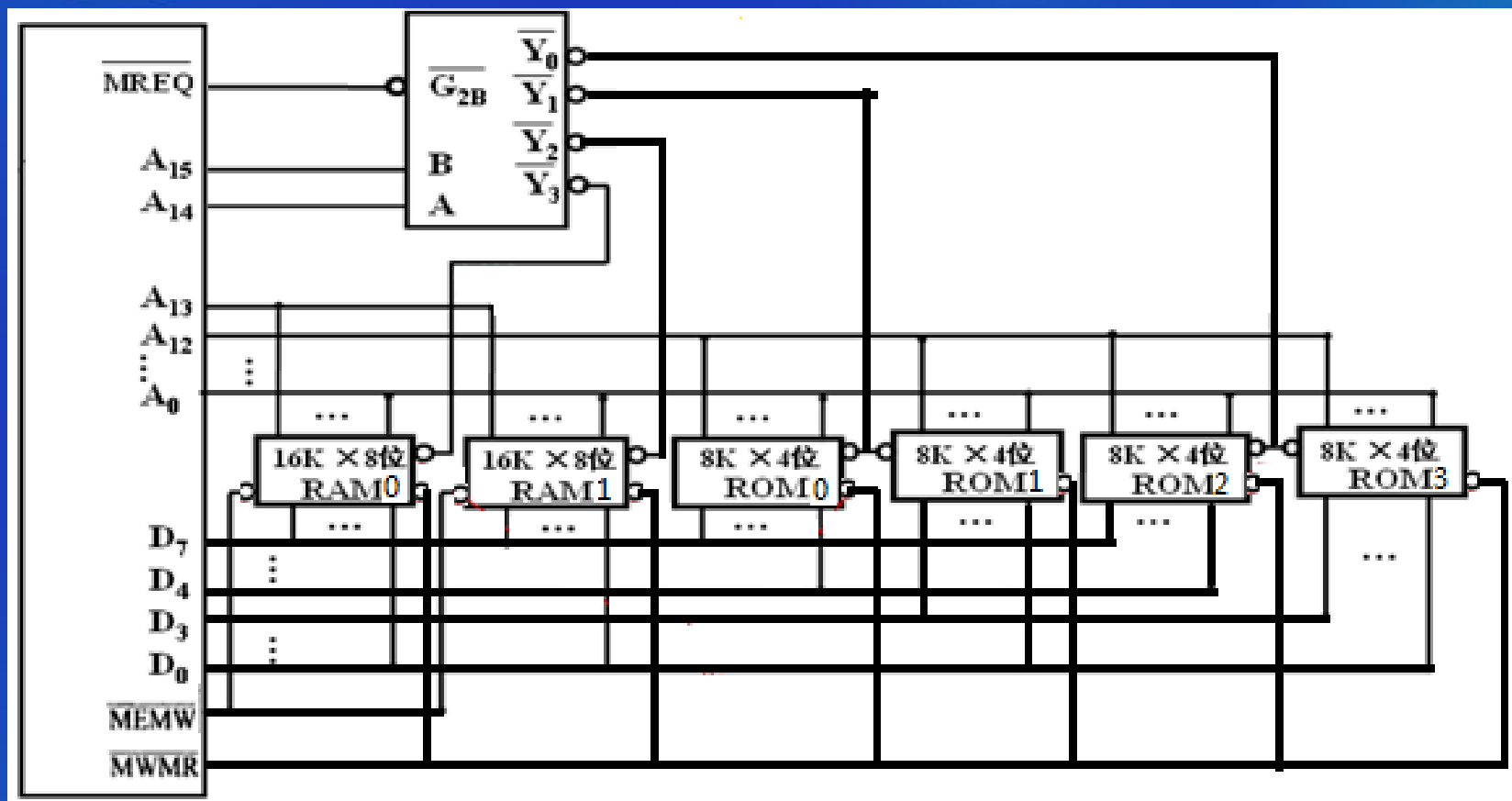
3. 复合扩展 字数和位数都不够时

- **例：** 用 256×4 RAM芯片组成 512×8 存储器的连接
 思考：需要几片？如何连接？（先位扩展，后字扩展）



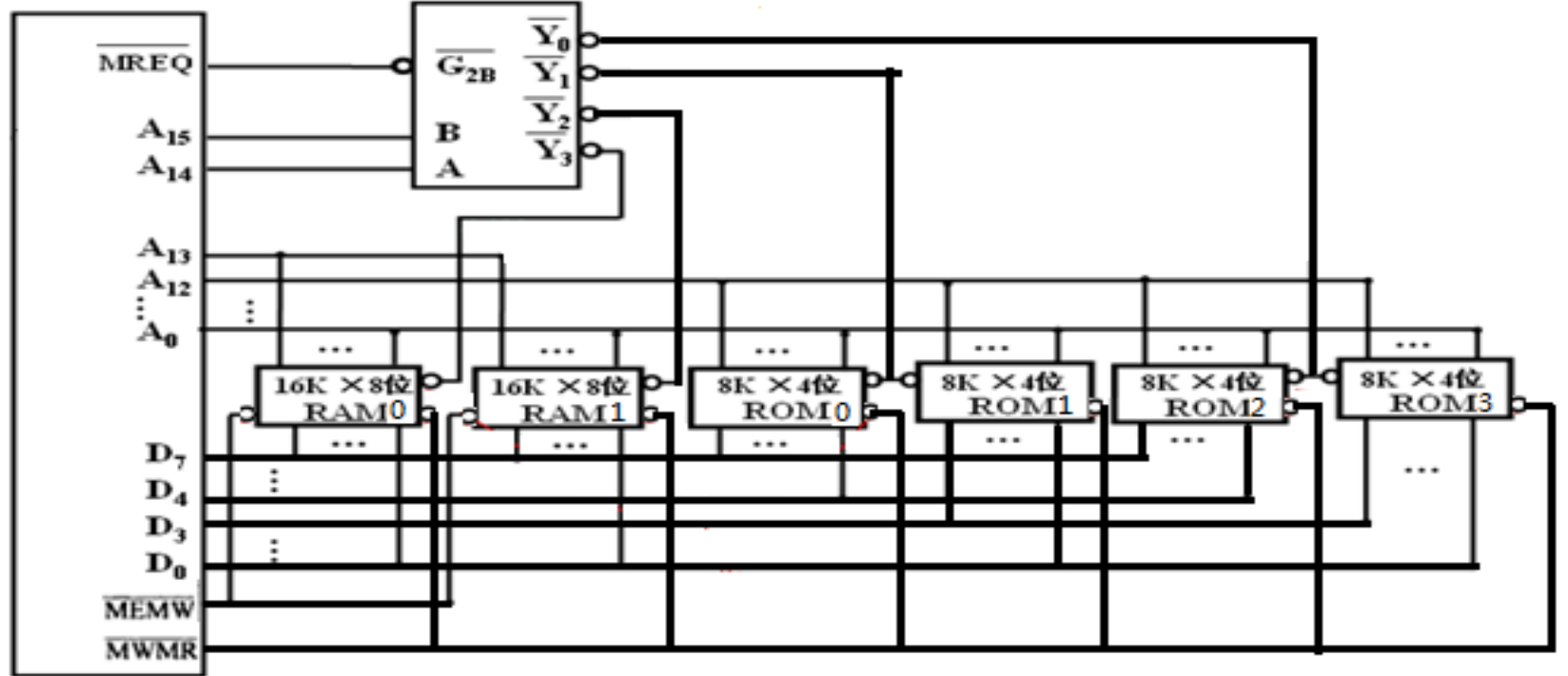
例：某计算机扩展的存储器如图示， $\overline{\text{MREQ}}$ 是访问主存储器的控制信号，低电平表示CPU允许存储器读写。 $\overline{\text{MEMR}}$ 和 $\overline{\text{MEMW}}$ 分别是读、写信号。说明RAM和ROM分别是什么扩展方式？存储空间分别是多少？ $\overline{\text{MEMW}}$ 为什么不接在ROM存储器上？





RAM是字扩展，ROM是混合扩展。由地址A15A14构成译码输入，A15A14=00、01分别选中两组ROM，A15A14=10、11分别选中RAM1和RAM0，RAM片内地址由A13~A0确定。ROM芯片为8K字，只用13根地址A12~A0，与A13无关，因此访问ROM时，A13可以任意。

MEMW 不接ROM存储器，因为是只读存储器。



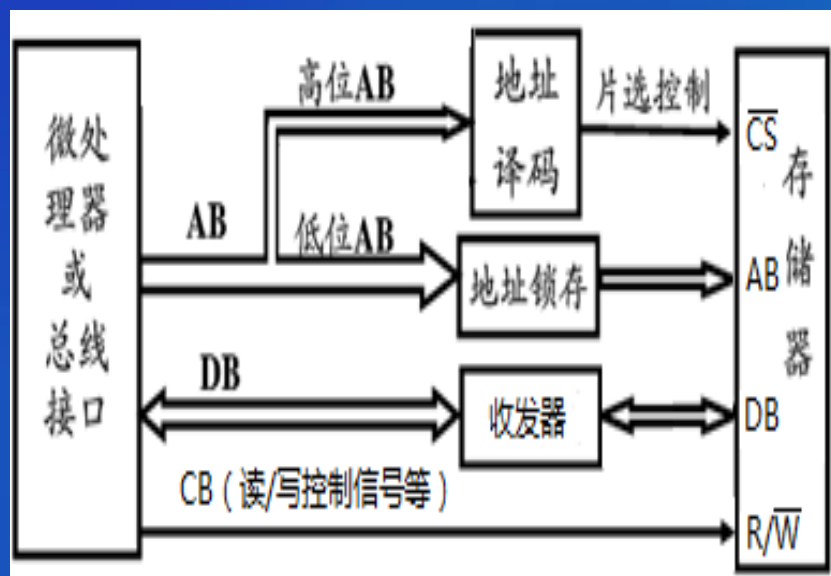
存储器地址分配

存储器	$A_{15}A_{14}A_{13}A_{12} \dots A_3A_2A_1A_0$	十六进制地址范围
ROM2 和 ROM3 位扩展组	$0 \ 0 \times 0 \ \dots \ 0 \ 0 \ 0 \ 0 \sim$ $0 \ 0 \times 1 \ \dots \ 1 \ 1 \ 1 \ 1$	0000H~1FFFH 或 2000H~3FFFH
ROM0 和 ROM1 位扩展组	$0 \ 1 \times 0 \ \dots \ 0 \ 0 \ 0 \ 0 \sim$ $0 \ 1 \times 1 \ \dots \ 1 \ 1 \ 1 \ 1$	4000H~5FFFH 或 6000H~7FFFH
RAM1	$1 \ 0 \ 0 \ 0 \ \dots \ 0 \ 0 \ 0 \ 0 \sim$ $1 \ 0 \ 1 \ 1 \ \dots \ 1 \ 1 \ 1 \ 1$	8000H~BFFFH
RAM0	$1 \ 1 \ 0 \ 0 \ \dots \ 0 \ 0 \ 0 \ 0 \sim$ $1 \ 1 \ 1 \ 1 \ \dots \ 1 \ 1 \ 1 \ 1$	C000H~FFFFH

10.6 集成存储器与处理器接口

存储器是微处理器常用的外围器件，要与微处理器“接口”也是要通过总线，同样要满足接口的电压、电流和速度三要素。

一般情况下，尽量选择满足微处理器CPU逻辑电平和操作时序的存储器芯片，即存储器的电压、电流和存取速度都与CPU访问时序匹配，这样接口电路最为简单。



如果CPU总线上外扩器件比较多，一般需要增加地址锁存器、驱动器和收发器等，一方面起到数据缓存作用，另一方面可以提高总线驱动能力。

存储器的编址

CPU地址总线数决定寻址范围。如，某有20根地址线，最大寻址范围是2M（0x00000 ~ 0xFFFFF）。

如有多个存储器，一般将地址总线低位地址对应接存储器芯片的地址端，余下的AB高位地址经译码后作为不同存储器芯片的片选信号。

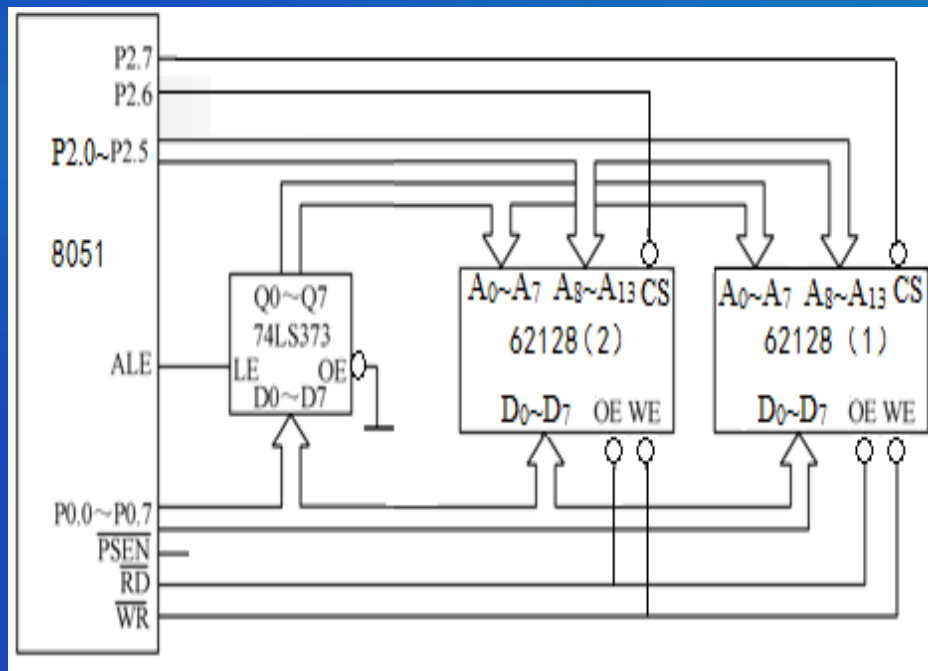
片选信号的产生方法：

线选法：直接以系统空闲的高位地址线作为芯片的片选信号。

优点：无须另外增加译码电路

缺点：有时寻址范围不惟一，地址空间没有被充分利用，可外扩的芯片的个数较少。

适用于小规模单片机应用系统中片选信号的产生。



全地址译码：利用译码器对系统地址总线中未被外扩芯片用到的高位地址线进行译码，以译码器的输出作为外围芯片的片选信号。常用的译码器有74LS139, 74LS138, 74LS154等。

优点：各存储器芯片任一存储单元的地址唯一且连续。

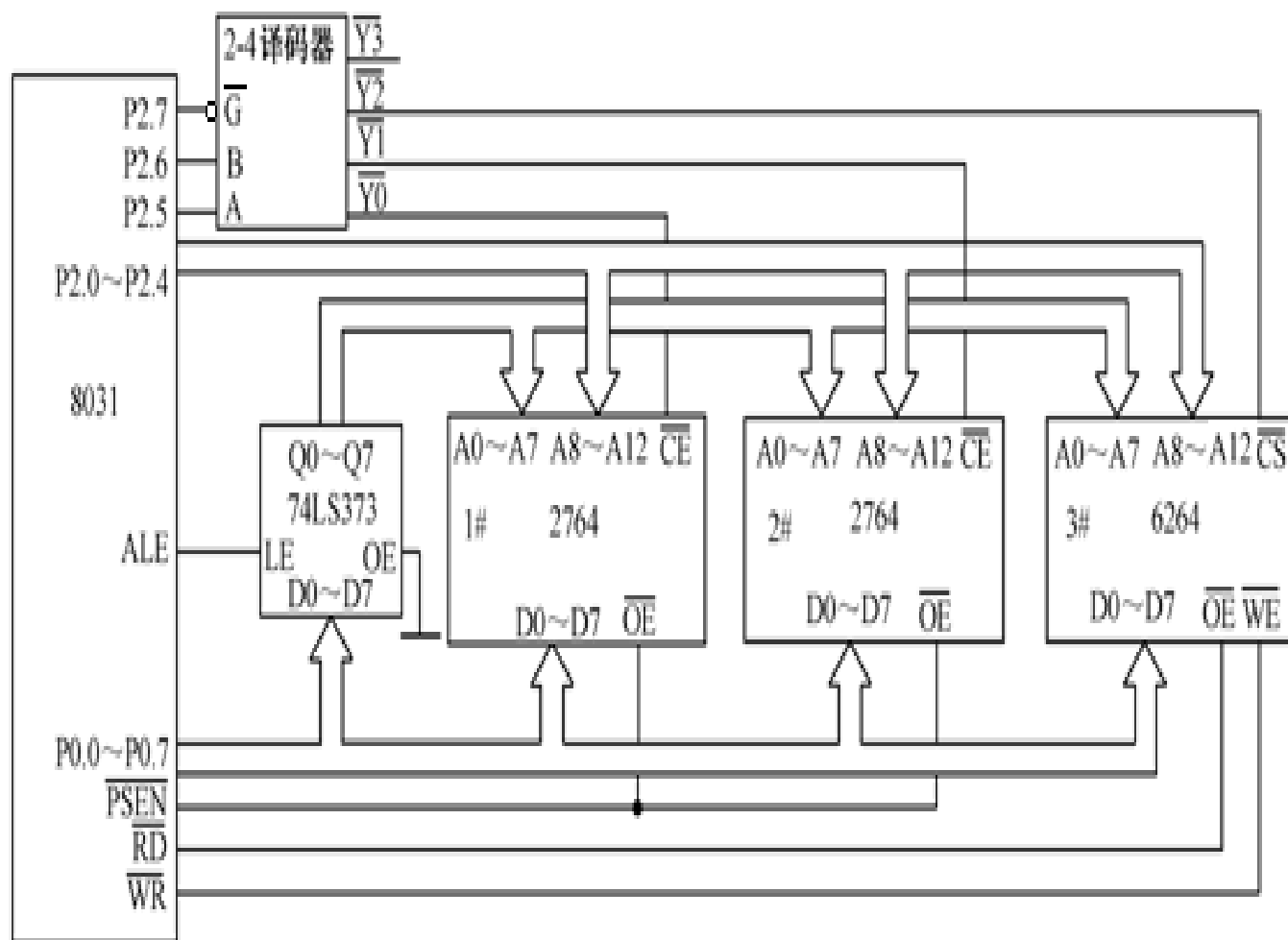
缺点：需要的地址译码电路较复杂。全地址译码法是微处理器应用系统设计中经常采用的方法。

部分地址译码法：未被外扩芯片用到的高位地址线中，只有一部分参与片选地址译码。

优点：地址译码电路简单。

缺点：存储器每个存储单元的地址不是惟一的，存在地址重叠现象。

存储器与MCS-51单片机的连接举例



单片机外扩16KB程序存储器（两片2764芯片）和8KB数据存储器（一片6264芯片）。

采用全地址译码，P2.7（A15）控制2-4译码器的使能端G（低电平有效），P2.6（A14）、P2.5（A13）参加译码。

问题：确定1# 2764，2# 2764，3# 6264的地址范围：

0000H ~ 1FFFH,
2000H ~ 3FFFH,
4000 ~ 5FFFH。

作业

自练题:

10.1

10.4

作业题:

10.2

10.6

本章小结

- ◆ 半导体存储器是一种能够存放大量二值数据的集成电路。半导体存储器可分为RAM和ROM两大类。
- ◆ RAM又可分为SRAM和DRAM两种类型，前者用锁存器保存数据，读写速度快但集成度较低；后者用电容寄存数据，集成度高且价格便宜，但需要刷新电路。
- ◆ ROM一般存入的是固定的数据，它的结构可以用简化阵列图来表示。按照数据写入的方式，ROM可分为掩膜ROM、PROM、EPROM、E²PROM、Flash存储器。EPROM、EEPROM、Flash ROM的核心部件都是一个浮置栅场效应管，通过在浮置栅上放置电子和没有电子两种状态来区分0和1。
- ◆ 介绍了NOR和NAND Flash集成存储器及相关接口。
- ◆ 一片RAM或ROM的容量不够用时，可以将多片存储器采用字扩展和位扩展的方法组成较大容量的存储器。
- ◆ 最后介绍了集成存储器与微处理器的连接方式。