

3 集成逻辑门电路

3.1 集成电路基本概念

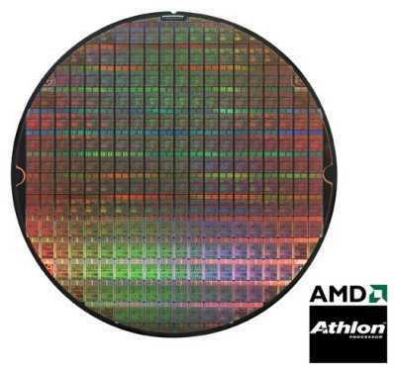
3.2 半导体器件开关特性

3.3 TTL系列集成门内部电路及电气特性

3.4 三态门在微处理器总线中的作用

3.5 CMOS集成门电路

3.6 集成逻辑器件接口的三要素



3.1 集成电路基本概念



1. 集成电路(Integrated Circuit, 简称IC)

集成电路就是把电路中的半导体器件、电阻、电容及导线制作在一块半导体基片(芯片)上,并封装在一个壳体内所构成的完整电路。

2. 集成电路的特点

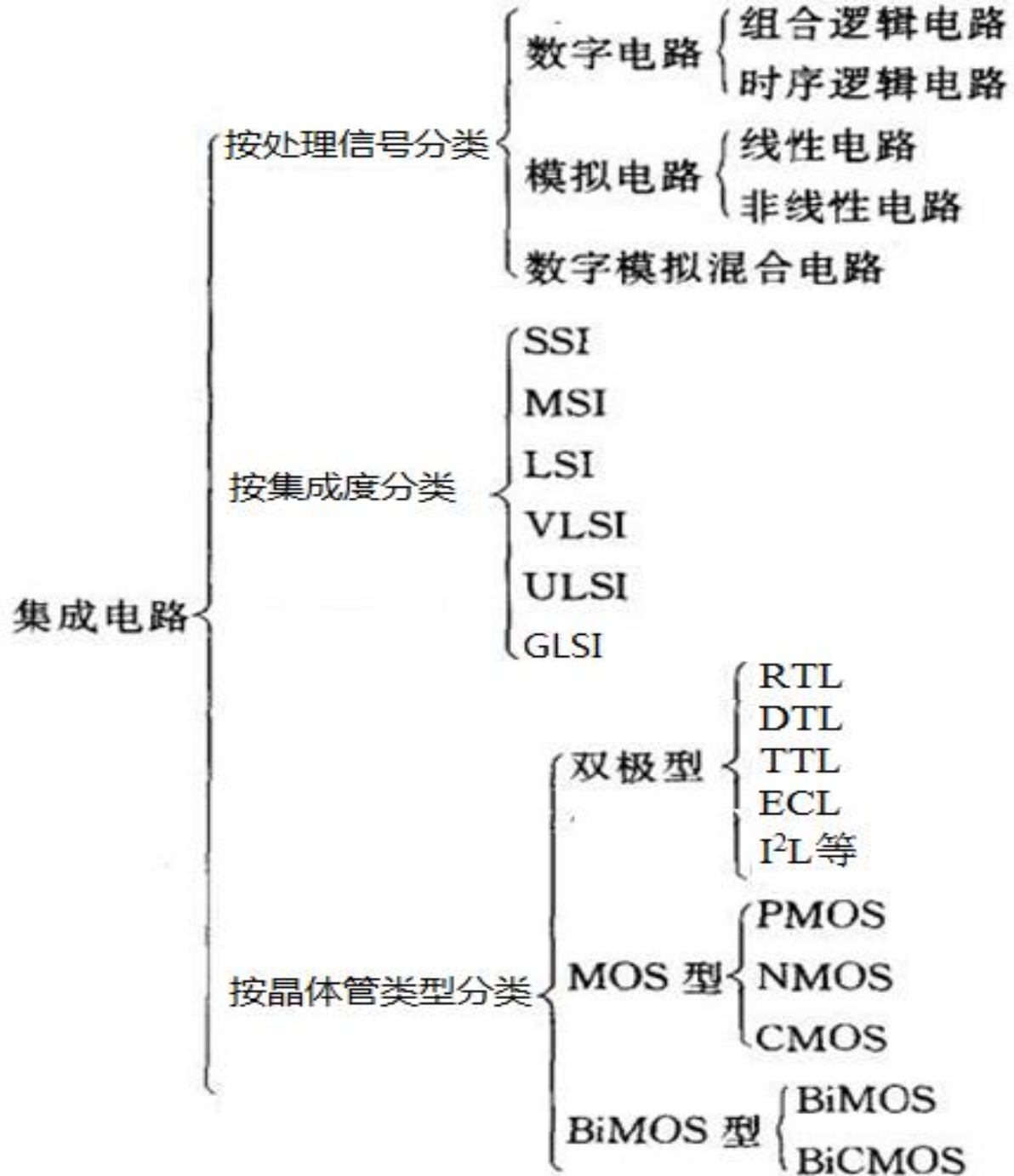
与分立元件电路相比,集成电路具有重量轻、体积小、功耗低、成本低、可靠性高和工作速度高等优点。

上页

下页

返回

集成电路的分类:



数字集成电路分类:

(1) 按电路内部有源器件的不同可分为

a. 双极型晶体管集成电路:

主要有:

(a) 晶体管—晶体管逻辑(TTL-Transistor Transistor Logic)

(b) 发射极耦合逻辑(ECL-Emitter Coupled Logic)

(c) 电阻晶体管逻辑 (RTL)

b. MOS(Metal Oxide Semiconductor)集成电路

主要有：NMOS、PMOS和CMOS等几种类型。

TTL和CMOS集成电路的特点：

- (a) TTL集成电路工作速度高、驱动能力强，但功耗大、集成度低；
- (b) MOS集成电路集成度高、功耗低，但工作速度略低，超大规模集成电路基本上都是MOS集成电路。

目前已生产了BiCMOS器件，它由双极型晶体管电路和MOS型集成电路构成，能够充分发挥两种电路的优势，缺点是制造工艺复杂。

(2) 按集成度分:

a. 小规模集成电路(SSI-Small Scale Integration), 每片组件内包含10~100个元件(或10~20个等效门)。

逻辑门和触发器是目前常用的SSI。

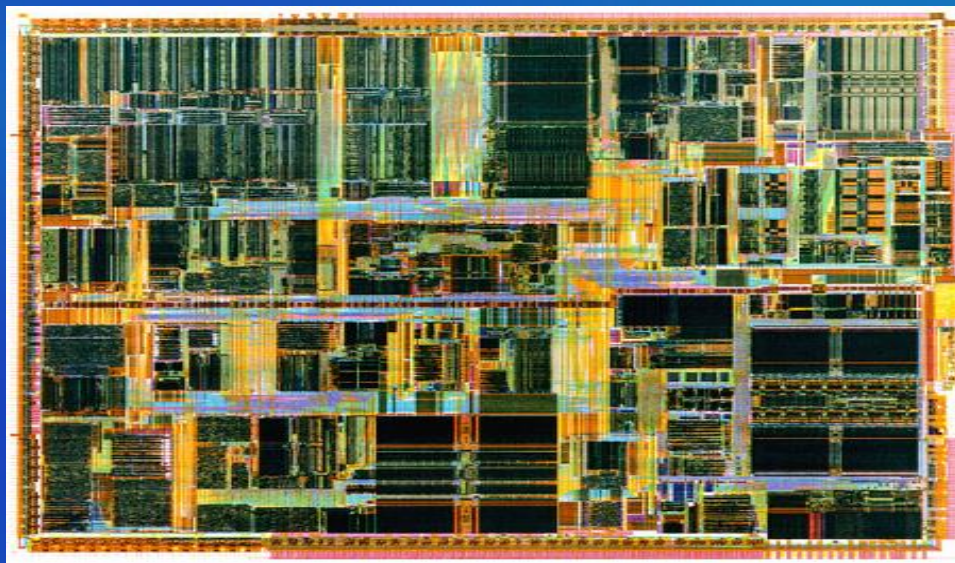
b. 中规模集成电路(MSI-Medium Scale Integration), 每片组件内含100~1000个元件(或20~100个等效门)。

译码器、数据选择器、加法器、计数器、移位寄存器等组件是常用的MSI。

c. 大规模集成电路(LSI-Large Scale Integration), 每片组件内含1000~100 000个元件(或100~1000个等效门)。

d. 超大规模集成电路(VLSI-Very Large Scale Integration), 每片组件内含100 000个元件(或1000个以上等效门)。

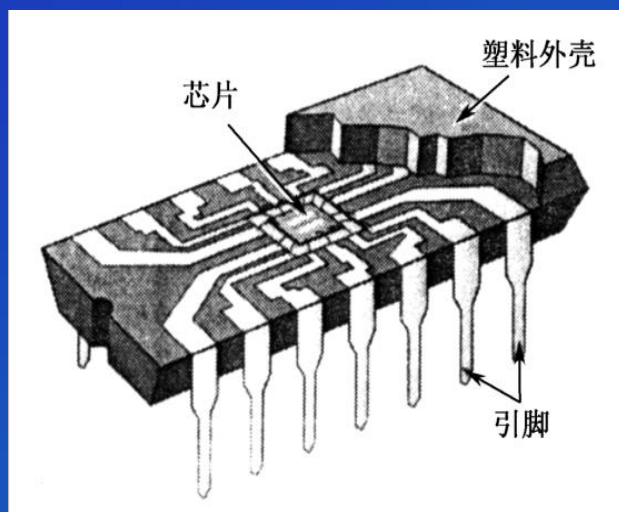
常见的LSI、VLSI有存储器、微处理器、单片微处理机、高速乘法累加器、通用和专用数字信号处理器, 可编程逻辑器件PLD。PLD是近十几年来迅速发展的新型数字器件, 目前应用十分广泛。



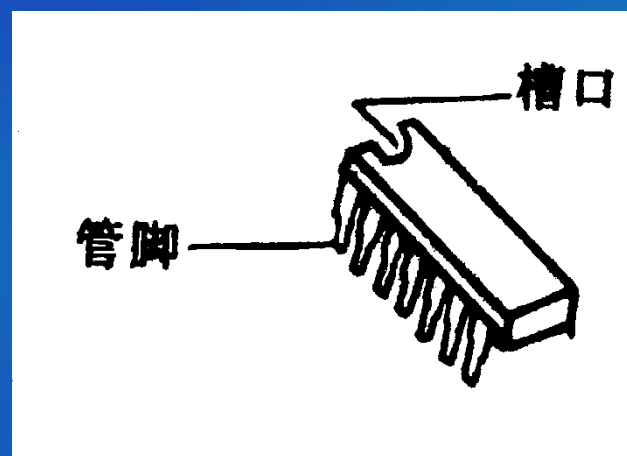
Intel Pentium Microprocessor,
42 M transistors.

集成逻辑门

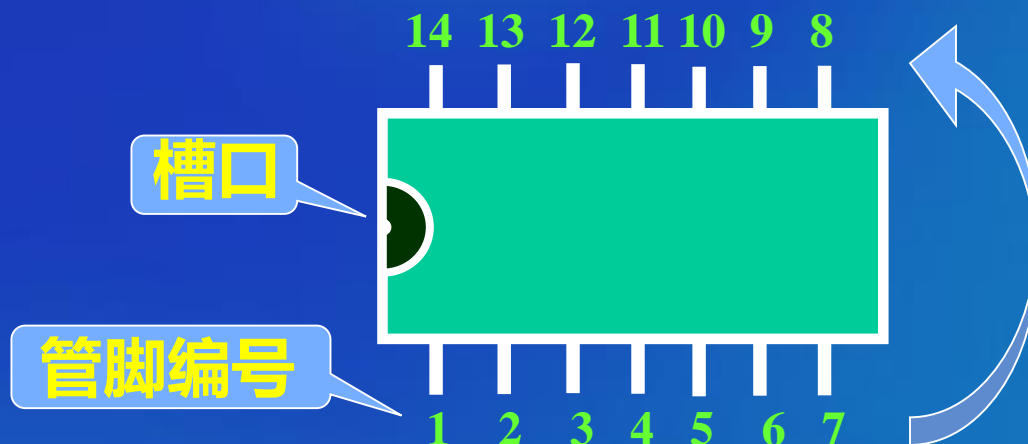
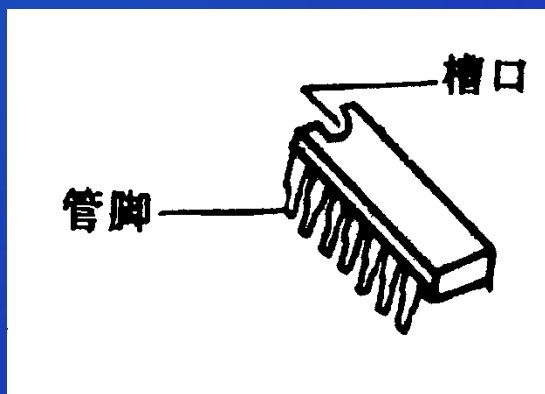
集成逻辑门是最基本的数字集成电路，是组成数字逻辑的基础。



集成门电路外形图



常用的集成门电路，大多采用双列直插式封装（Dual-In-line Package，缩写成DIP）。



集成芯片表面有一个缺口（引脚编号的参考标志），如果将芯片插在实验板上且缺口朝左边，则引脚的排列规律为：左下管脚为1引脚，其余以逆时针方向从小到大顺序排列。

一般引脚数为：14、16、20等。

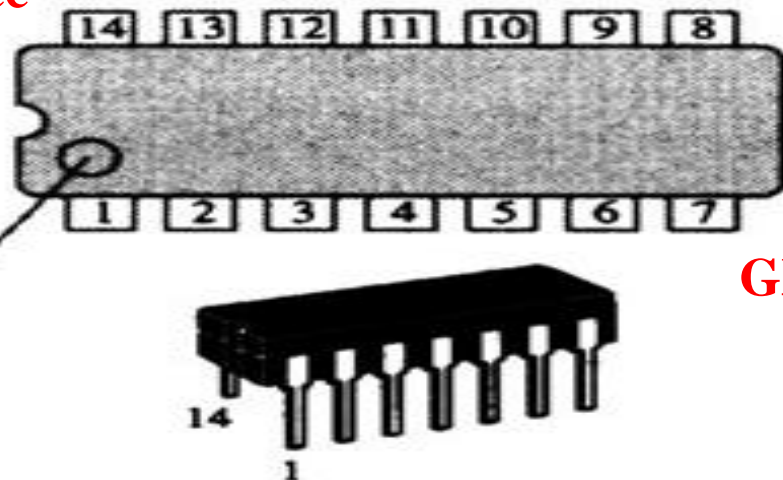
绝大多数情况下，电源从芯片左上角的引脚接入，地接右下引脚。

Top view
dual-in-line
package
(DIP)

Pin no.1
identifier

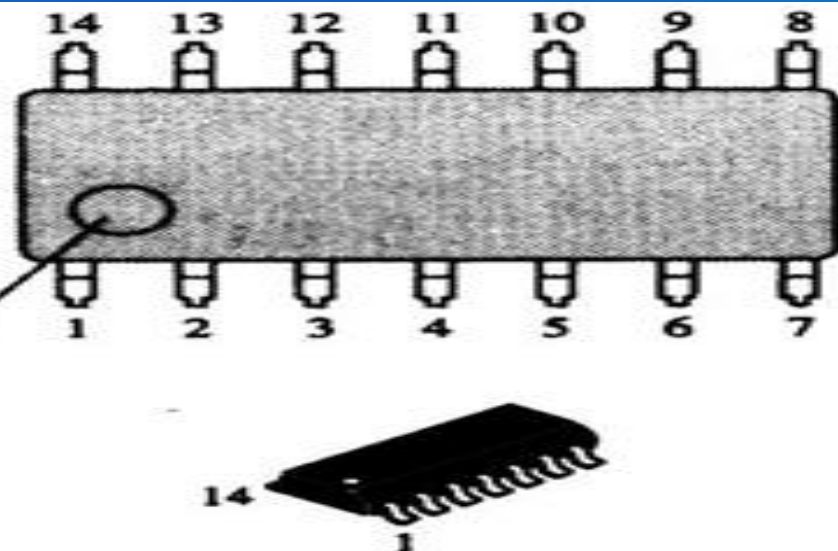
Vcc

GND



Small-
outline IC
(SOIC)

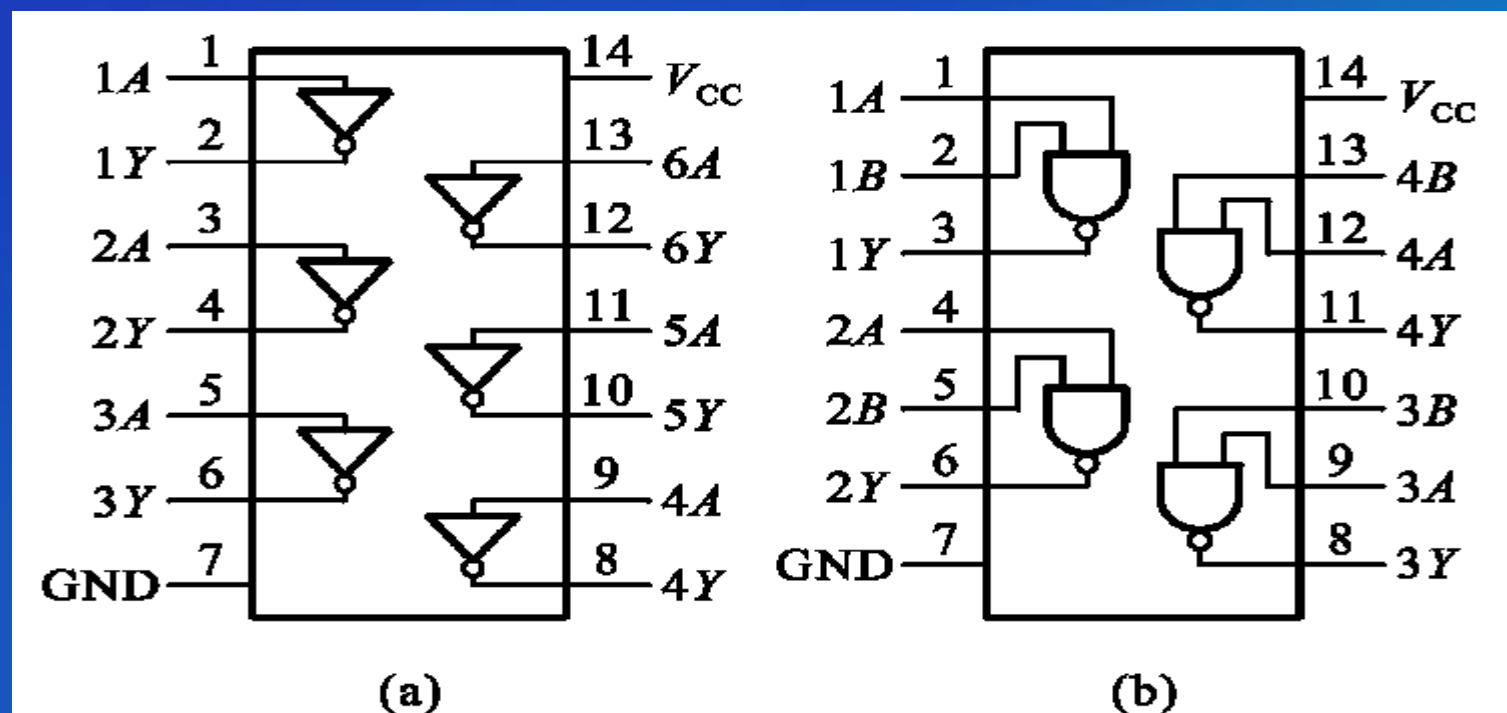
Lead no.1
identifier



一块芯片中可集成若干个（1、2、4、6等）**同样功能但又各自独立的门电路**，每个门电路则具有若干个（1、2、3等）输入端。



GS: General Semiconductor
美国通用仪器公司半导体公司



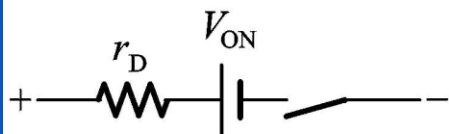
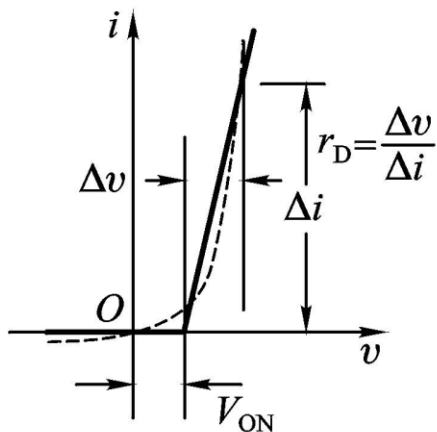
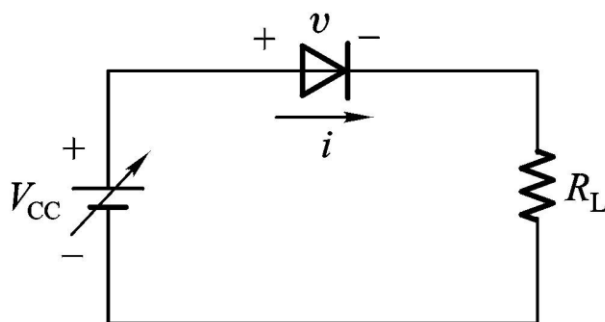
(a) 74LS04(六反相器)

(b) 74LS00(四2输入与非门)

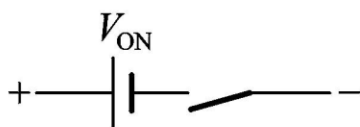
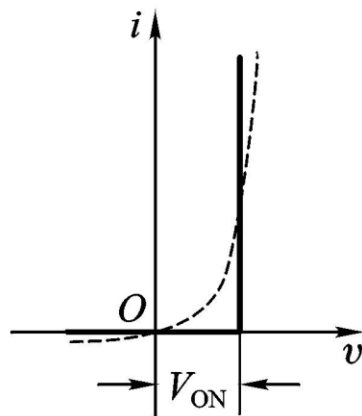
3.2 半导体器件开关特性

1. 二极管的特性:

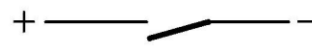
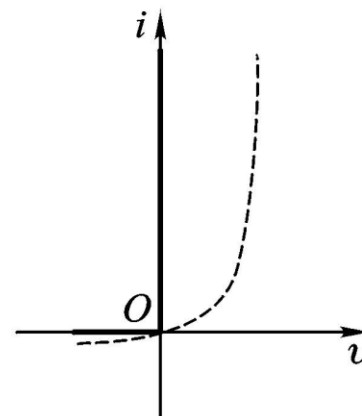
单向导电



小信号模型

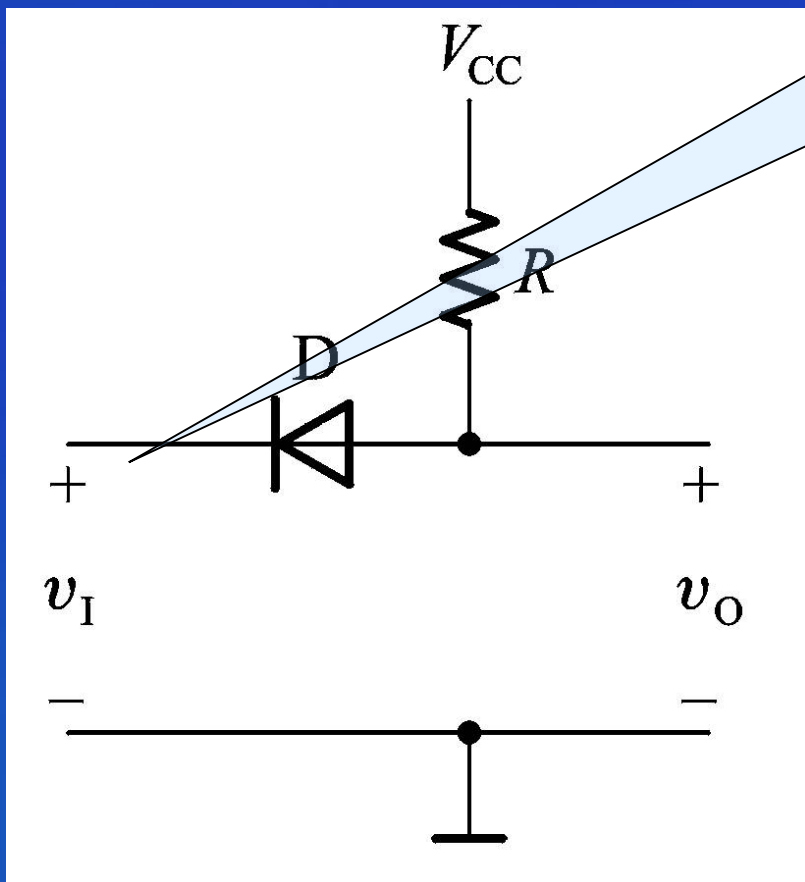


恒压降模型



理想模型

二极管构成的跟随



高电平: $V_{IH}=V_{CC}$
低电平: $V_{IL}=0$

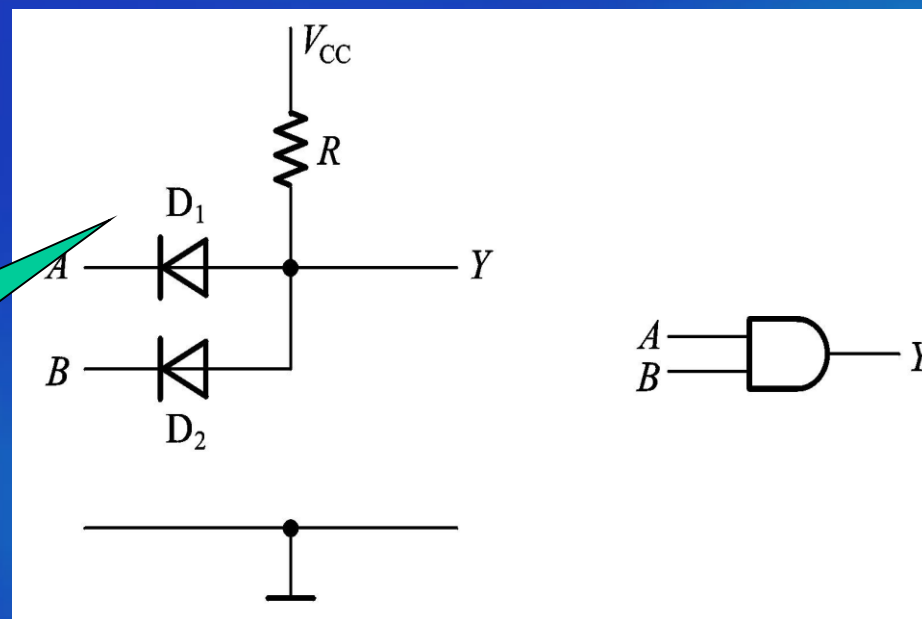


- $V_I=V_{IH}$
D截止, $V_O=V_{OH}=V_{CC}$
- $V_I=V_{IL}$
D导通, $V_O=V_{OL}=0.7V$

* 输出分别靠近高电平和低电平, 因此输入是高电平时输出也是高电平, 输入为低电平时输出也是低电平, 因此二极管就相当于1个受控于输入电平的开关。这是1个逻辑跟随。

二极管与门

假设 $V_{CC} = 5V$
 加到A,B的 $V_{IH} = 3V$
 $V_{IL} = 0V$
 二极管导通时 $V_{DF} = 0.7V$



A	B	Y
0V	0V	0.7V
0V	3V	0.7V
3V	0V	0.7V
3V	3V	3.7V

规定3V以上为1

0.7V以下为0

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

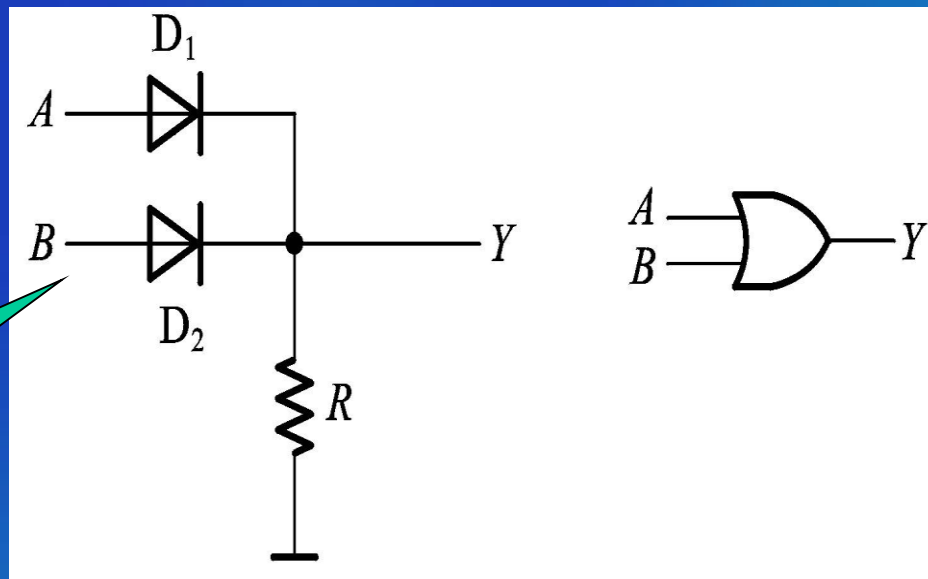
上页

下页

返回

二极管或门

设 $V_{CC} = 5V$
 加到A,B的 $V_{IH} = 3V$
 $V_{IL} = 0V$
 二极管导通时 $V_{DF} = 0.7V$



A	B	Y
0V	0V	0V
0V	3V	2.3V
3V	0V	2.3V
3V	3V	2.3V

规定2.3V以上为1

0V以下为0

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

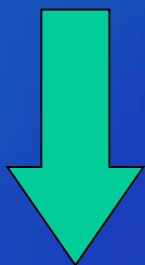
上页

下页

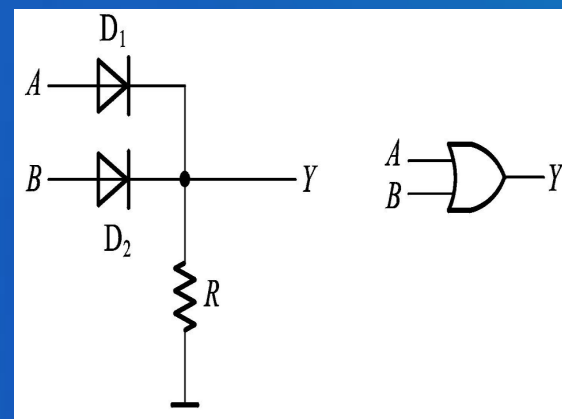
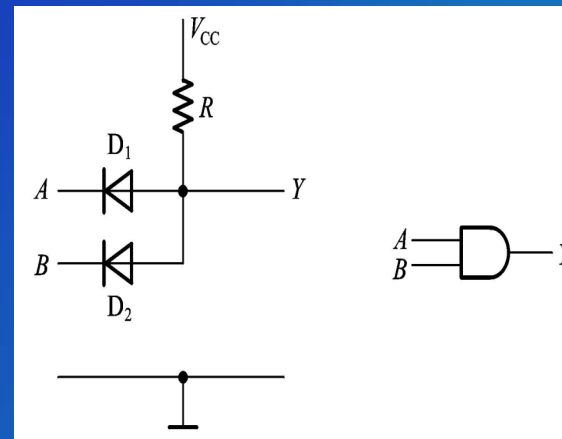
返回

二极管构成的门电路的缺点

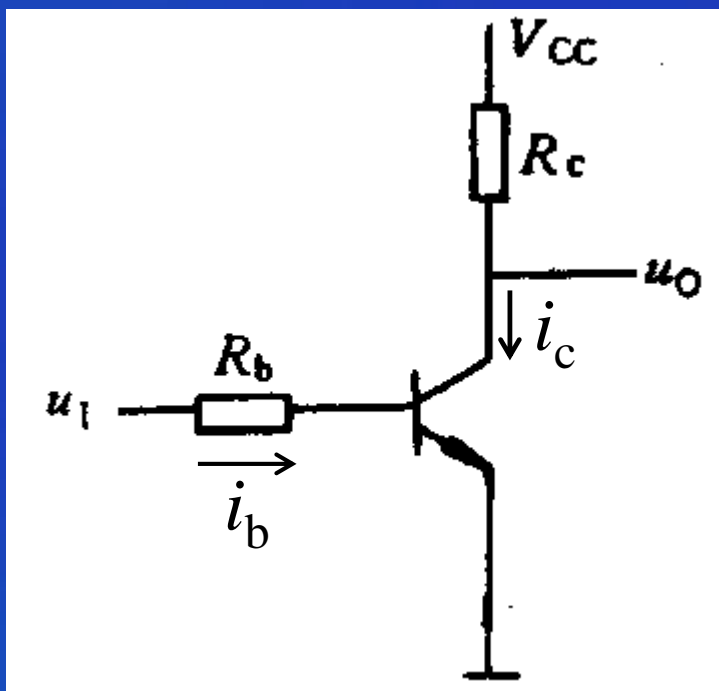
- 电平偏移（与门和或门定义的高低电平范围不同，进行复合运算时，如先或后与，或后得到的高2.3V到与门后（>3V）就无法当成高了。电压偏移是由二极管的导通压降0.7V造成的）。
- 带负载能力差



- 只用于IC内部电路

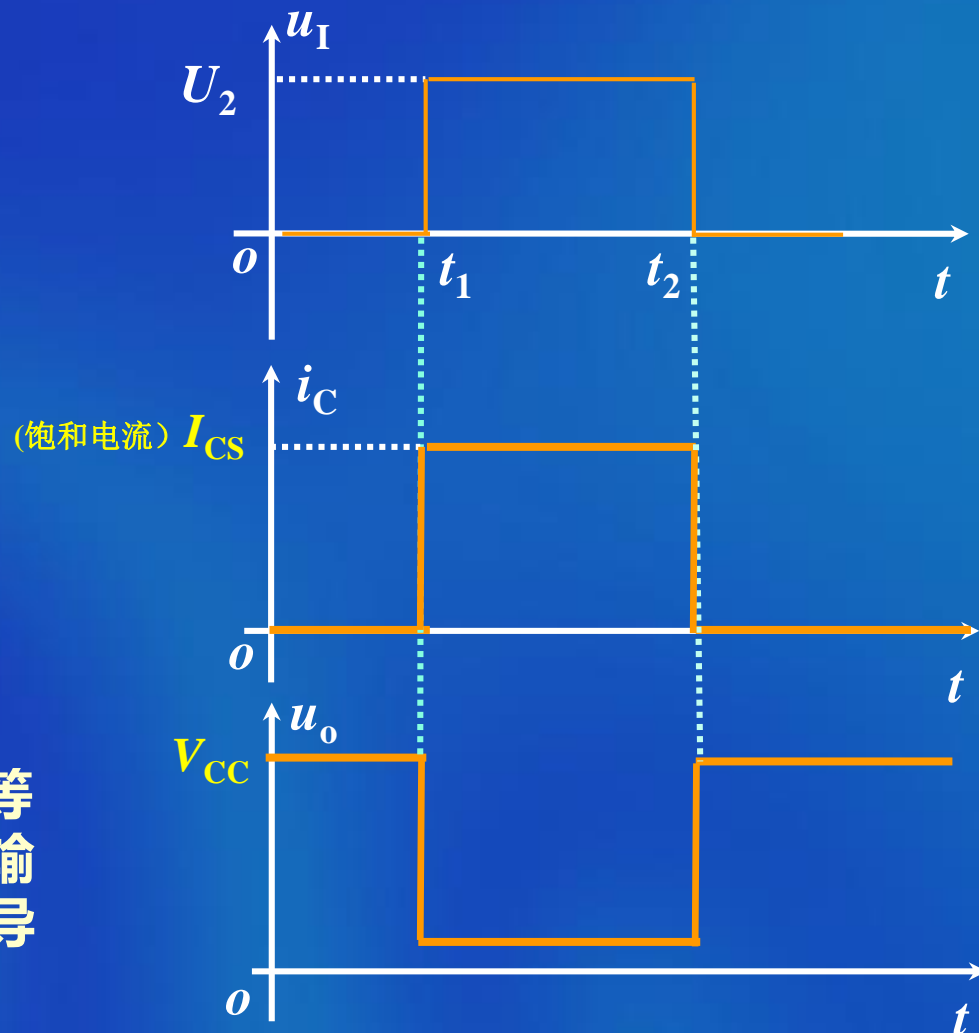


三极管的开关特性



在 R_b 、 R_c 和管子的电流放大倍数等参数取值合适的情况下，可使其在输入为高、低电平时分别工作在饱和导通和截止状态。

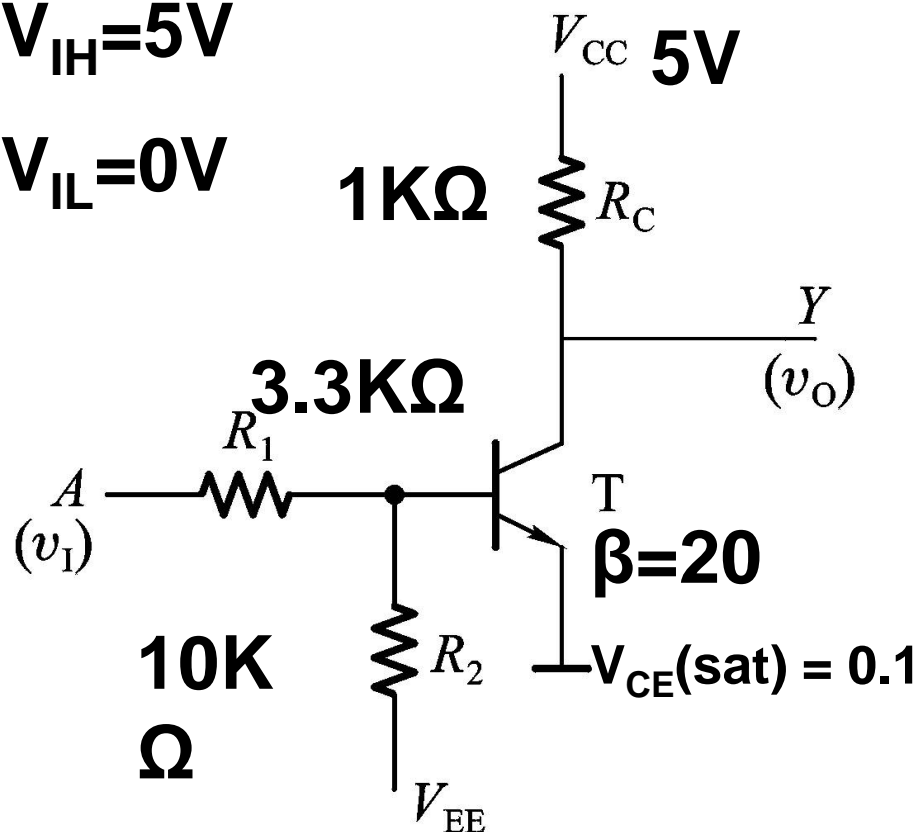
理想情况



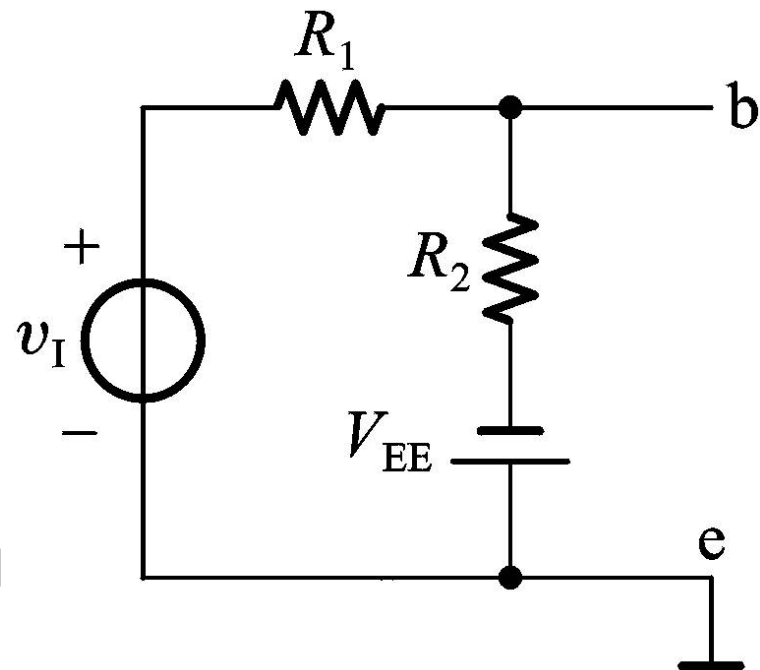
例：计算参数设计是否合理

$$V_{IH}=5V$$

$$V_{IL}=0V$$



$-8V$ (为保证输入低电平时可靠截止)

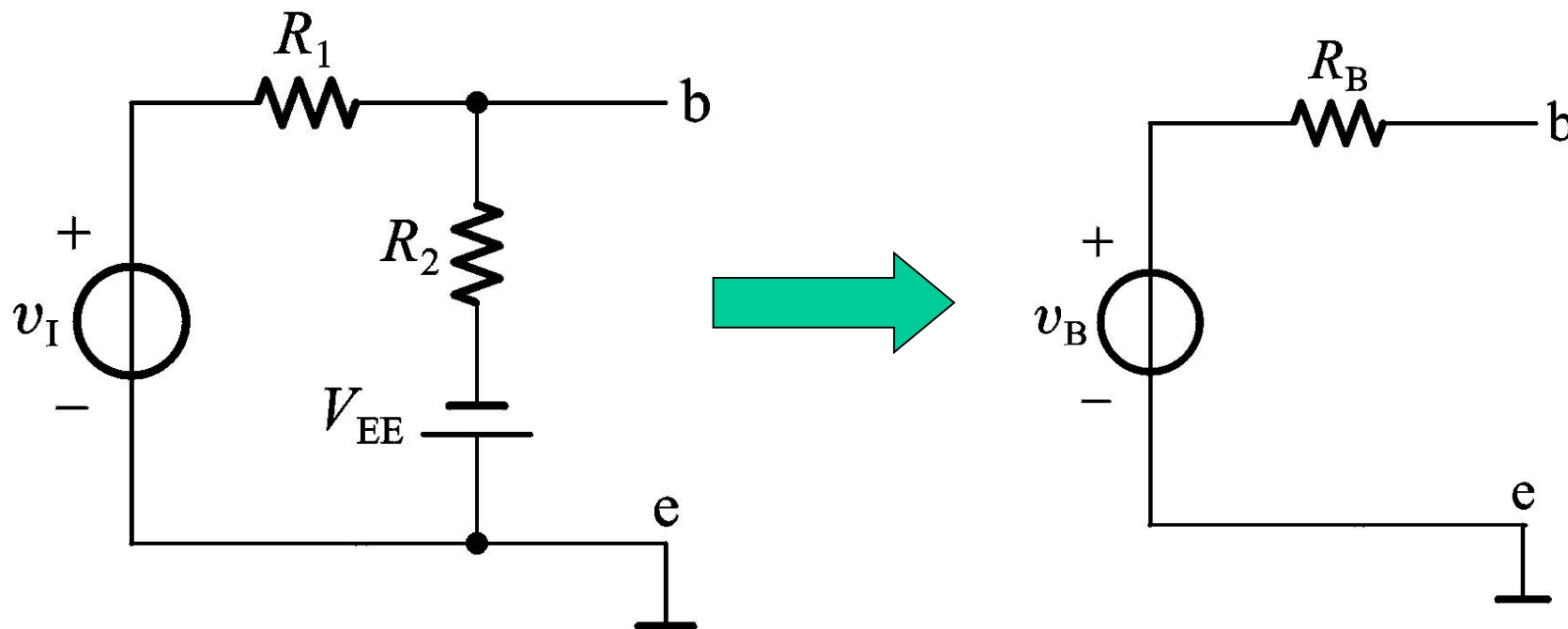


上页

下页

返回

① 将发射极外接电路化为等效的 V_B 与 R_B 电路



$$R_B = R_1 // R_2 = 2.5K\Omega$$

$$V_B = V_I - \frac{V_I - V_{EE}}{R_1 + R_2} R_1 = V_I - \frac{V_I + 8}{13.3} \times 3.3$$

上页

下页

返回

② 当 $V_I = V_{IL} = 0$ 时, $V_B = 0 - \frac{8}{13.3} 3.3 = -2.0V$

所以 T 截止, $i_C = 0, V_O = V_{OH} = V_{CC} = 5.0V$

③ 当 $V_I = V_{IH} = 5V$ 时, $V_B = 5 - \frac{5+8}{13.3} 3.3 = 1.8V$ 所以 T 导通

如果用折线等效电路, 认为 $V_{BE} = 0.7V$

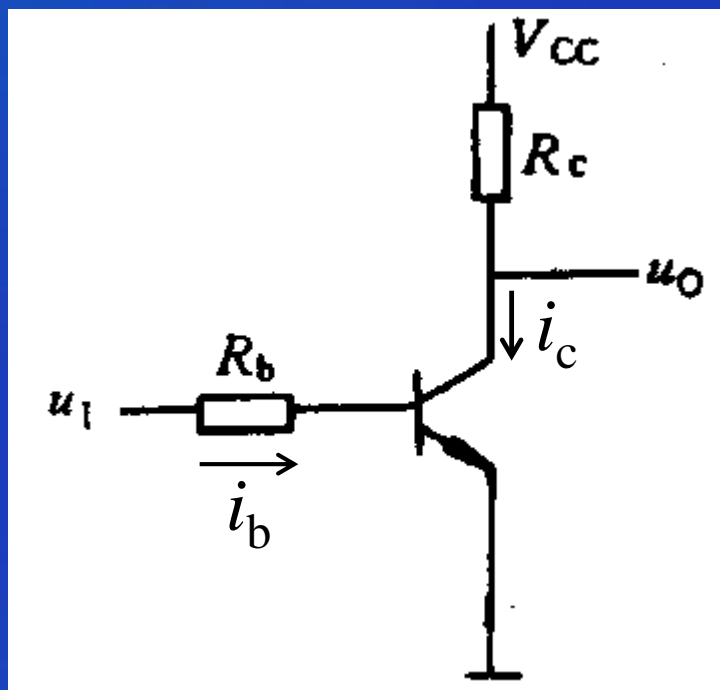
则得: $i_B = \frac{V_B - V_{BE}}{R_B} = 0.44mA$

④ 又深度饱和时 I_{BS} 为:

$$I_{BS} = \frac{I_{CS}}{\beta} = \frac{V_{CC} - V_{CE}(sat)}{\beta R_C} = 0.25mA$$

故 $i_B > i_{BS}$, T 饱和, $V_O = V_{CE}(sat) \approx 0V$

⑤ 因此, 参数设计合理



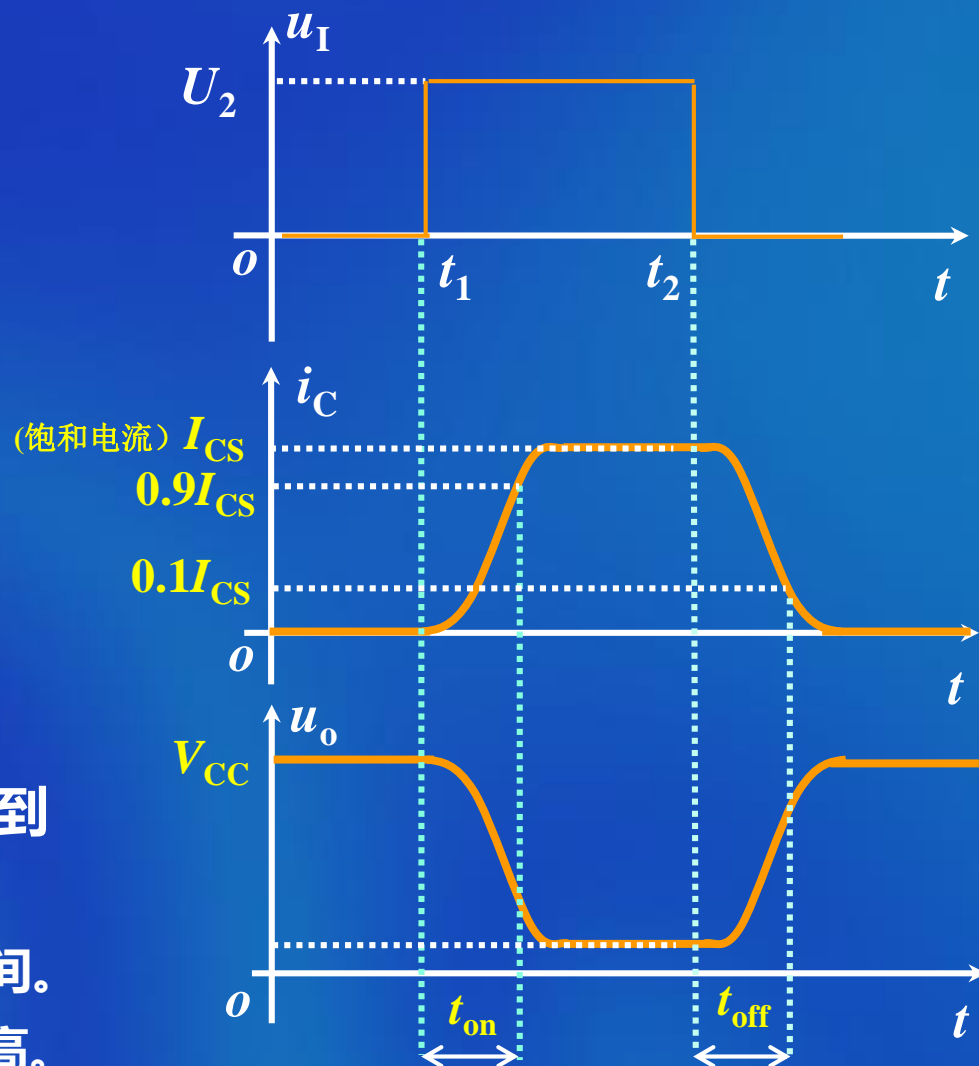
a) 开关时间

接通时间 t_{on} : 从 u_I 上跳开始到 i_C 上升到 $0.9I_{CS}$ 所需要的时间。

关断时间 t_{off} : i_C 从 I_{CS} 下降到 $0.1I_{CS}$ 的时间。

t_{on} 、 t_{off} 统称为开关时间。越短速度越高。

实际情况(结电容和分布电容的影响)

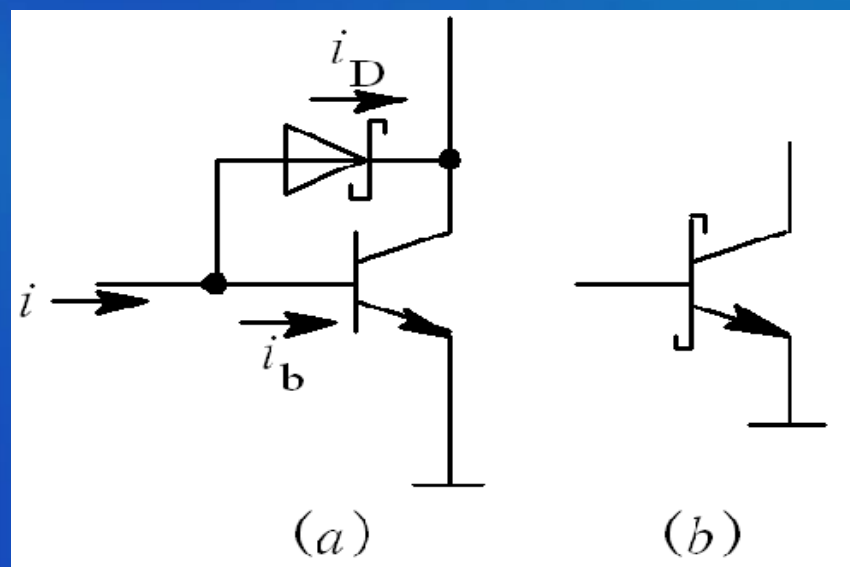


b) 影响开关时间的因素

管子的结构工艺，外加输入电压的极性 & 大小。

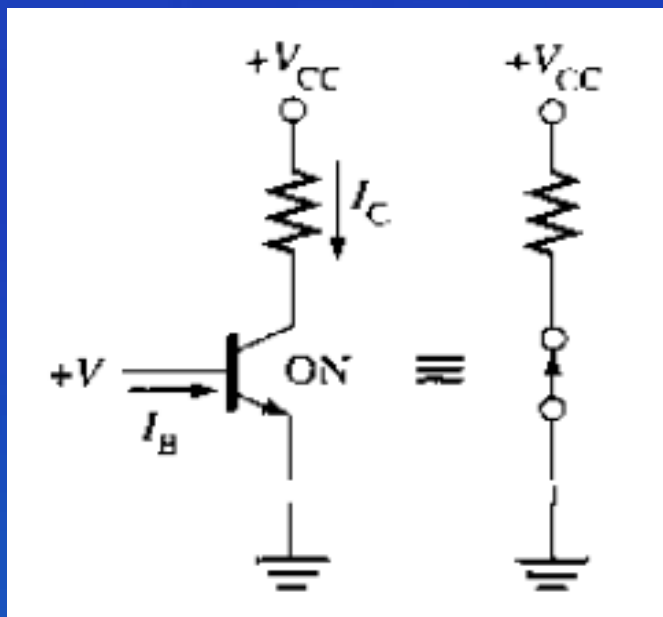
c) 提高开关速度的途径

制造开关时间较小的管子（如肖特基晶体管）；设计合理的外电路。

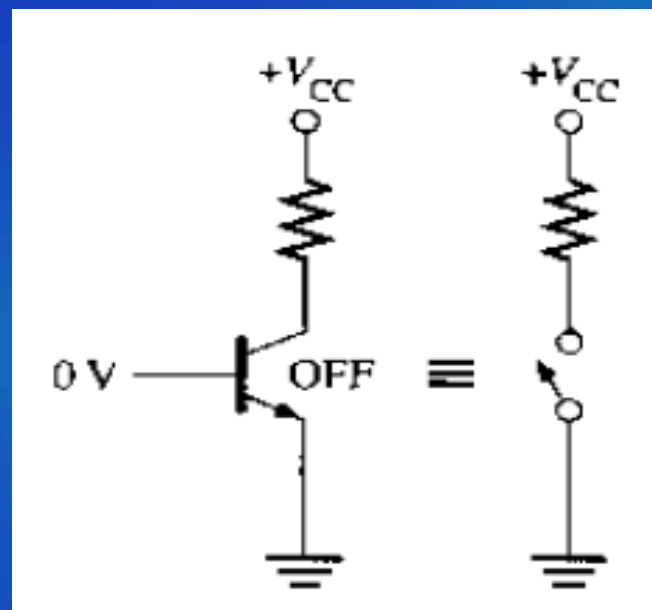


(a) circuit; (b) symbol

三极管开关特性



Saturated (ON) transistor and ideal switch equivalent



Cutoff (OFF) transistor and ideal switch equivalent

3.3 TTL系列集成门内部电路及电气特性

TTL底层采用双极型晶体管，可用于设计速度极快的开关网络。

TTL系列门有三种不同类型的输出配置：推挽式（图腾柱）输出、集电极开路输出和三态输出。

TTL反相器经典电路 的内部结构及工作原理

实际使用时取如下典型值时

$$V_{CC} = 5V$$

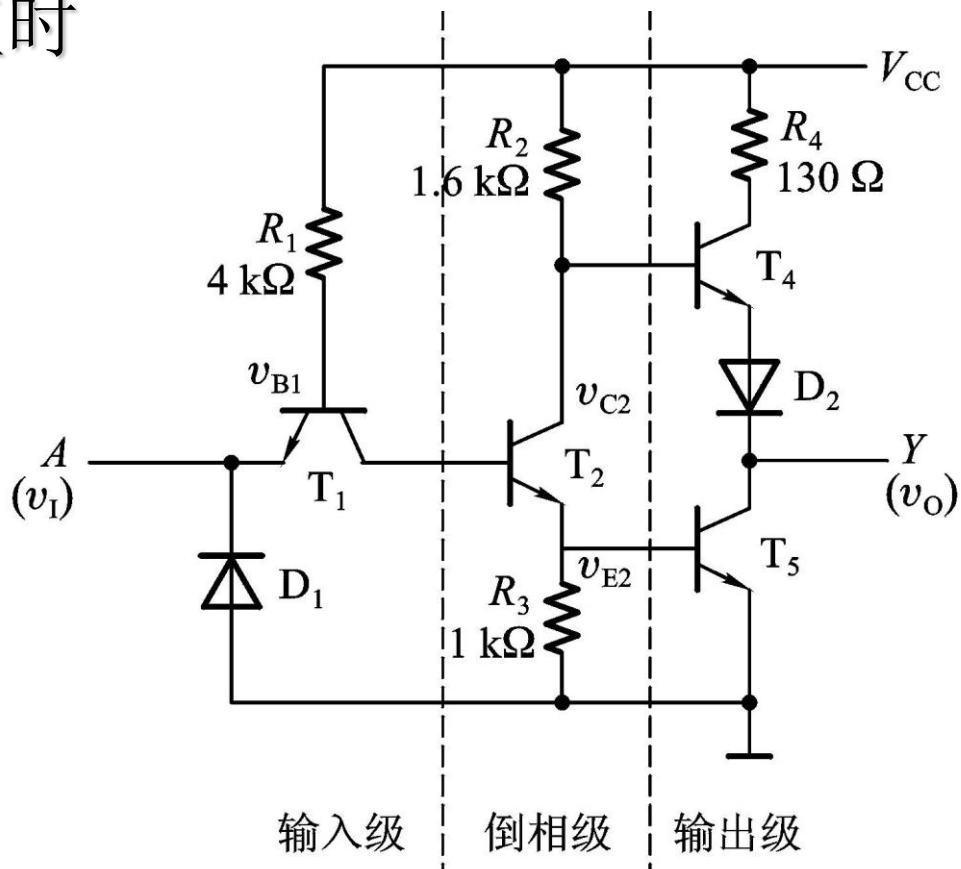
$$V_{IH} = 3.4V$$

$$V_{IL} = 0.2V$$

① PN 结导通压降 $V_{ON} = 0.7V$

② $V_I = V_{IL} = 0.2V (A = 0)$
 $V_O = V_{OH} (Y = 1)$

$V_I = V_{IH} = 3.4V (A = 1)$
 $V_O = V_{OL} (Y = 0)$



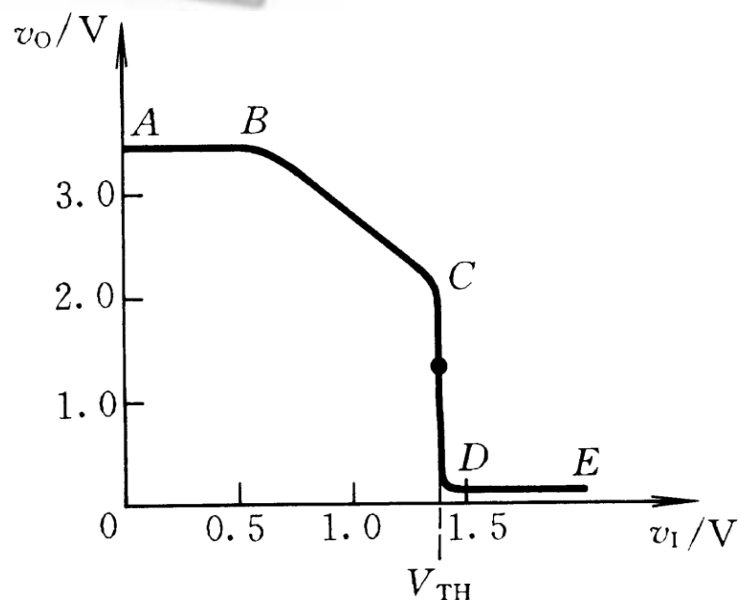
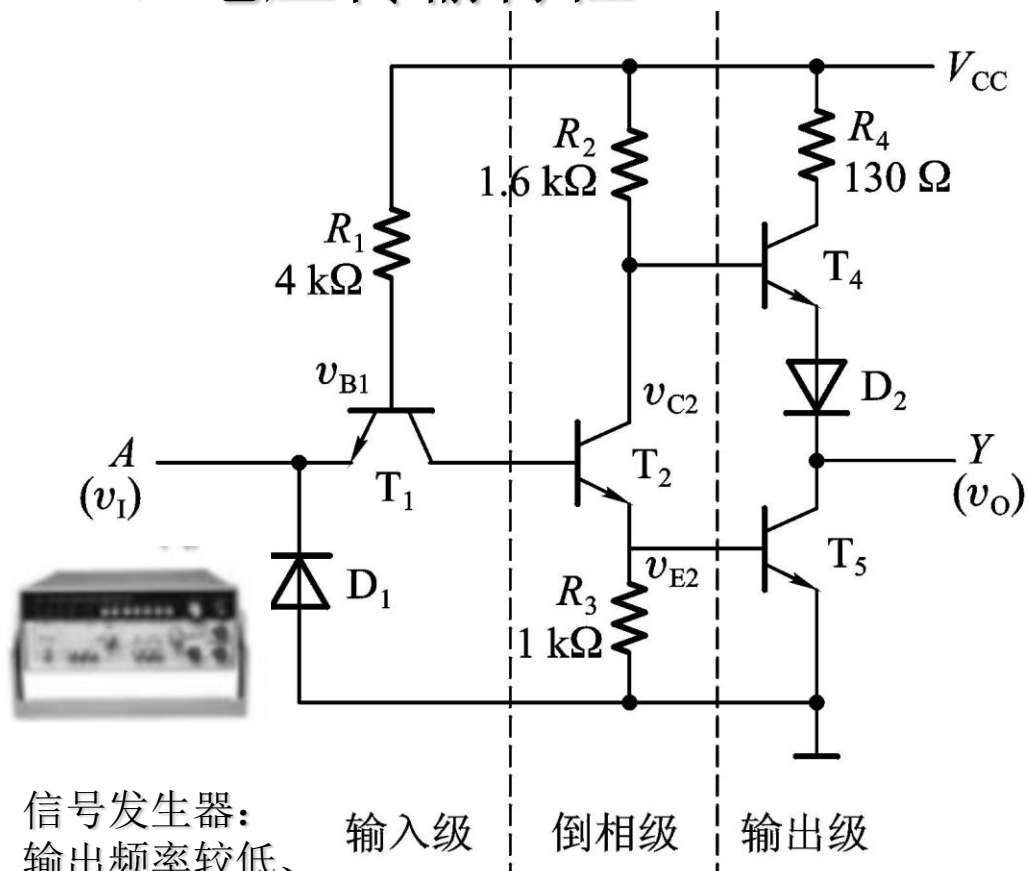
内部参数是工程师们经过设计凝练而成，参数合理，保证了功能的实现。

上页

下页

返回

二、电压传输特性



上页

下页

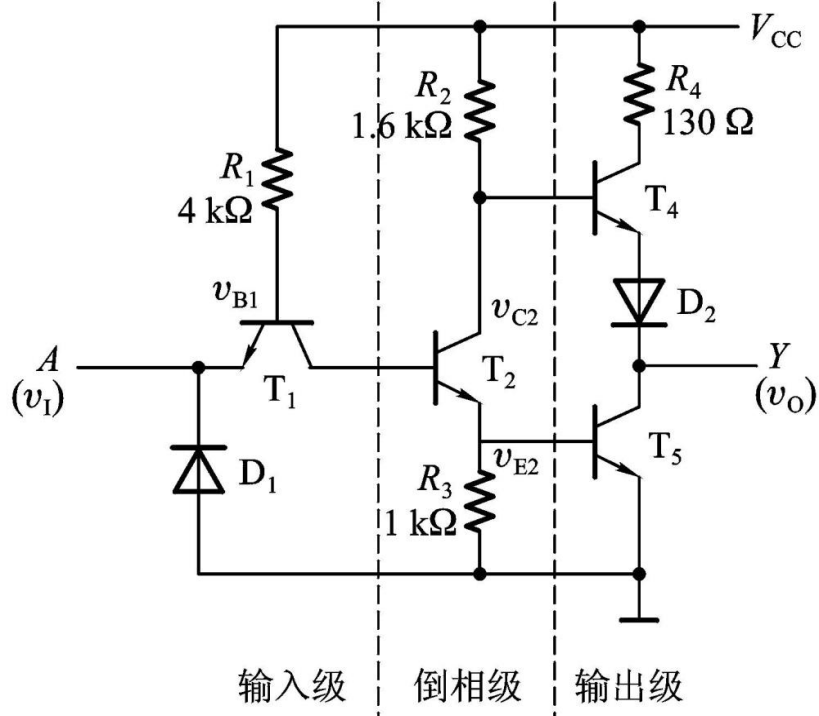
返回

二、电压传输特性

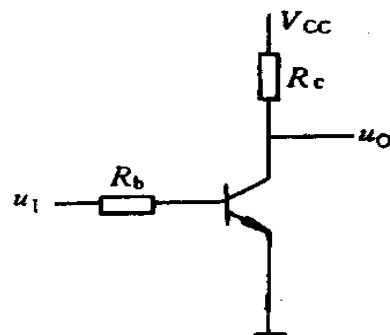
V_I 为0V时：T1管的发射结正偏；

T1的集电极通过T2的集电结（呈反偏状态）和R2上拉到了电源，由于PN结反偏时等效为很大的电阻，因此相当于T1的集电极通过1个大电阻上拉到电源，所以T1一定处于饱和导通。故T1管的CE间压降很低，假设为0.2V，则T2管的基极此时为0.2V，显然无法导通。此时R3上无压降，故T5管也截止。

此时T4管的基极通过R2上拉到电源，故T4管可以导通。



$$V_{OH} = V_{CC} - V_{R2} - V_{BE4} - V_{D2} = 3.4V$$



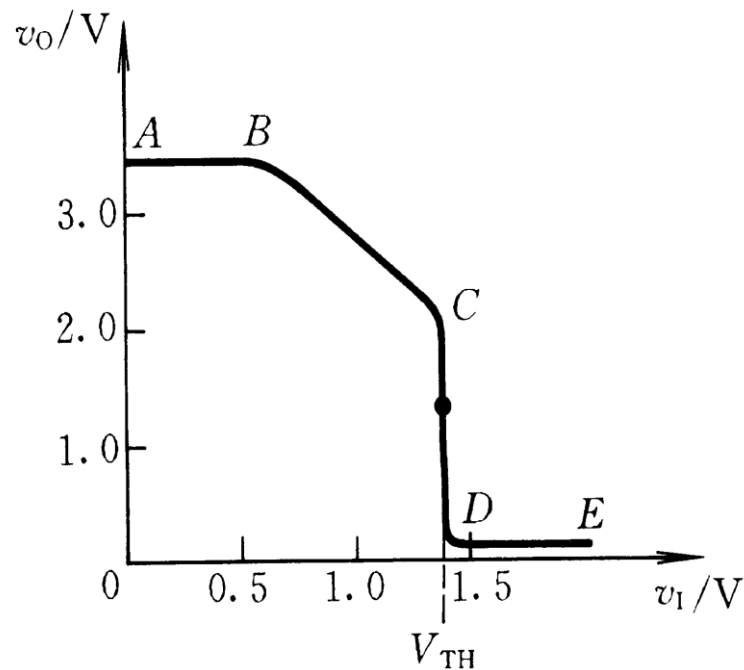
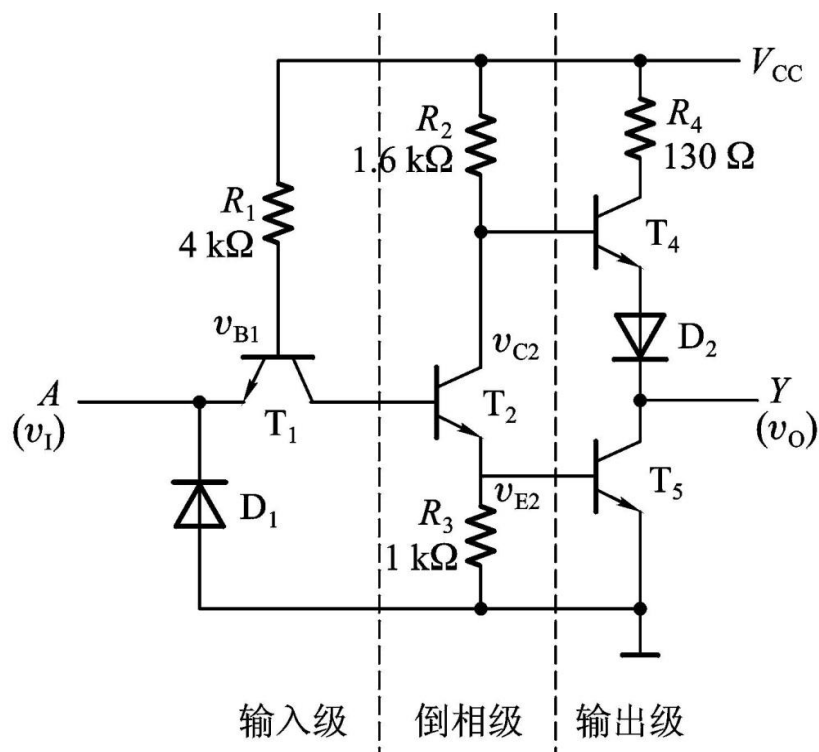
上页

下页

返回

* *AB*段：尽管 T_2 的基极电压(输入+ T_1 的 CE 间饱和压降)会随着输入增大而增加,但在 $V_{I1} < 0.6V$ 时, T_2 、 T_5 仍截止, 故 $V_{B1} < 1.3V$

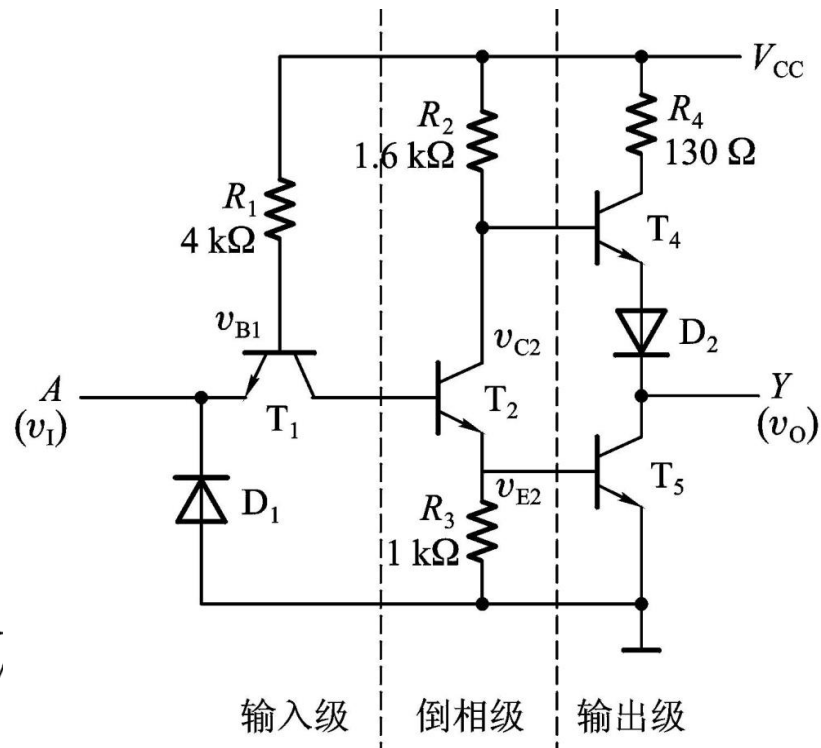
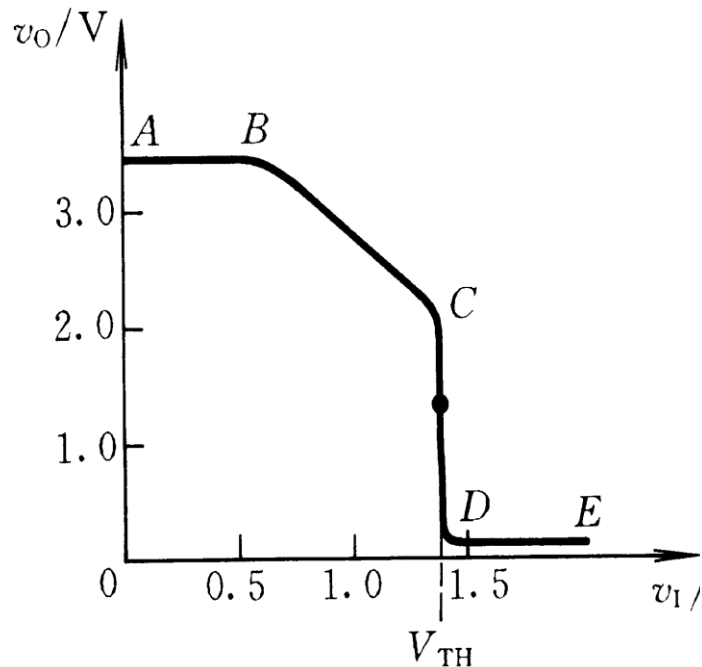
$$V_{OH} = V_{CC} - V_{R2} - V_{BE4} - V_{D2} = 3.4V$$



* *BC*段：线性区 $0.7V < V_I < 1.3V$

T_2 导通且工作在线性放大区,因为 T_2 在截止时, V_{E2} 为0, V_{C2} 通过 R_2 上拉到电源, 所以 T_2 的 CE 间压差很大, 意味着 T_2 的集电结反偏。此时如果其发射结进入正偏, 便会处于放大状态。

T_5 截止, T_4 导通, 此时由于 R_2 上的电流增加, 导致其压降增大, 故 $V_I \uparrow \Rightarrow V_O \downarrow$



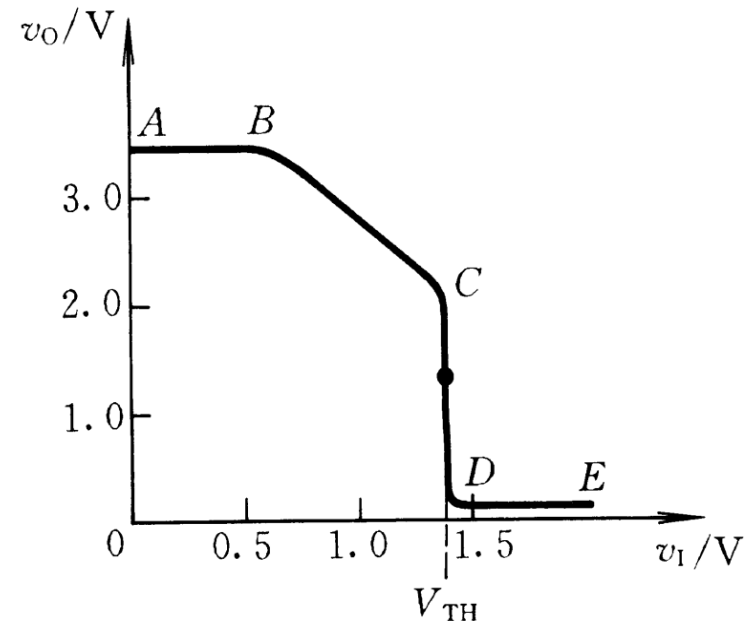
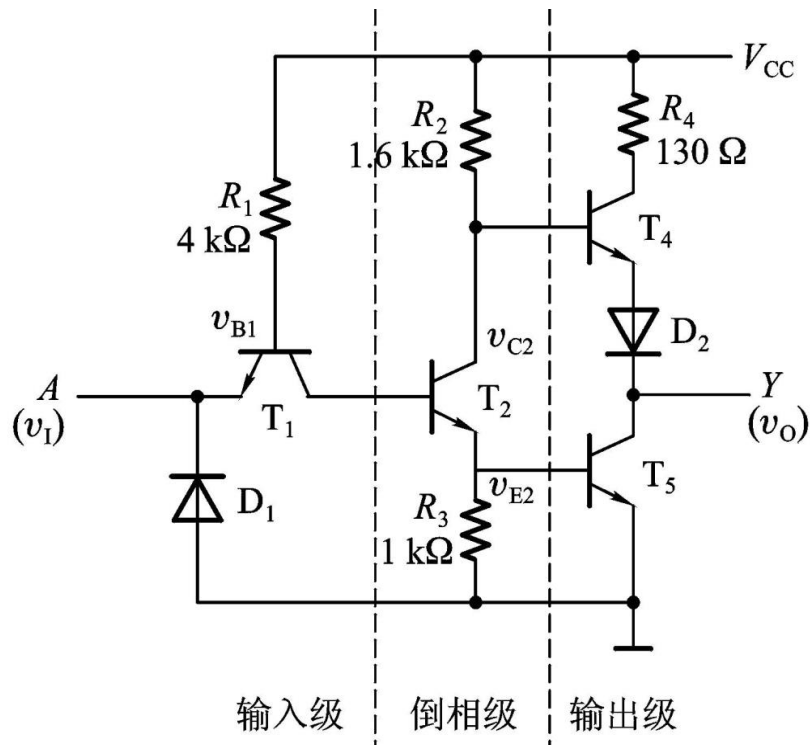
**CD*段：转折区 $V_I = V_{TH} \approx 1.4V$ ，所以 $V_{B1} \geq 2.1V$

T_2, T_5 同时导通，且 T_2 由放大进入饱和，因为 T_2 的集电极电位在下降。

T_2 饱和导致 T_4 的基极电位为 $0.7 + 0.1 = 0.8V$ ，因此 T_4 截止，

T_5 相当于由一个很大的电阻上拉到电源，因此 T_5 也是饱和导通，

所以 V_O 迅速 $\downarrow \Rightarrow V_{OL} \approx 0$



上页

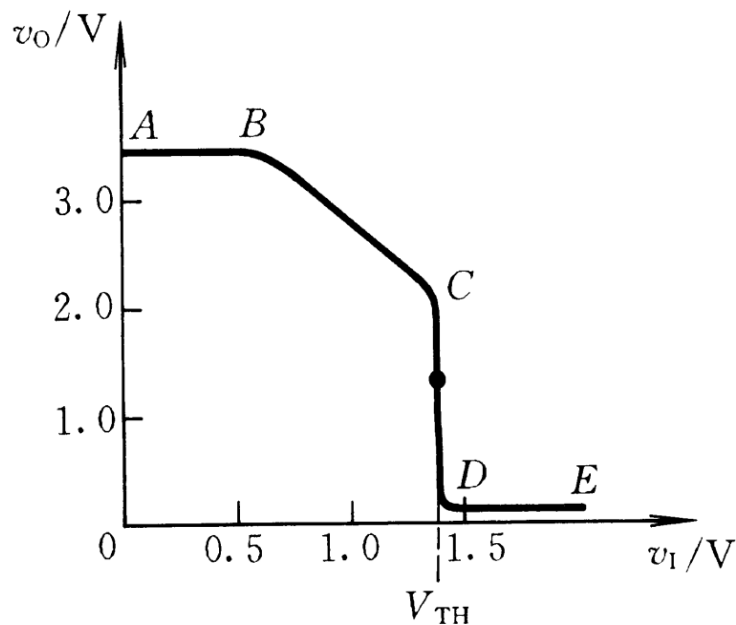
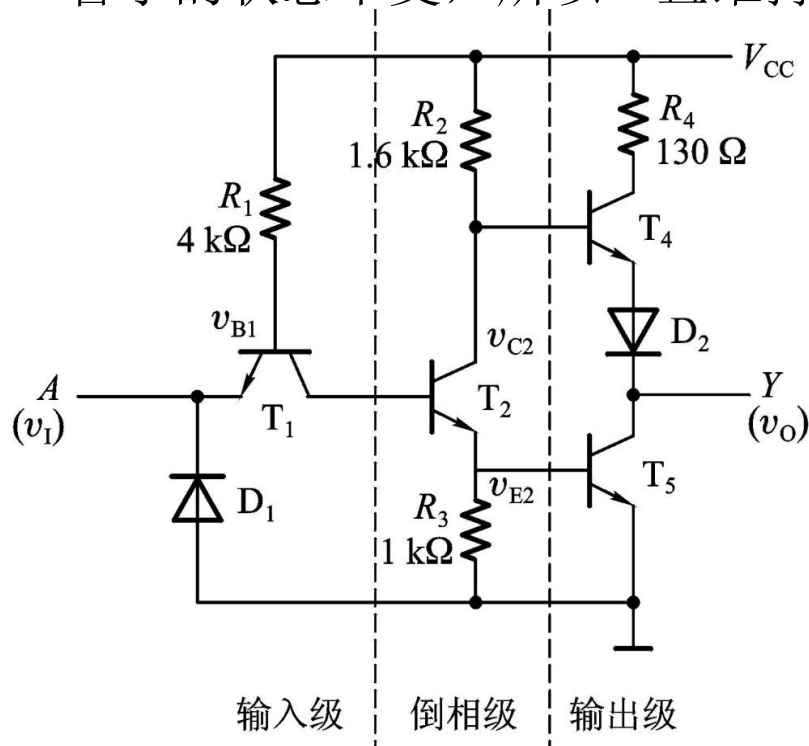
下页

返回

**DE*段: V_I 继续增加, 大于 $1.4V$ 后, 此时由于 T_2 和 T_5 的导通, 使 T_1 的集电极被钳制在 $1.4V$, 于是出现 T_1 的发射极电位高于集电极电位的倒置状态。此时 T_1 的发射结和集电结失去关联, 看作2个独立的 PN 结。

若从 B_1 点看则为2个 PN 结的并联, 且 PN 结的 P 端由 R_1 接电源, 因此2个 PN 结均导通, 导致 V_{B1} 被钳制在 $2.1V$ 。

此后, 若输入电压继续升高, 即便 T_1 的发射结出现反偏, 但其它管子的状态不变, 所以一直维持输出低电平, 即 $V_O = V_{OL}$



TTL与非门的内部结构及工作原理

(1) 输入级

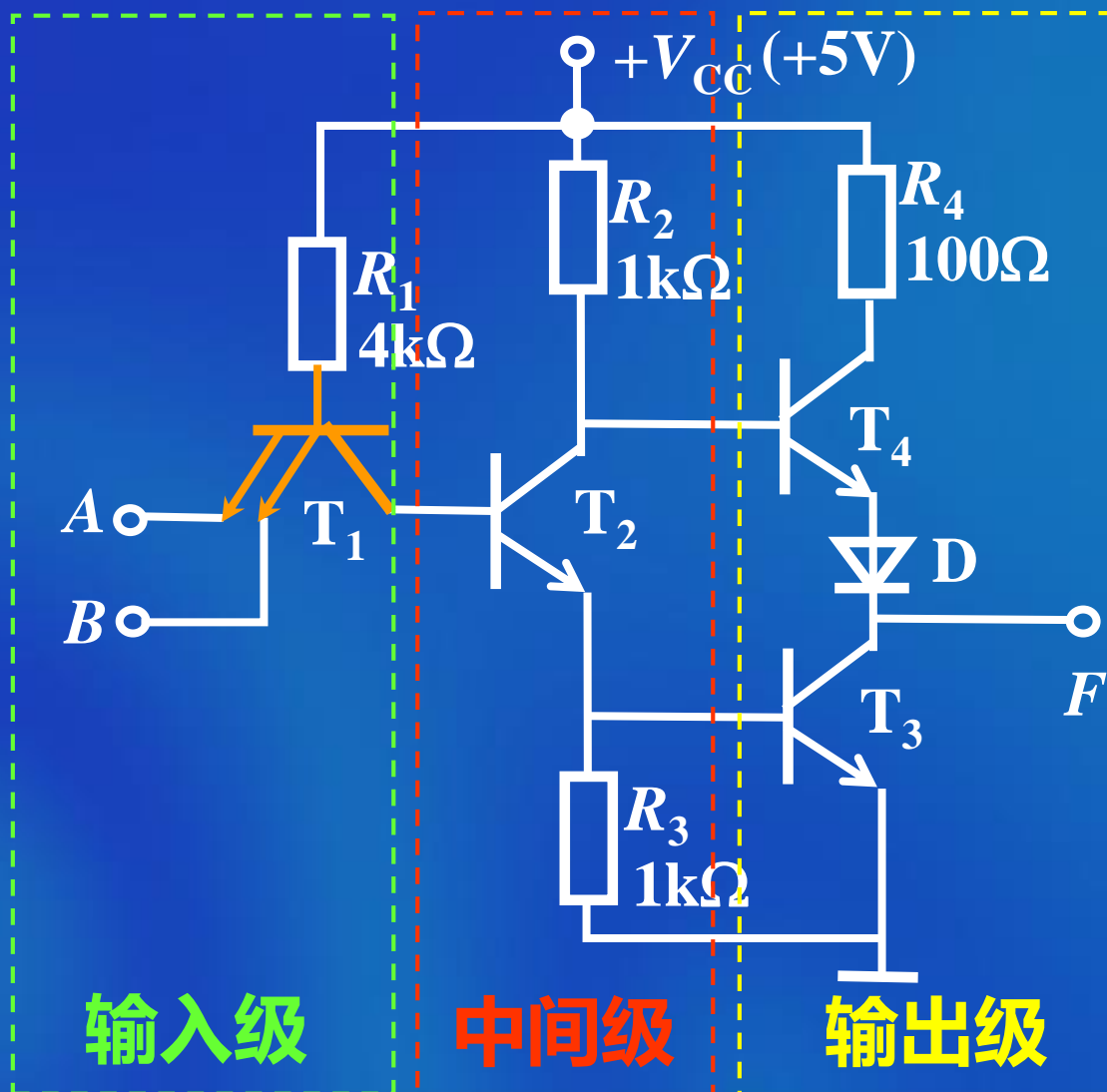
输入级由多发射极晶体管 T_1 和基极电阻 R_1 组成。

(2) 中间级

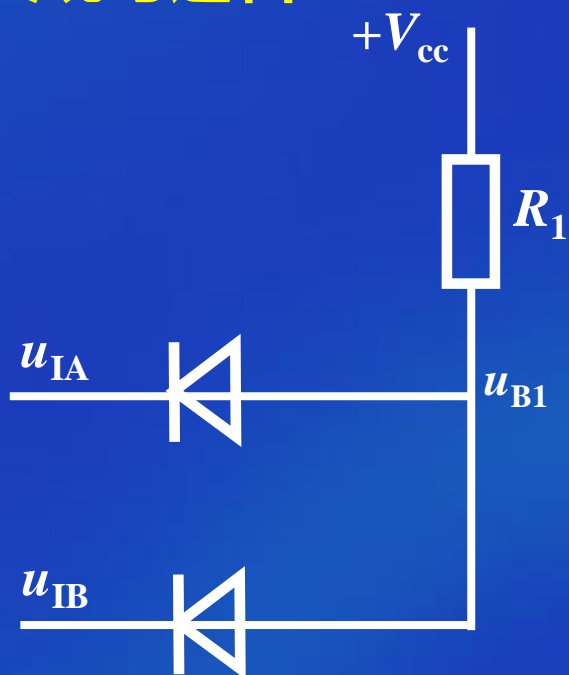
中间级由 T_2 、 R_2 和 R_3 组成，作为输出级的驱动电路。

(3) 输出级

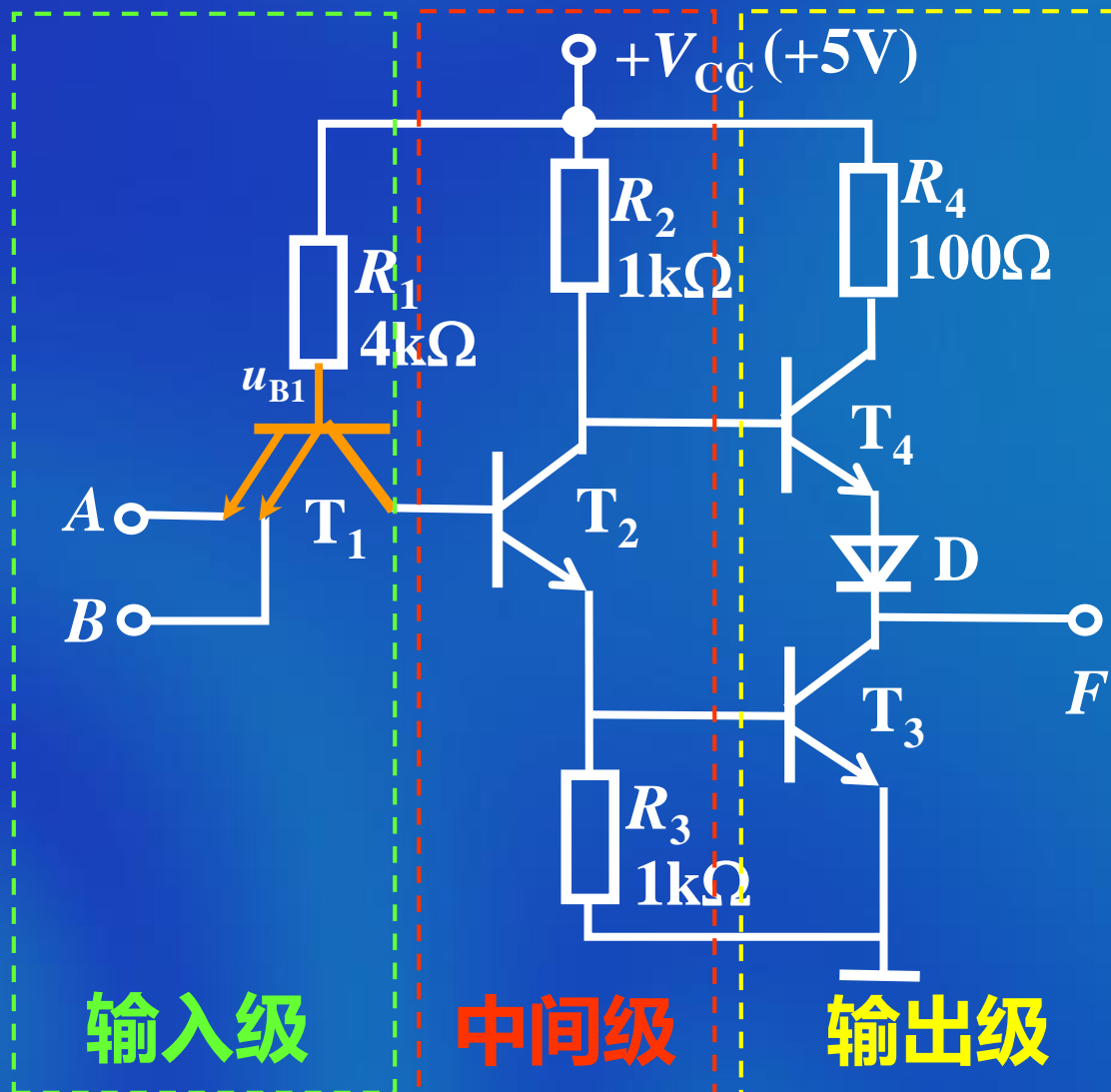
输出级由 T_3 、 T_4 、 D 和 R_4 组成，其中 D 、 T_4 作为由 T_3 组成的反相器的有源负载。



实现与逻辑



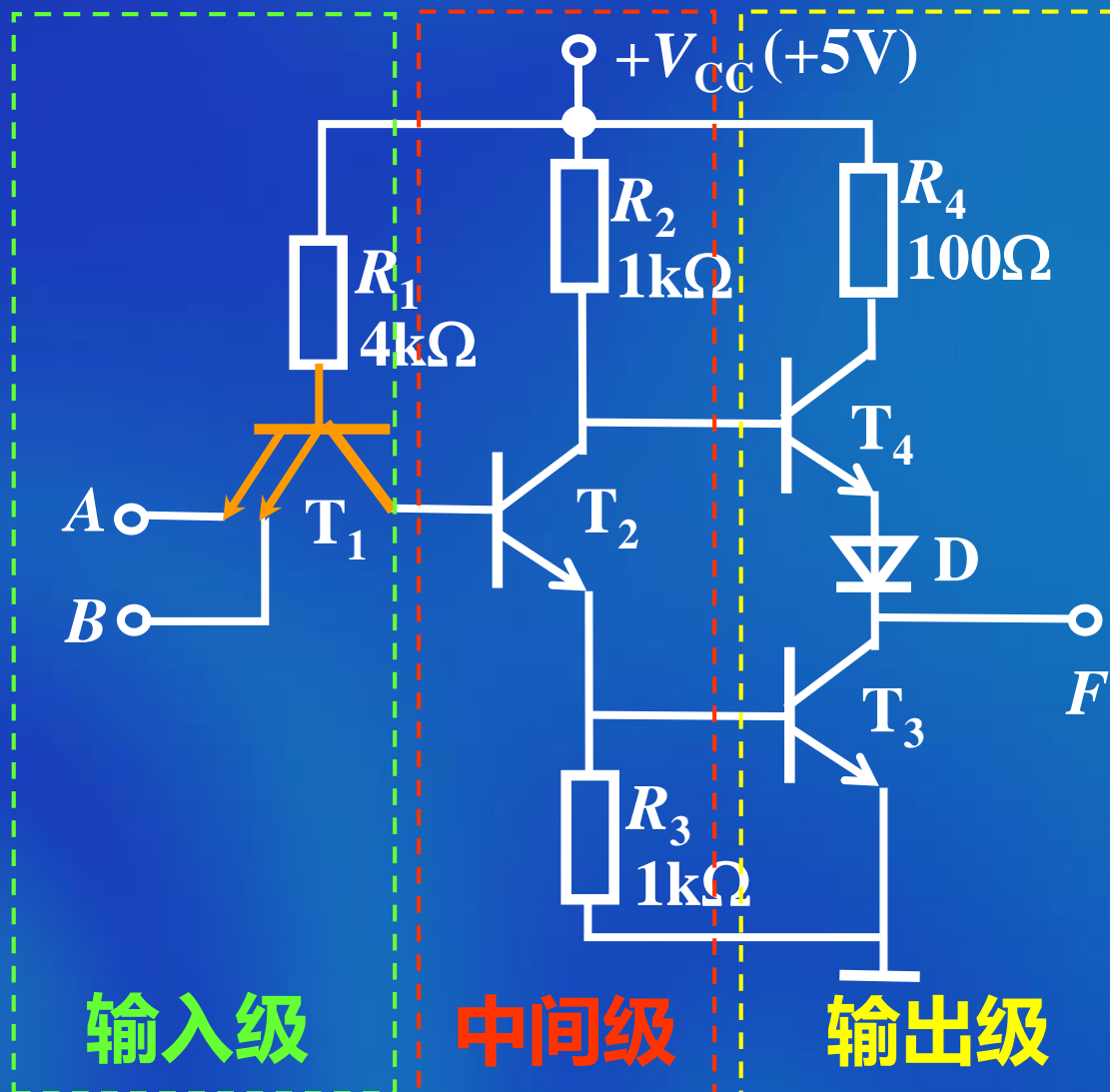
u_{IA}	u_{IB}	u_B
0	0	0
0	1	0
1	0	0
1	1	1



当输入端至少有一端接低时，输出为高 (3.6V)：T1饱和导通（发射结正偏），T2和T3截止，T4和D导通；

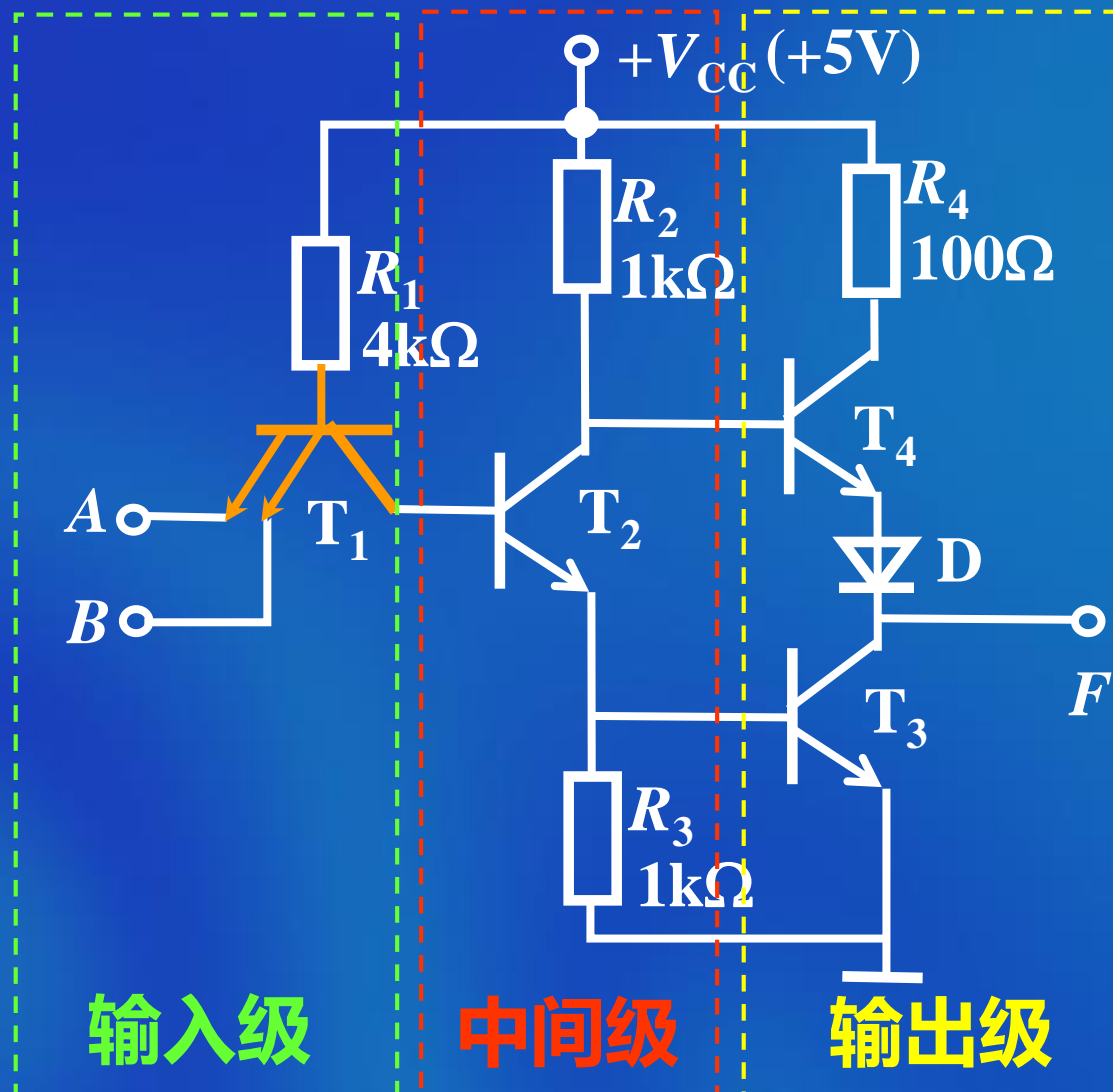
当输入端全部接高（如3.4V）时，输出为低 (0.3V)：T1管倒置（发射结反偏），T2和T3饱和导通，T4截止。

T₃和T₄总是轮流导通，这种结构叫推拉（Push-pull）输出级，它可使输出阻抗很低，静态功耗小、提高其负载能力。



思考：输出级中D的作用？

D保证了在 T_3 饱和导通时 T_4 可靠的截止： T_3 饱和导通时输出为CE间的饱和压降，假设为0.1V。若无D，则 T_4 的发射极即为0.1V，而此时 T_4 的基极为 $0.7+0.1=0.8V$ ，则 T_4 可能会导通。



TTL与非门的外特性及有关参数

1. 电压传输特性

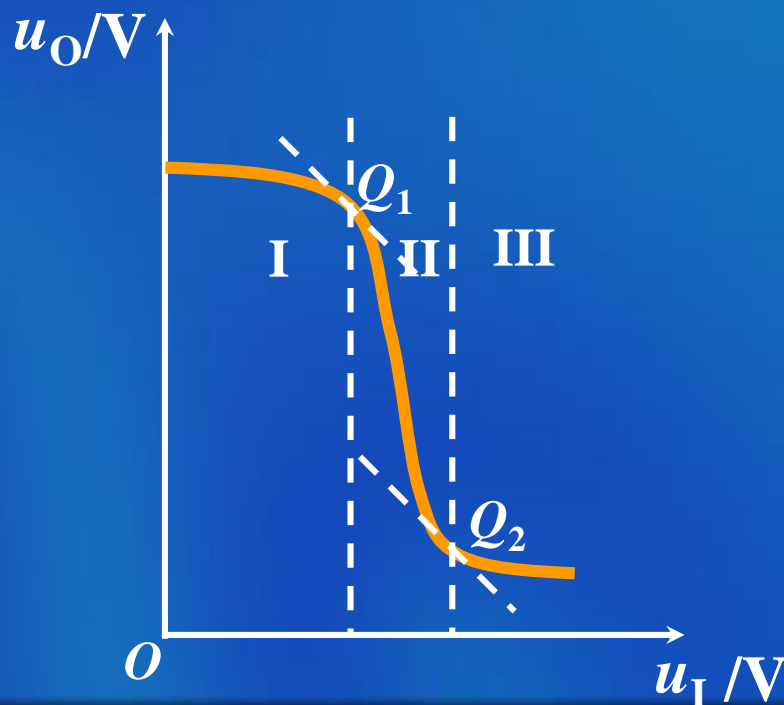
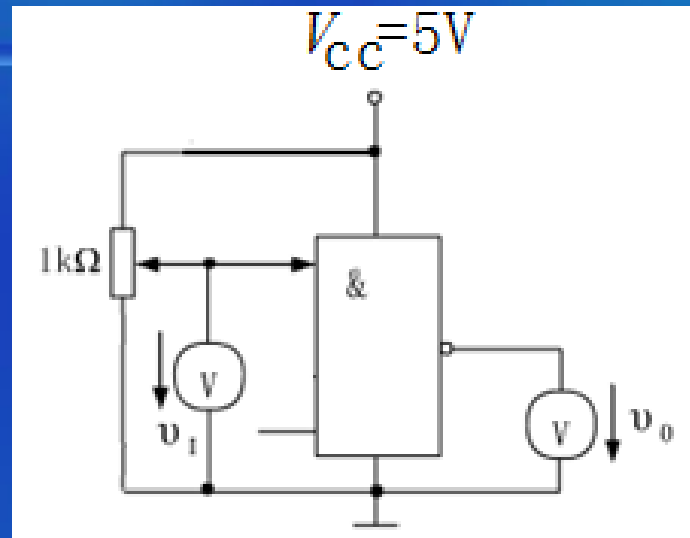
反映输出电压 u_o 随输入电压 u_i 变化的规律。

图中 Q_1 和 Q_2 点处的斜率

$$du_o/du_i = -1$$

是传输特性的转折点。

以 Q_1 、 Q_2 两点为界，可将此图分为三个区域。



区域I:

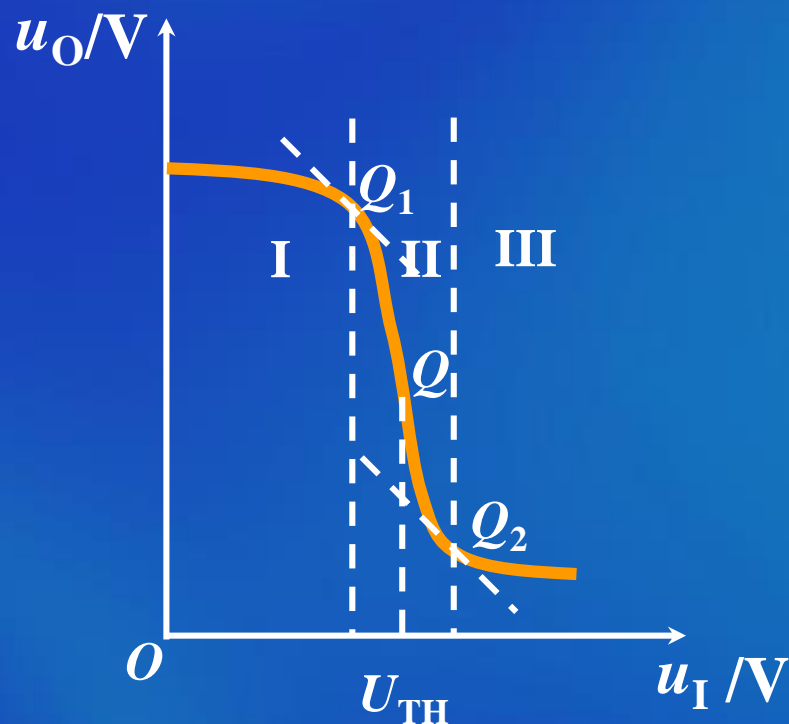
u_O 基本不随 u_I 而变,
输出高电平 U_{OH} 。

区域III:

输出低电平 U_{OL} ;
 U_{OL} 基本上亦与 u_I 无关。

区域II:

u_O 急剧地随 u_I 变化。
区域II称为过渡区。



阈值电压 U_{TH} ：过渡区的中点对应的输入电压。是与非门开、关门状态的分水岭。

典型值：1.4V

几个重要参数:

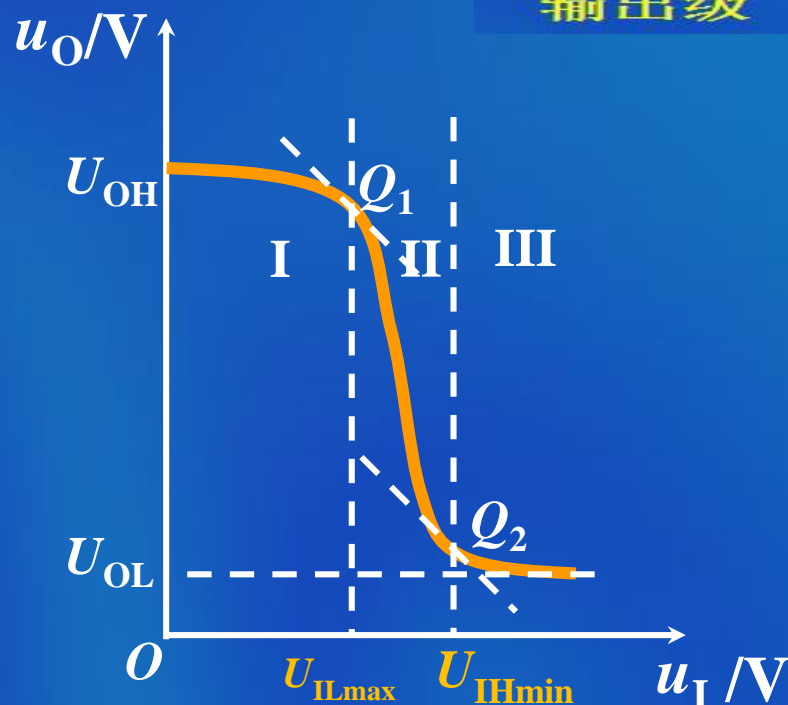
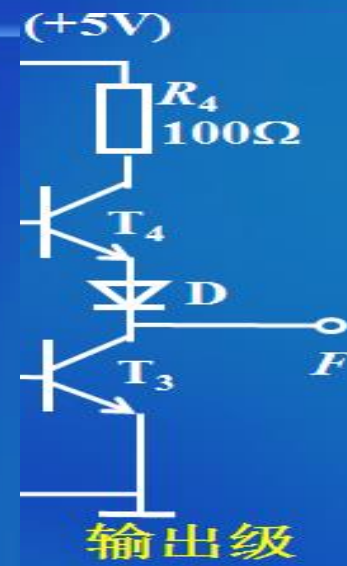
(1) 输入低电平最大值 U_{ILmax} (关门电平 U_{off})

U_{ILmax} 的典型值 0.8V。

注意：在使用时，输入低电平不能大于 U_{ILmax} ，否则将引起逻辑混乱。

(2) 输入高电平最小值 U_{IHmin} (开门电平 U_{on})

U_{IHmin} 的典型值为 2V。



(3) 输出高电平下限值 U_{OHmin}

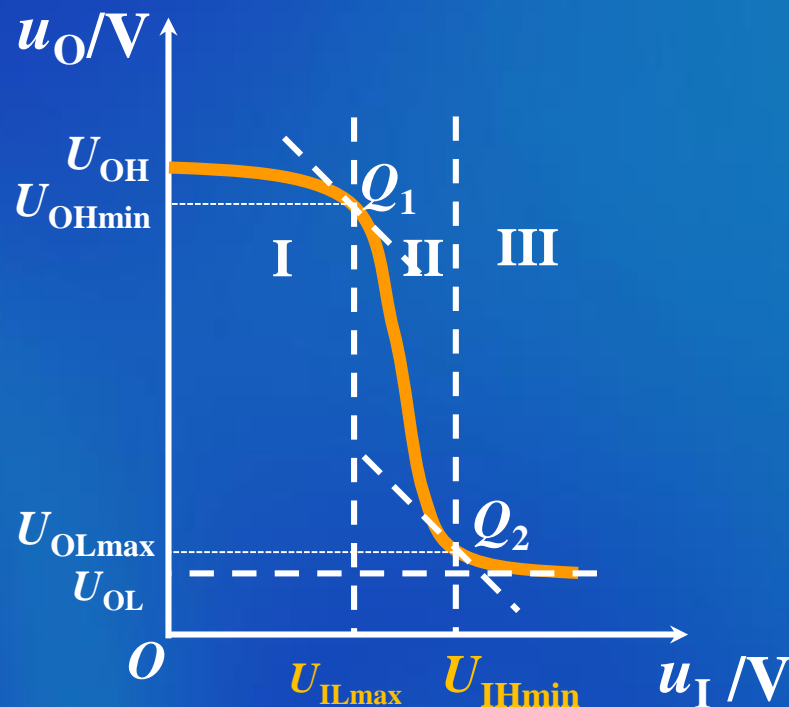
U_{OHmin} 等于 Q_1 点在 u_O 轴上的投影值。

典型的 U_{OHmin} 为 2.4V。

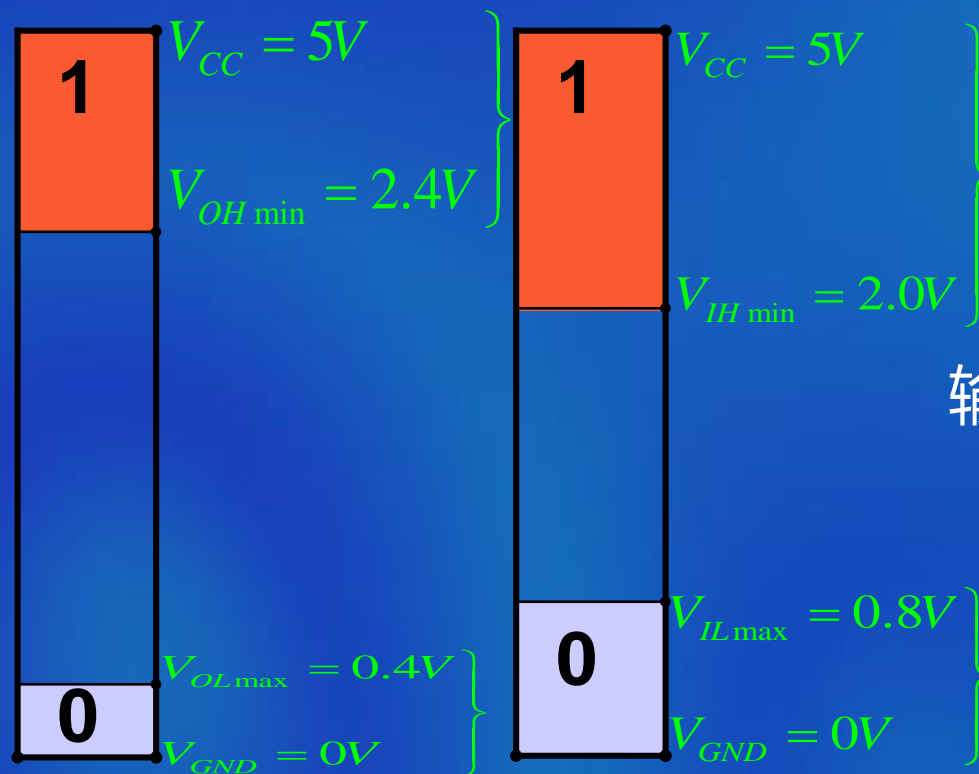
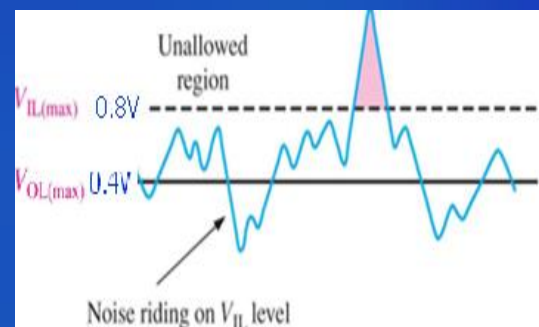
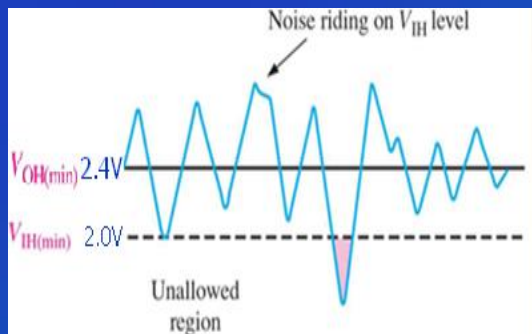
(4) 输出低电平上限值 U_{OLmax}

U_{OLmax} 为 Q_2 点在 u_O 轴上的投影值。

U_{OLmax} 的典型值为 0.4V。



标准TTL逻辑门参数及噪声容限

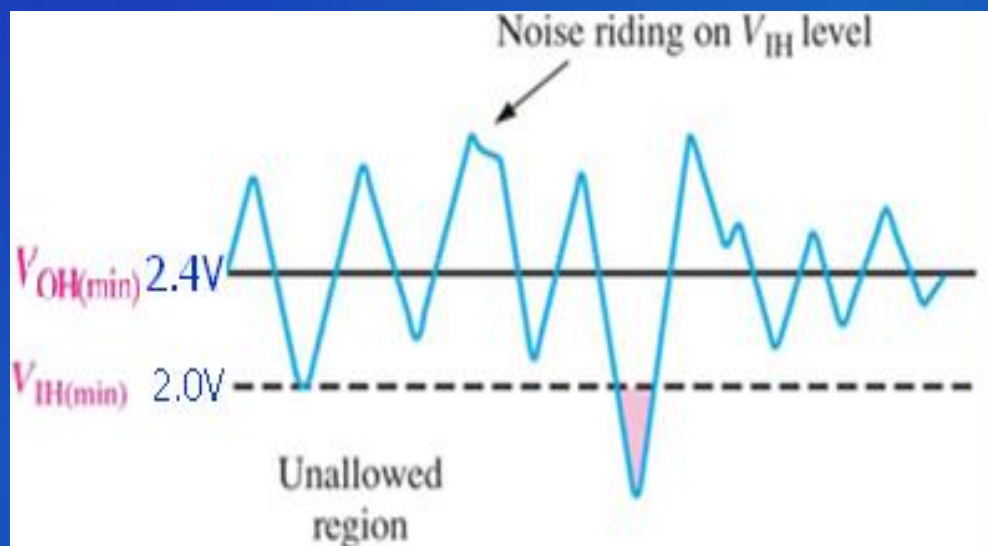


输入端范围

(5) 抗干扰度

抗干扰度也称噪声容限，它反映电路在多大的干扰电压 u_N 下仍能正常工作。

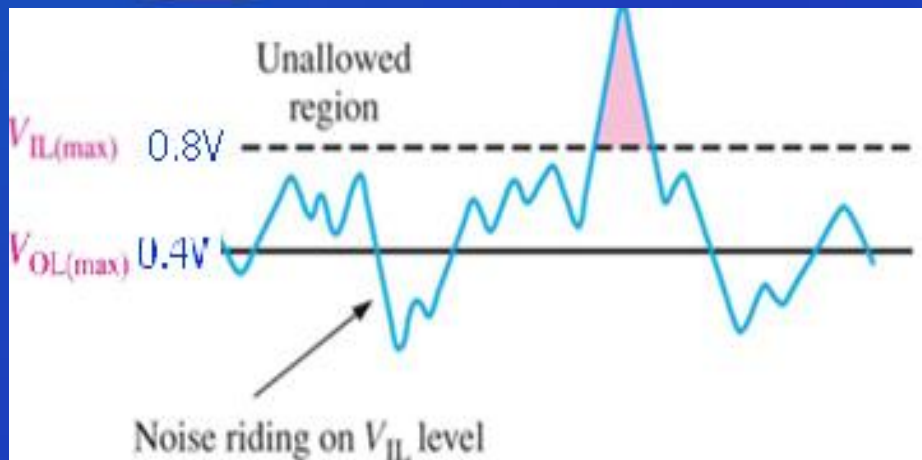
U_N 分为高电平噪声容限 U_{NH} 和低电平噪声容限 U_{NL} 。



$$U_{NH} = U_{OHmin} - U_{IHmin}$$

TTL与非门典型值:

$$U_{NH} = 2.4V - 2V = 0.4V$$



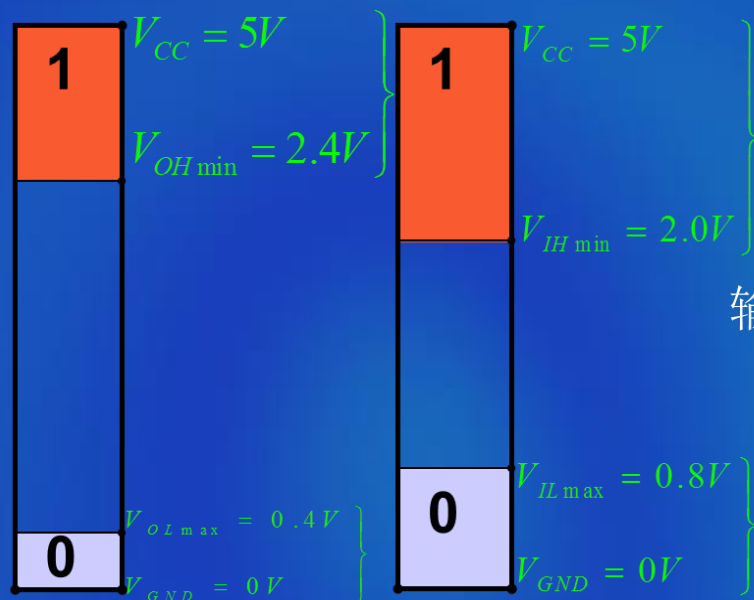
低电平噪声容限 U_{NL}

$$U_{NL} = U_{ILmax} - U_{OLmax}$$

TTL与非门典型值:

$$U_{NL} = 0.8V - 0.4V = 0.4V$$

输出端范围



输入端范围

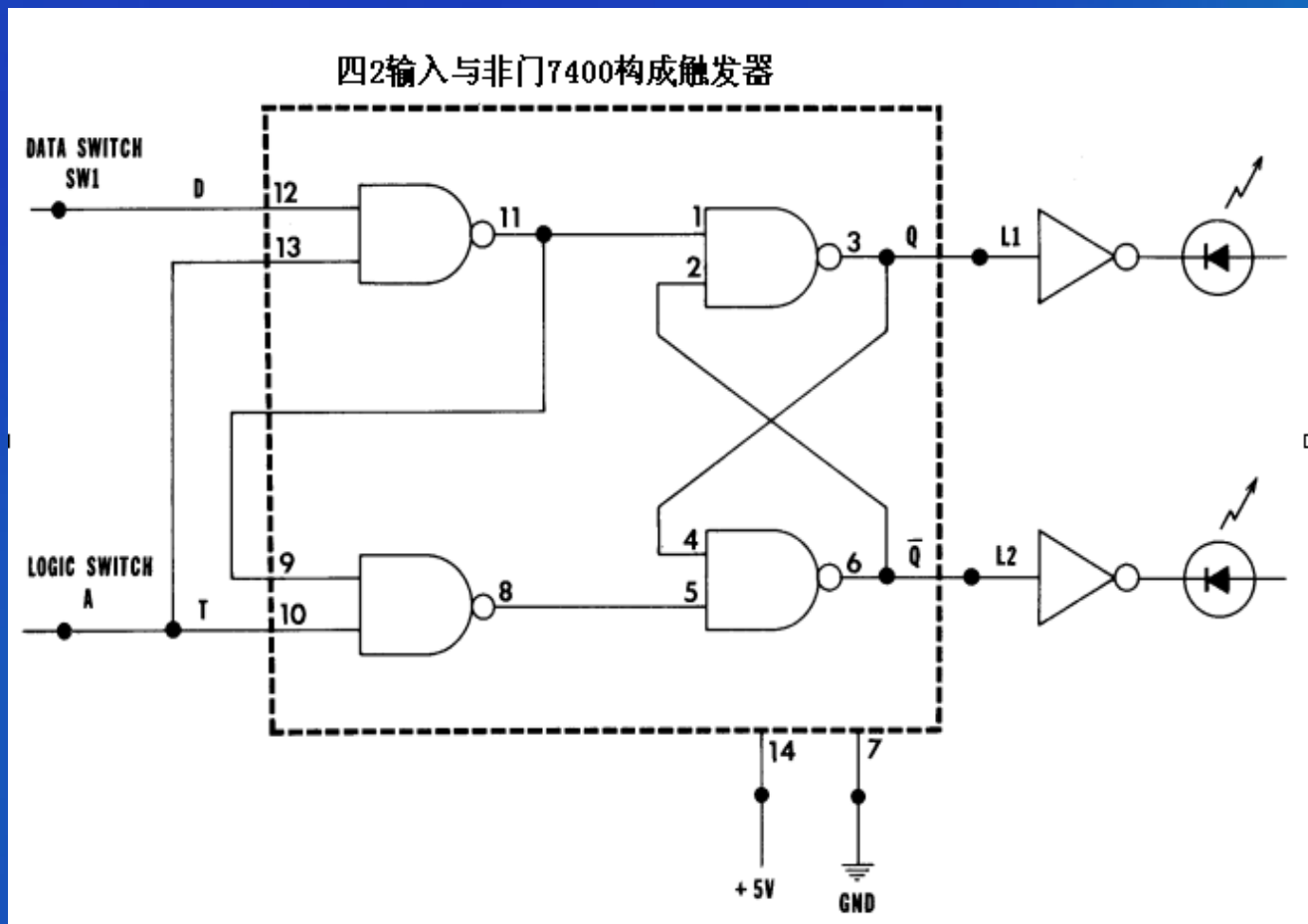
U_{ILmax} 与 U_{IHmin} 越

接近, 则 U_{NH}

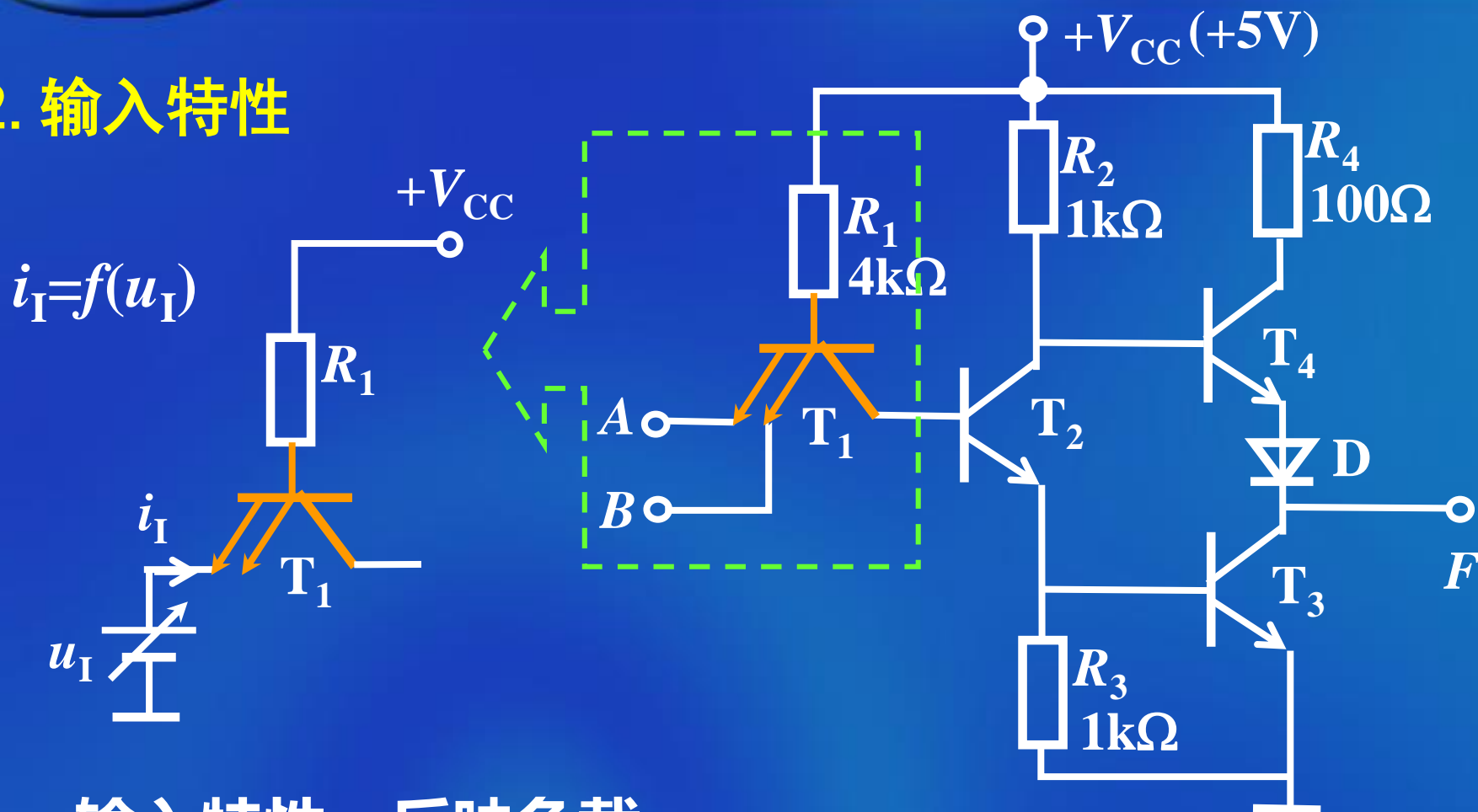
U_{NL} 越大, 抗干扰

能力就越强。

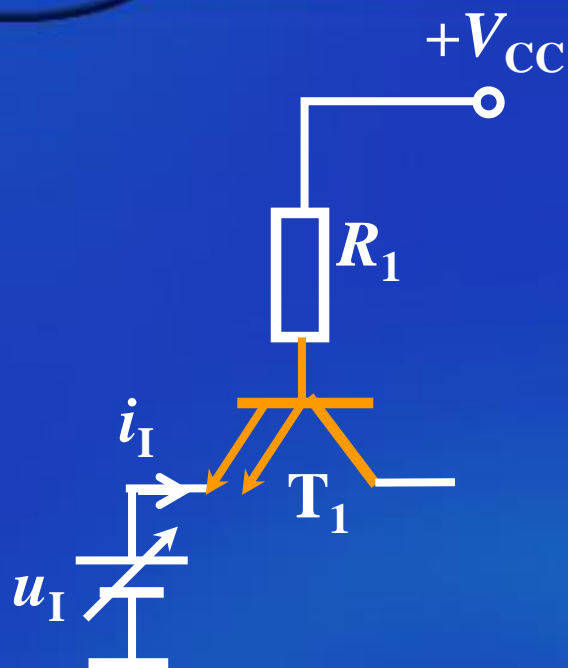
下一级门是前一级门的负载，一个门到底可以驱动几个同类型的门？



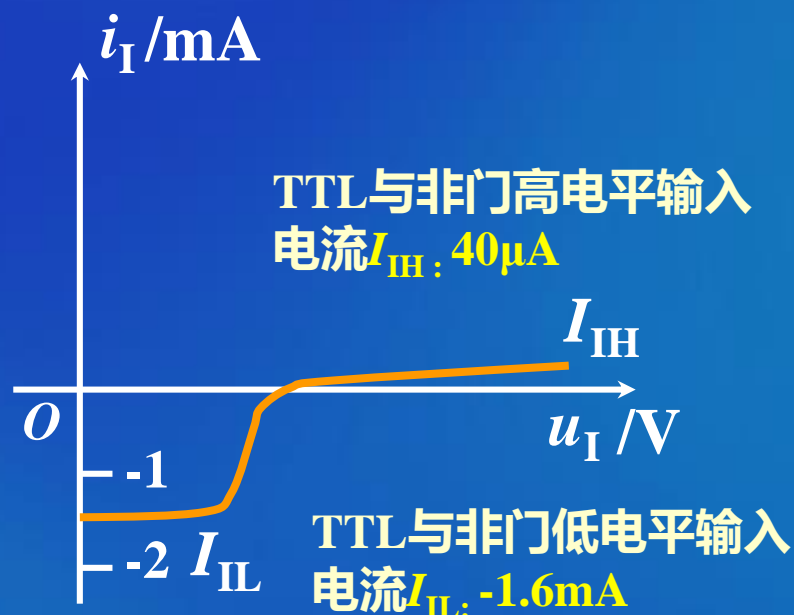
2. 输入特性



输入特性：反映负载门对驱动门的影响



TTL与非门的输入特性



a. u_I 为低电平 (如0V) 时:

发射结正偏, i_I 流入信号源, 此时, 电流称为低电平输入电流 I_{IL} 。

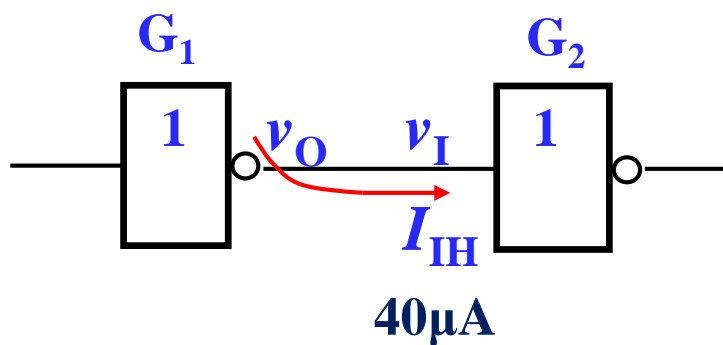
b. 当 u_I 为高电平 (如3.4V) 时:

发射结反偏, 截止。 i_I 流入TTL门, i_I 即是 T_1 的漏电流。

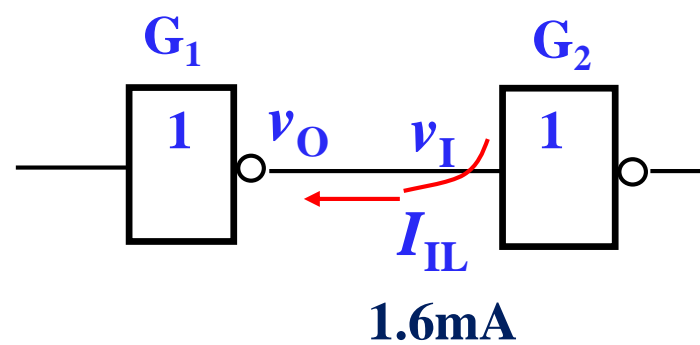
此时, 电流称为高电平输入电流 I_{IH} 。 I_{IH} 通常约几十微安。

总结

- 当TTL门电路输入高电平时，输入电流流入门电路。漏电流。几十微安。
- 当TTL门电路输入低电平时，输入电流流出门电路。1.6mA。



G_1 输出高电平

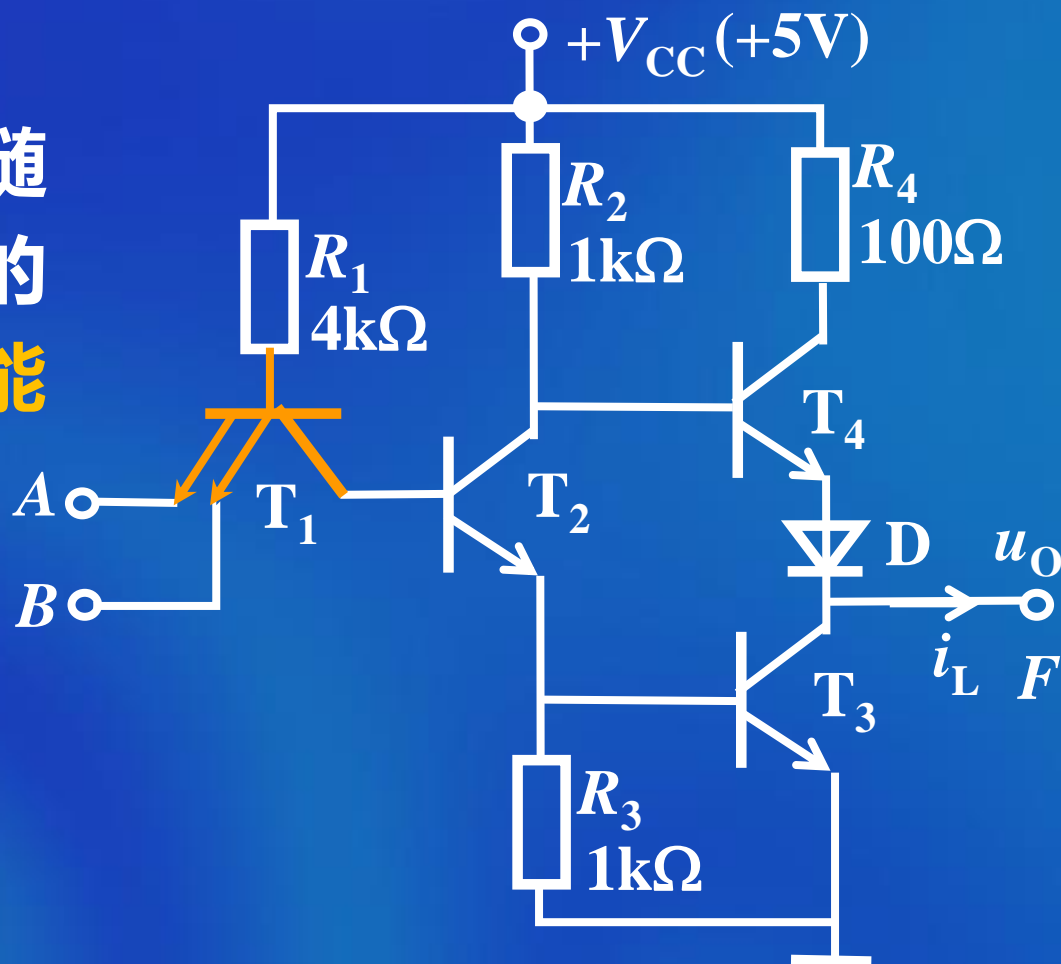


G_1 输出低电平

3. 输出特性:

反映输出电压 u_O 随输出负载电流 i_L 变化的关系。分析门的驱动能力。

与非门输出有高、低电平两种状态，下面分两种情况分析输出特性。



(1) 输出高电平时

T_3 截止, T_4 和D导通,

i_L 为拉电流。

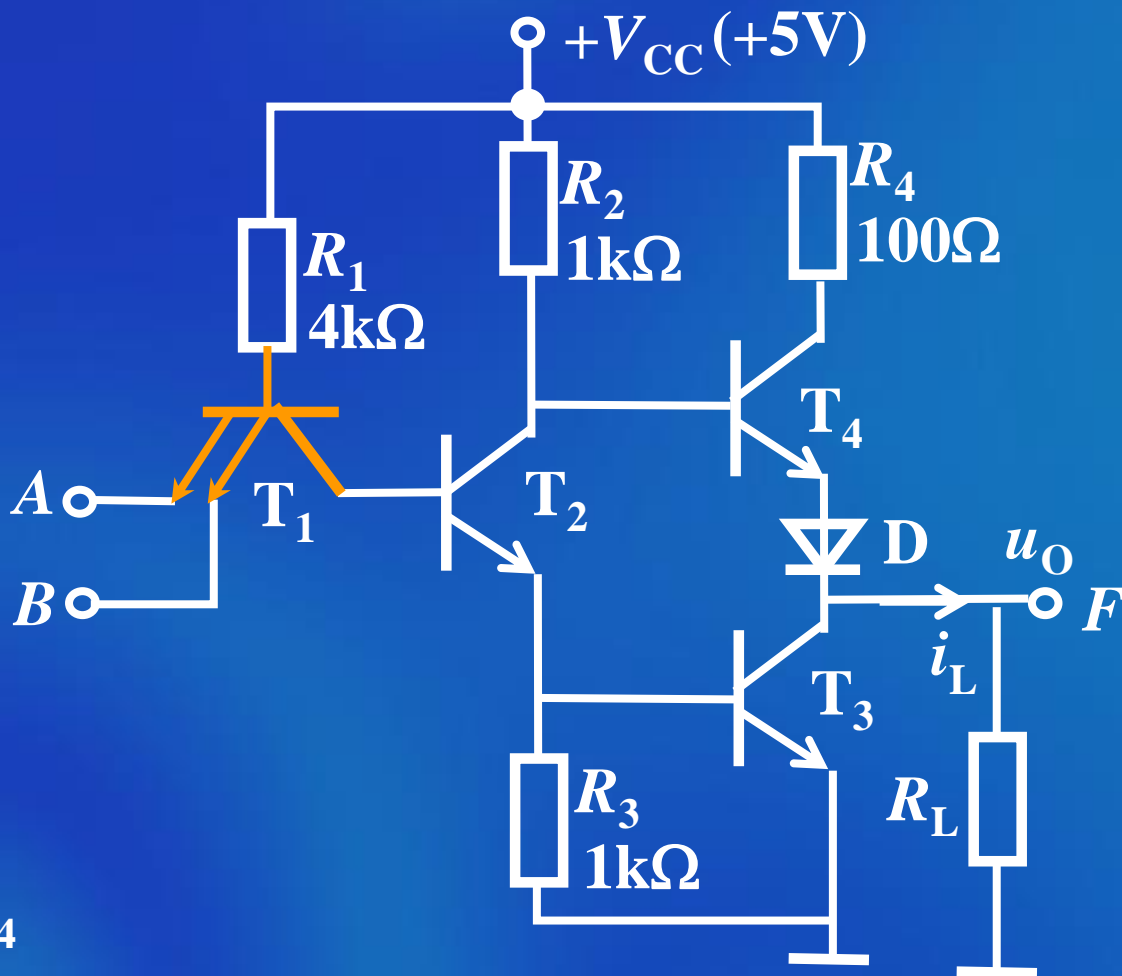
a. 若空载时 ($i_L=0$)

$$u_{OH} \approx V_{CC}$$

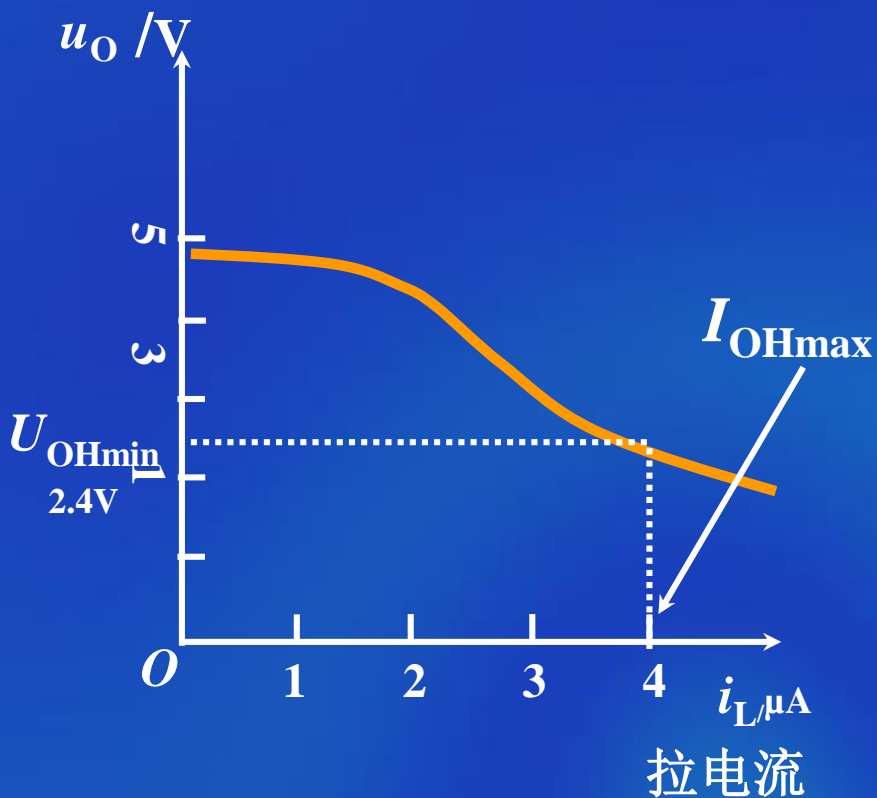
b. 随着 i_L 增大

$$\begin{aligned} u_O &= V_{CC} - U_{CES4} - u_D - i_{R4} R_4 \\ &= V_{CC} - (U_{CES4} + u_D) - i_L R_4 \end{aligned}$$

u_O 随着 i_L 增加而下降。



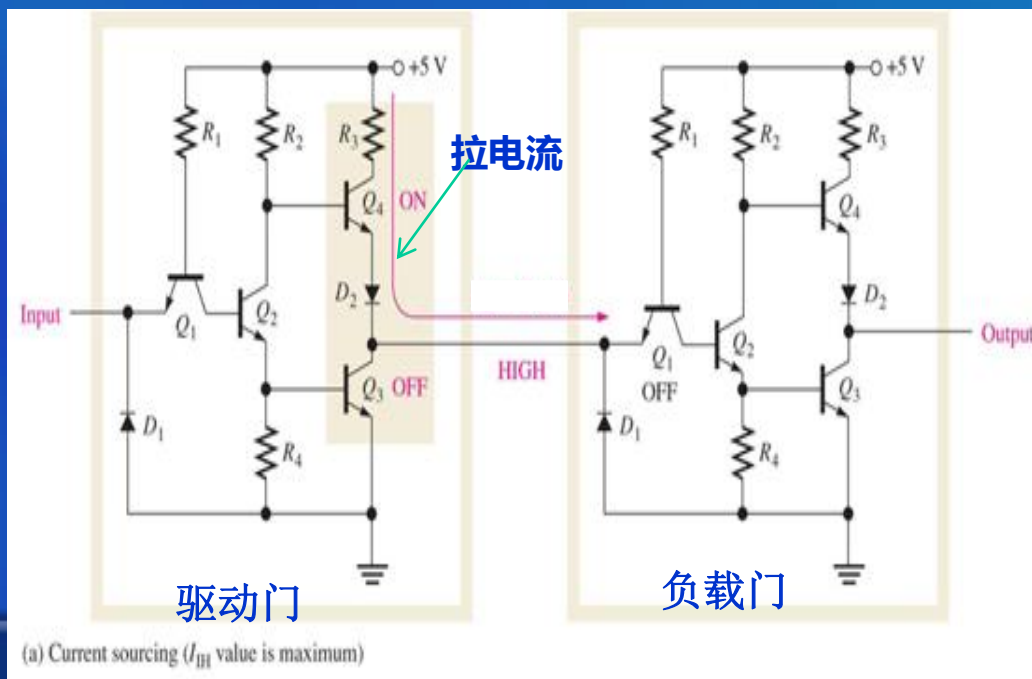
高电平输出特性



由特性曲线，得到集成门所允许的最大输出电流 I_{OHmax} 。

标准TTL逻辑门

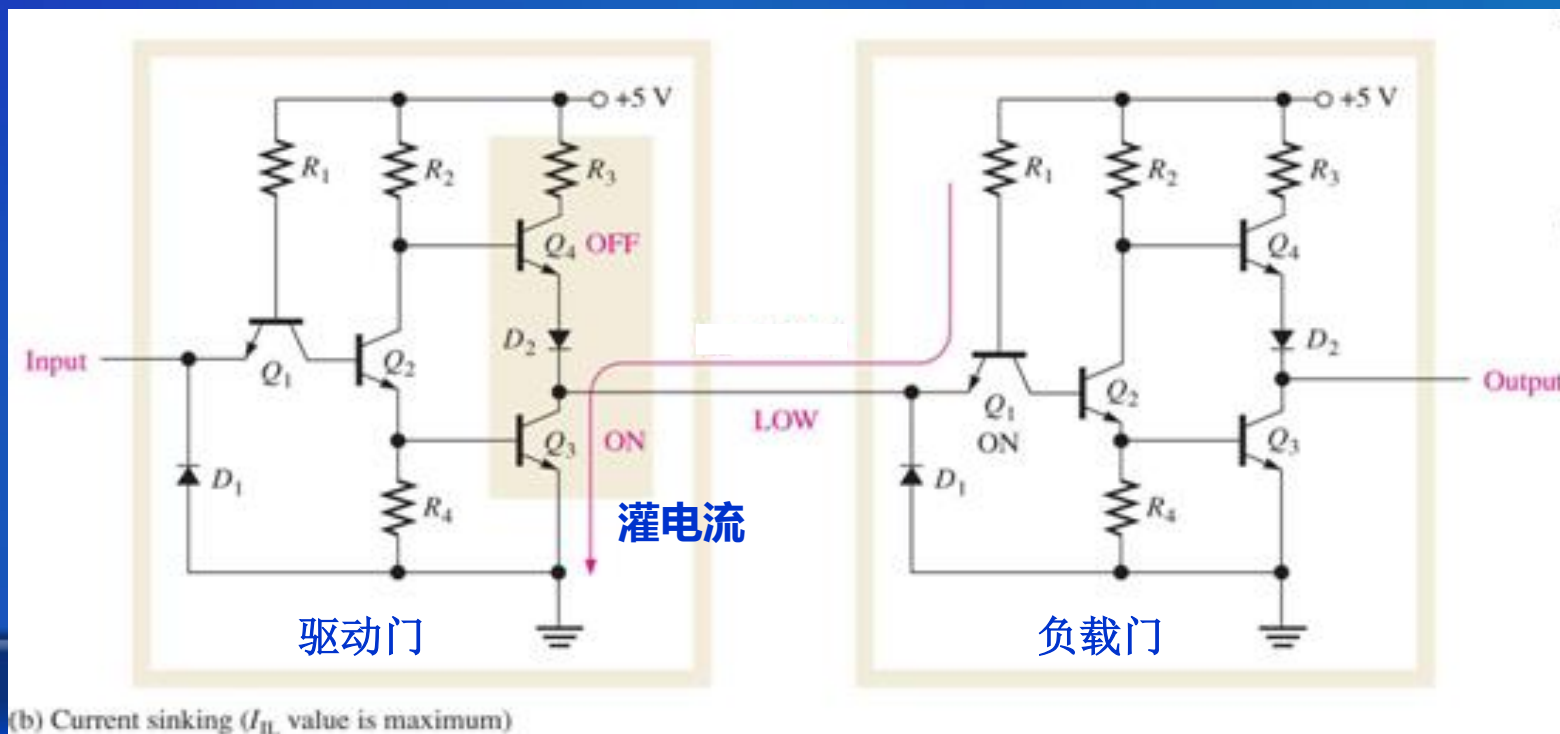
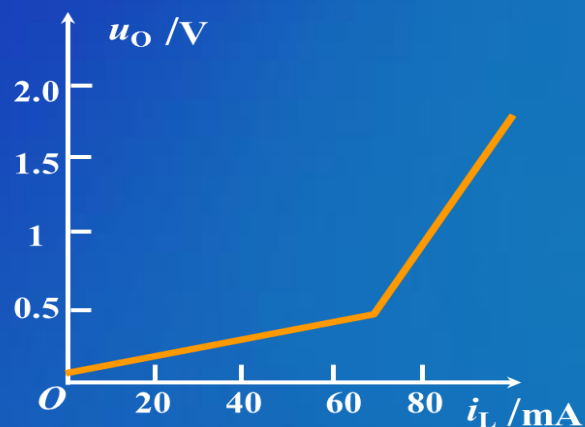
$I_{OHmax} \leq 400\mu A$ 最大可提供的拉电流



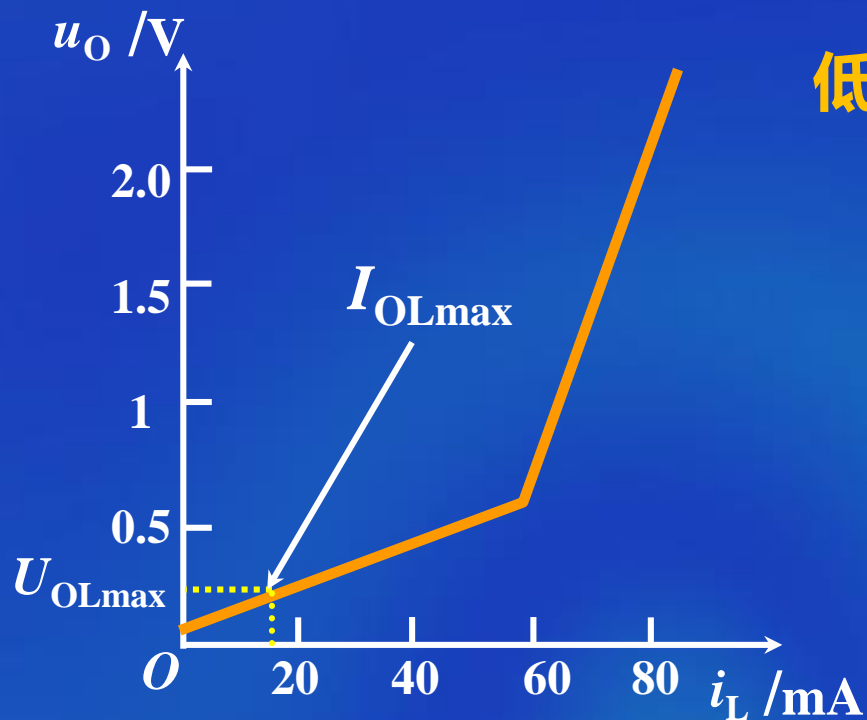
(2) 输出低电平时

T_3 饱和, 输出电流 i_L 从负载流进 T_3 , **形成灌电流。**

- 当灌电流增加时, T_3 饱和程度减轻, u_O 随 i_L 增加略有增加。
- 当 i_L 足够大时($\approx 70\text{mA}$), T_3 将退出饱和进入放大状态, u_O 随 i_L 的增加而很快上升。



低电平输出特性

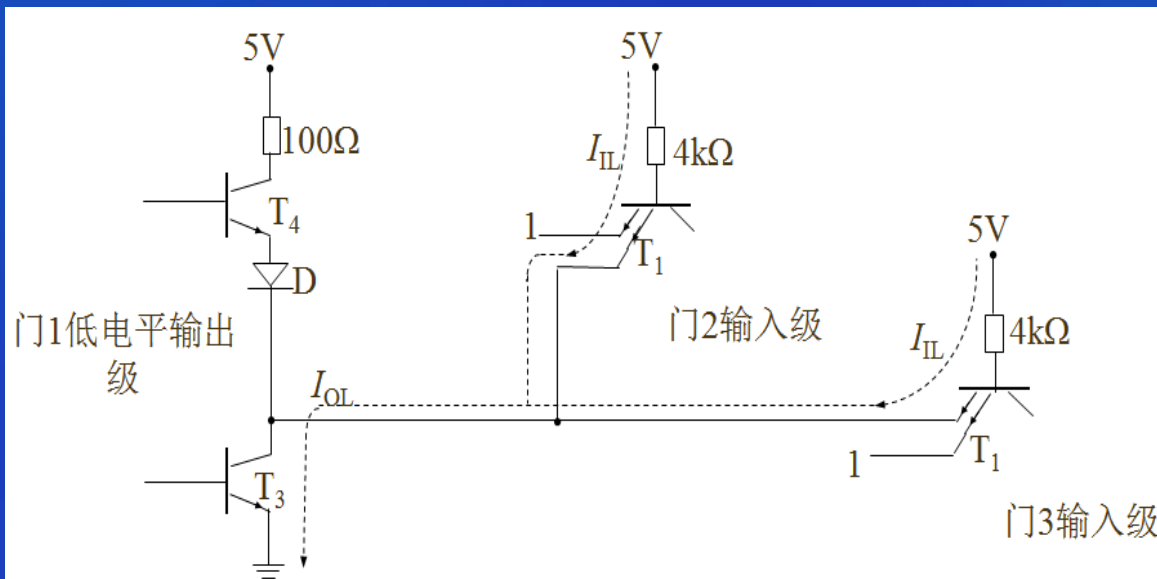


由低电平输出特性曲线可得：
低电平输出时最大输出端电流 I_{OLmax}

标准TTL逻辑门

$I_{OLmax} \leq 16\text{mA}$ 最大允许的灌电流

可见，输出电路的灌电流和拉电流能力都有一定的限制，否则逻辑电平将遭破坏。



$$NI_{IL} < I_{OLmax}$$

决定了一个驱动门可以带多少个负载门。

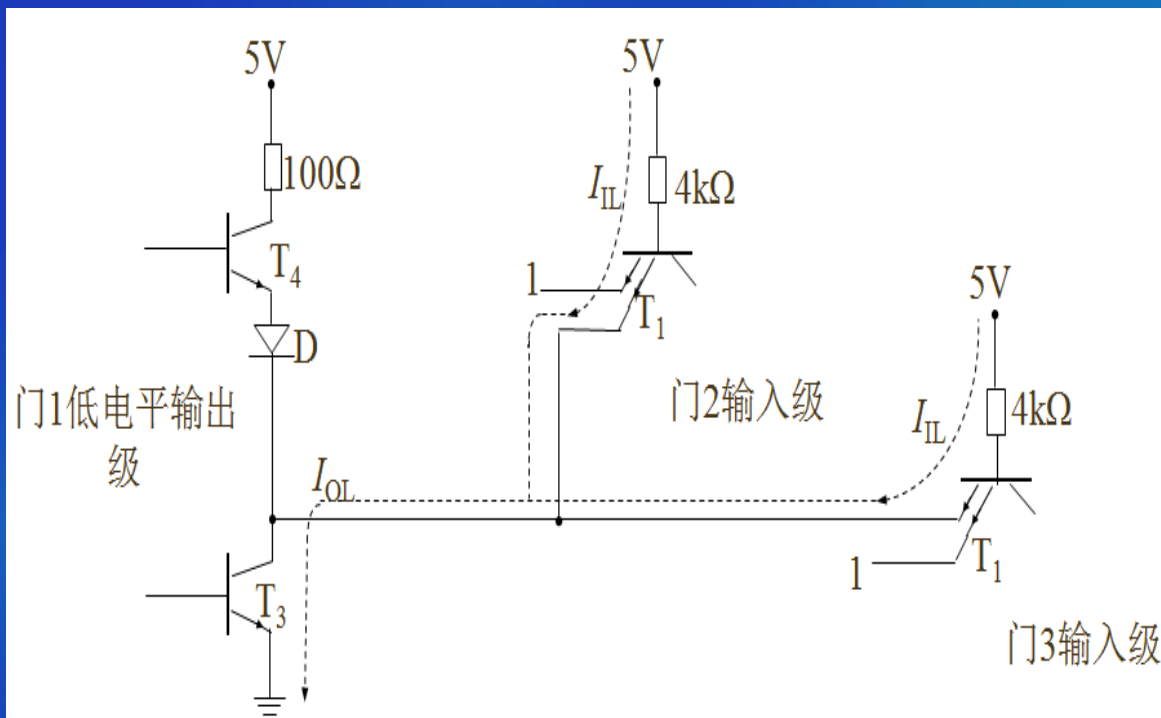
(3) TTL门带负载能力

- 由输出特性和输入特性共同决定.
- 用其所能驱动同类门的数目（**扇出系数N**）来表示。

a. 当输出低电平时

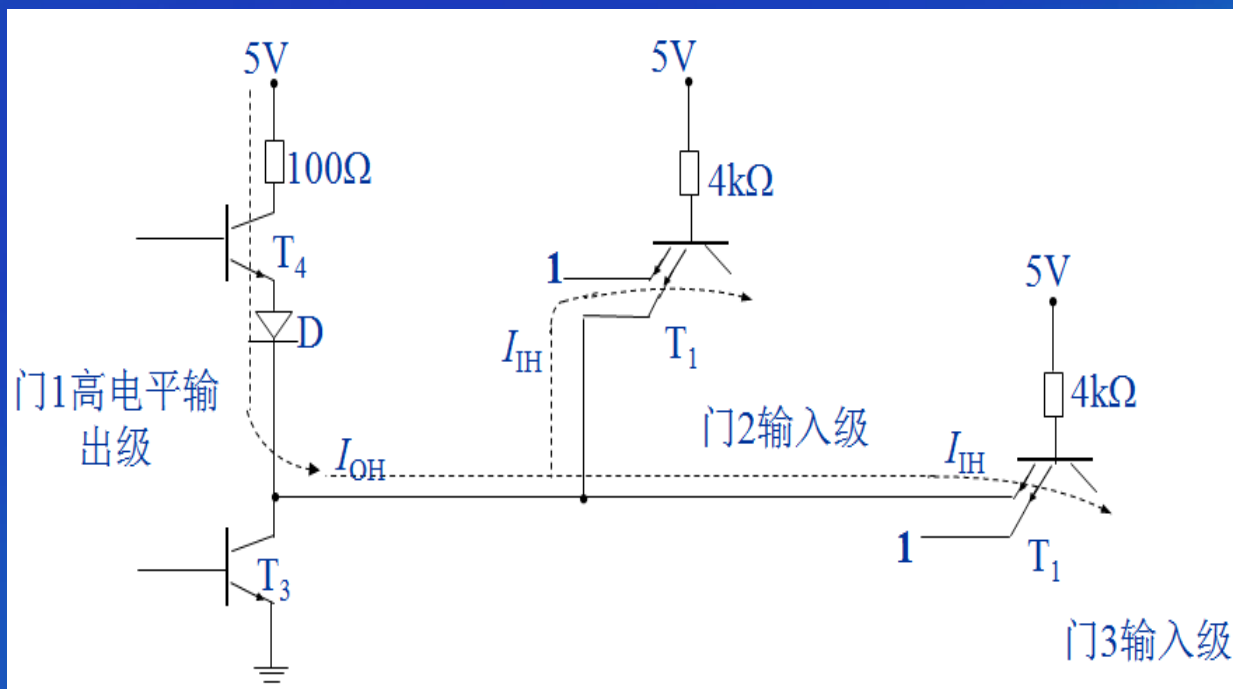
$$N_L = \left[\frac{I_{OL\max}}{I_{IL}} \right]$$

I_{IL} 为低电平输入负载电流



- (a) I_{IL} 越小，对驱动门的负担越轻；
- (b) $I_{OL\max}$ 愈大，则带负载能力愈强；
- (c) 两者之比越大，扇出系数 N_L 越大。

b. 当输出高电平时



$$N_H = \left\lfloor \frac{I_{OHmax}}{I_{IH}} \right\rfloor$$

一个负载门只接一个端子时

c. TTL与非门总扇出系数

$$N = \min\{N_L, N_H\}$$

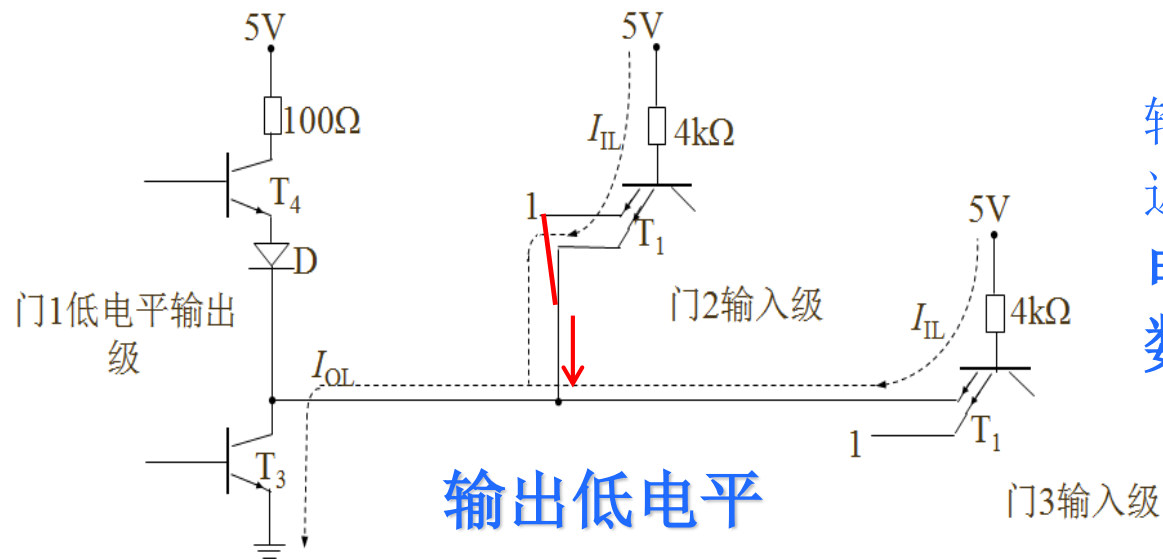
一般由于 $N_L < N_H$ ，因此通常所说的扇出系数 N 即指 N_L 。

标准TTL系列典型值为10。

P₇₈

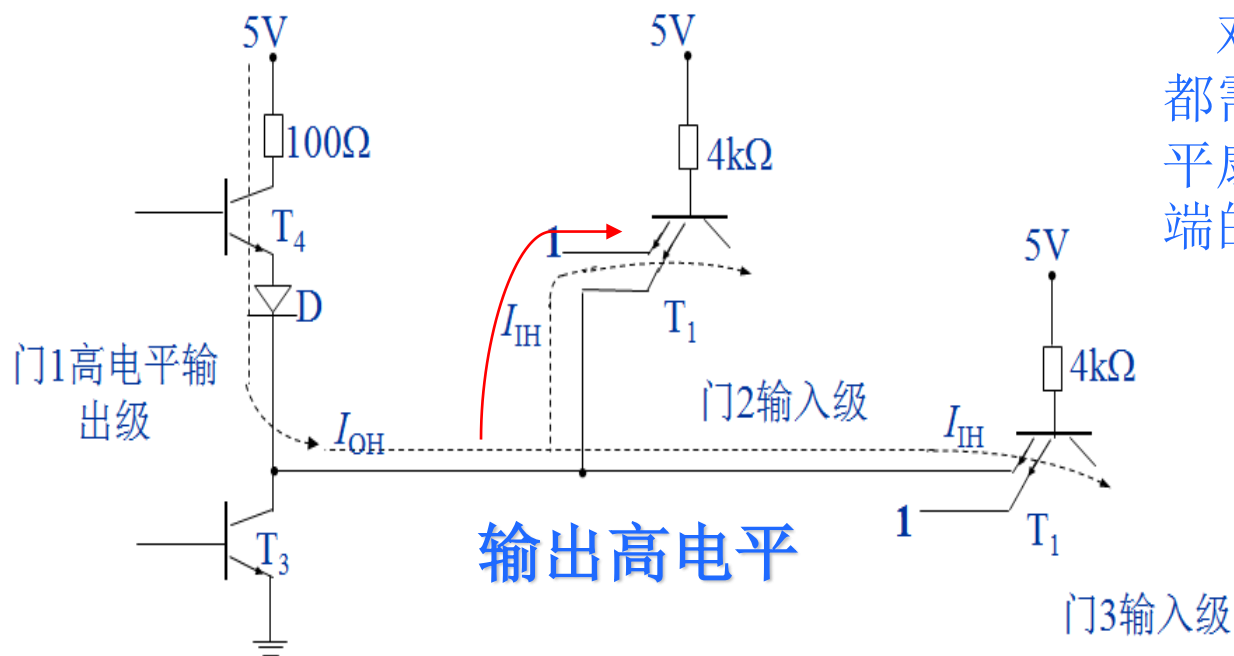
$$N_H = \left[\frac{I_{OH \max}}{I_{IH \max}} \right] = \frac{400 \mu A}{40 \mu A} = 10$$

$$N_L = \left[\frac{I_{OL \max}}{I_{IL \max}} \right] = \frac{16 mA}{1.6 mA} = 10$$



无论几个输入端接到驱动门输出，负载门所需的电流量都近似为 $(V_{cc}-0.7)/R$ ，所以，**低电平扇出数只与负载门数，而非端子数量有关。**

$$N_L = \left\lfloor \frac{I_{OL \max}}{I_{IL}} \right\rfloor$$



对负载门，每个接的端子都需要一个 I_{IH} ，所以，**高电平扇出数与负载门接的输入端的数量有关。**

$$N_H = \left\lfloor \frac{I_{OH \max}}{nI_{IH}} \right\rfloor$$

n 为一个门所接的端子数。

下页

返回

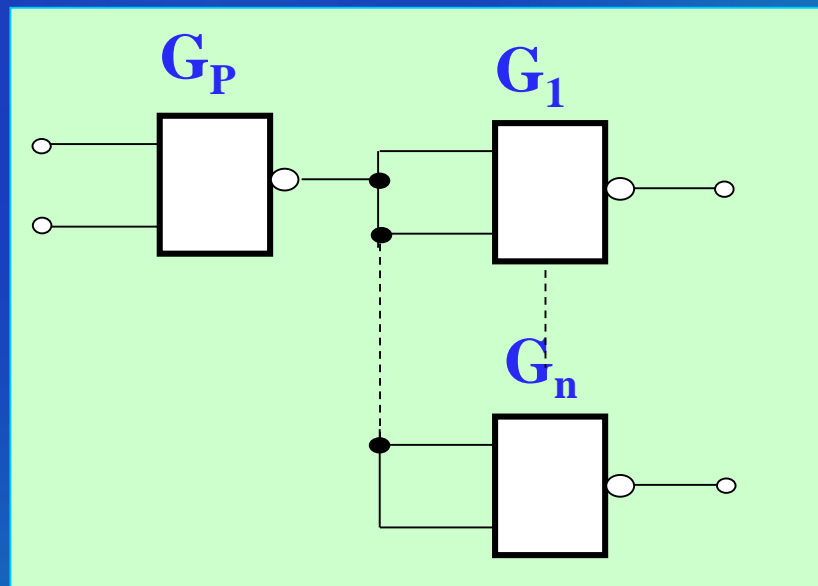
例：已知门电路的参数

$$I_{OH\max}=1.0\text{mA}$$

$$I_{OL\max}=20\text{mA}$$

$$I_{IH}=50\mu\text{A}$$

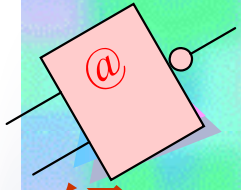
$$I_{IL}=1.43\text{mA}$$



试求 门 G_P 的扇出系数 N_0 应为多少？

解：

对门 G_P 输出高电平和低电平时的情况分别讨论，然后取两个数中一个较小的作为门的扇出系数。



解: ● 当门 G_P 输出为低电平时,

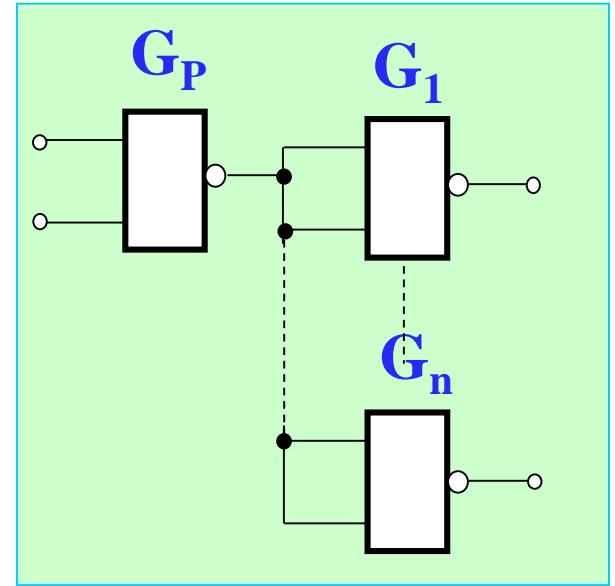
$$N_{OL} = \frac{I_{OL} \max}{I_{IL}} = \frac{20}{1.43} = 14$$

● 当门 G_P 输出为高电平时,

$$N_{OH} = \frac{I_{OH} \max}{2 \times I_{IH}} = \frac{1.0}{2 \times 0.05} = 10$$

N应选取 $\{ N_{OL}, N_{OH} \}_{\min}$, 即

$$N=10$$

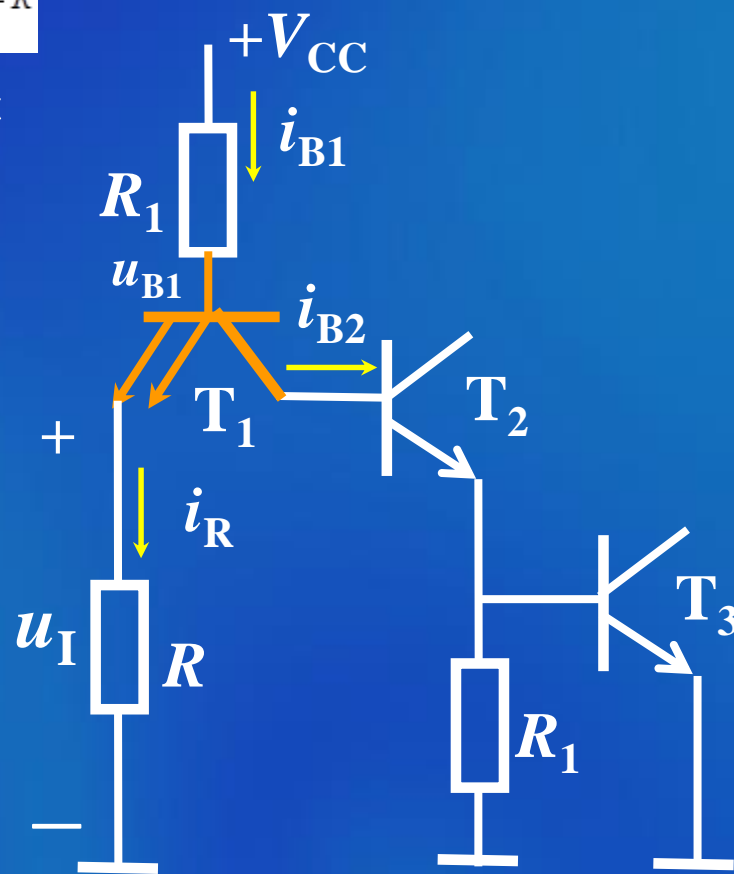
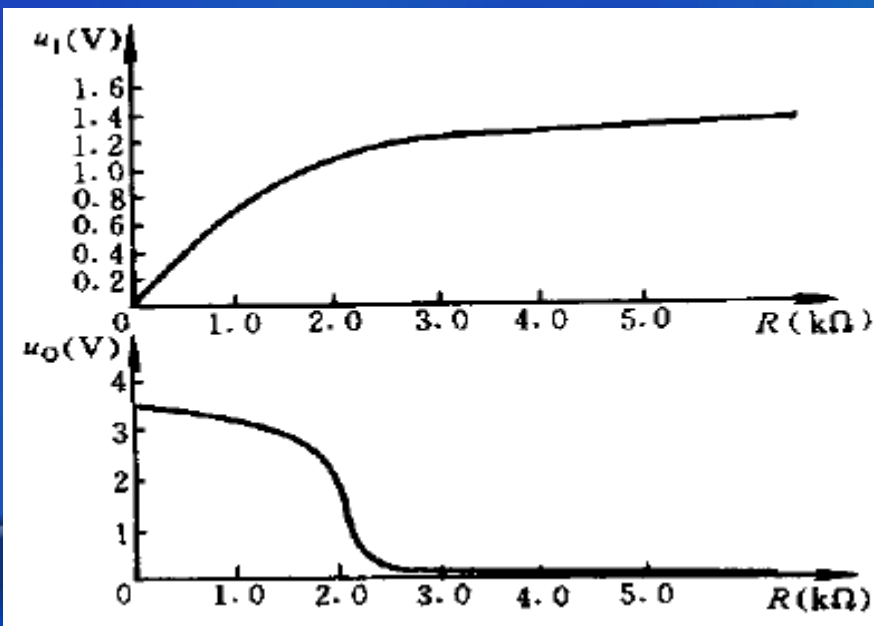


TTL与非门输入端负载特性

自零开始逐渐增加 R ，则 $u_I (= i_R R = \frac{V_{CC} - 0.7}{R + R_1} R$

) 和 u_{B1} 随之增加， T_2 、 T_3 一直处于截止状态（关门状态），输出高电平；

当 $u_I \approx 1.4V$ 时， T_3 导通（开门状态），输出低电平。



为使与非门可靠工作在关门状态 (T_3 截止), R 所允许的最大阻值叫该与非门的**关门电阻**, 记作 R_{OFF} 。

为使与非门可靠地工作在开门状态 (T_3 导通), R 所允许的最小阻值叫该与非门的**开门电阻**, 记作 R_{ON} 。

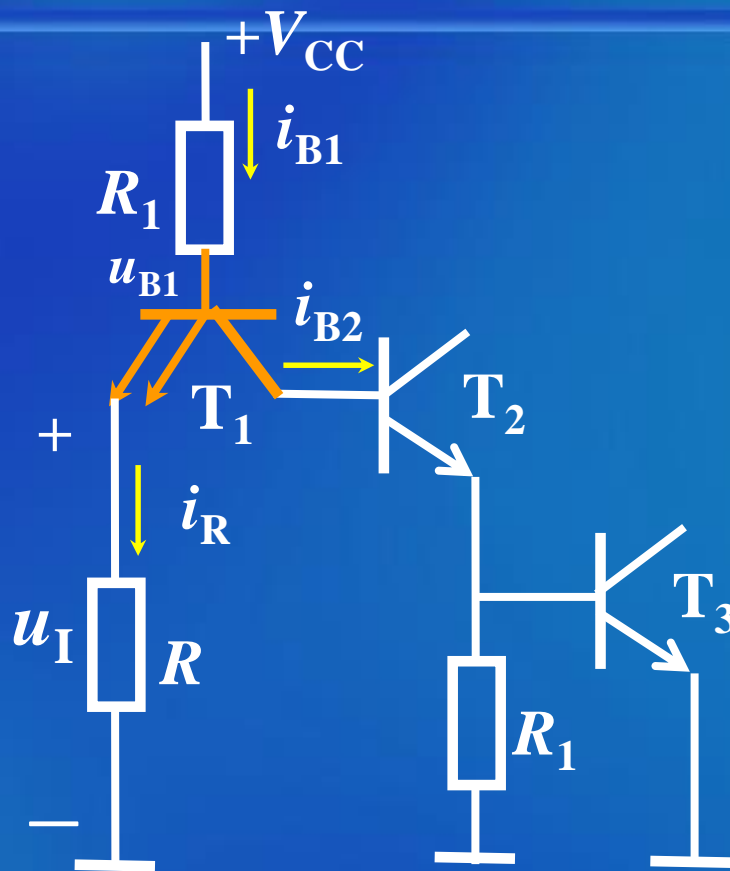
在工程技术中, 常取

$$R_{OFF}=0.9\text{ k}\Omega \quad R_{ON}=2\text{ k}\Omega$$

若 $R \leq 0.9\text{ k}\Omega$, 该端相当于输入逻辑低;

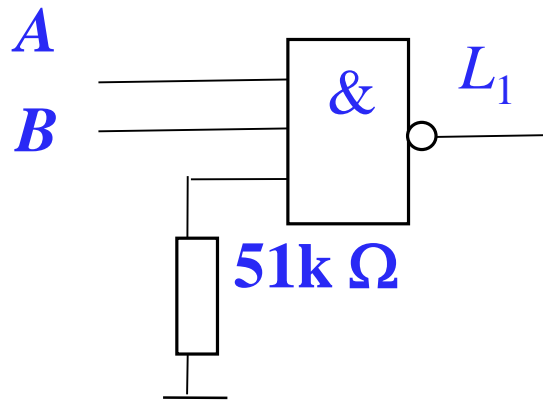
若 $R \geq 2\text{ k}\Omega$, 该端相当于输入逻辑高。

为保险起见, R_{OFF} 可按 $1\text{ k}\Omega$ 考虑, R_{ON} 可按 $10\text{ k}\Omega$ 考虑。

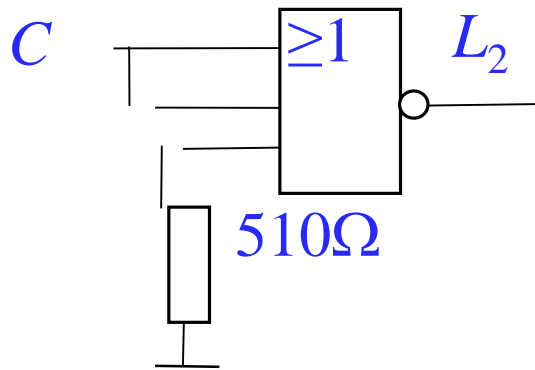


悬空的输入端相当于接高电平。

练习：写出下列TTL逻辑门的输出表达式



$$L_1 = \overline{AB}$$



$$L_2 = \overline{C}$$

4. 动态响应特性（开关速度）

门电路输出对输入脉冲的响应称为门的动态特性。

描述动态特性参数：

(1) 传输延迟时间

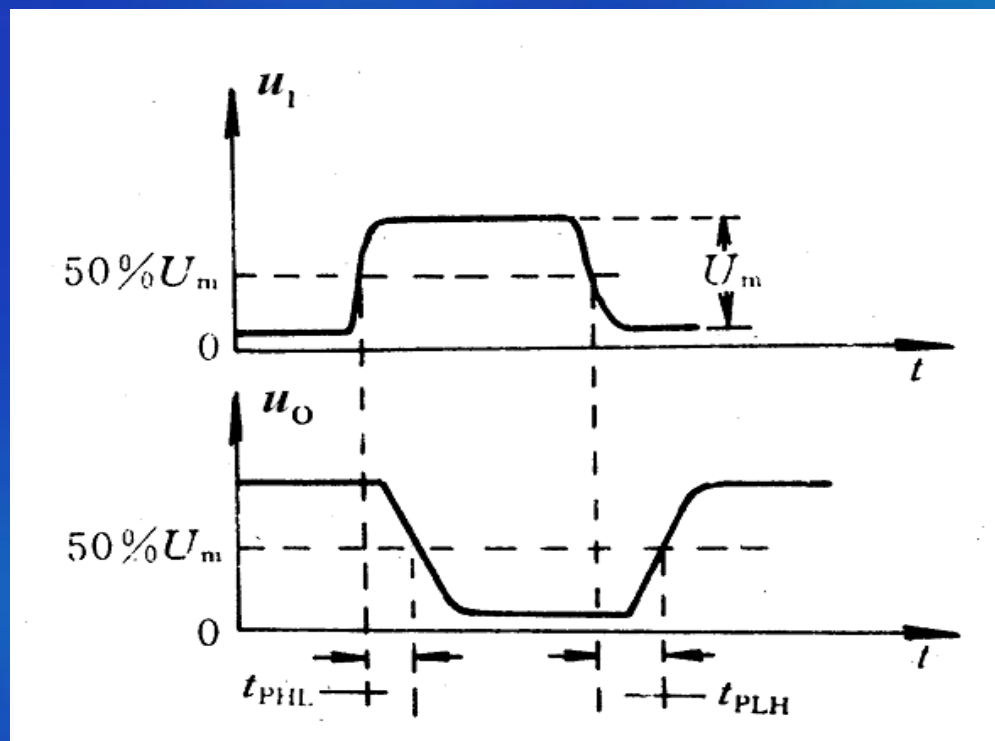
当输入端接入输入信号后，需要经过一定的时间，才能在输出端产生对应的输出信号。

延迟时间称为传输延迟时间。

从输入波形上升沿的50%到输出波形下降沿的50%之间的延迟时间，称为门的输出由高电平降到低电平的传输时延 t_{PHL} ，或称为导通延迟时间；

从输入波形下降沿的50%到输出波形上升沿的50%之间的延迟时间，称为门的输出由低电平升到高电平的传输时延 t_{PLH} ，或称为截止延迟时间。

$$t_{\text{pd}} = \frac{1}{2}(t_{\text{pHL}} + t_{\text{pLH}})$$



t_{pd} 是衡量门电路工作速度的重要指标。

典型TTL与非门的平均传输延迟时间 $t_{\text{pd}} = 10 \sim 20 \text{ ns}$ 。

5. 电源电流及功耗

(1) 电源电流

TTL集成门电路的供电电源 V_{CC} 为+5V;

V_{CC} 供给的电流叫电源电流, 用 I_E 表示;

I_E 小, 则组件功耗就小;

但高功耗TTL门的开关速度较快。

(2) 功耗

组件工作时消耗的功率，等于电源电压 V_{CC} 与电源电流 I_E 之积。

电路在输入全0和全1时的功耗是不一样的，通常**取其平均值**。

要求低功耗与提高门电路的开关速度相矛盾。

常用**功耗-时延积 M** 作为衡量一个门的品质指标。

$$M = P \cdot t_{pd}$$

M 值越大，表示组件的性能越差。

作业

自练题:

- 3.4
- 3.5
- 3.7

作业题:

- 3.11