源程序：

module luojiyunsuan(

input a,

input b,

output [5:0]z

);

assign z[5] =a&b;

assign z[4] =~(a&b);

assign z[3] =a|b;

assign z[2] =~(a|b);

assign z[1] =a^b;

assign z[0] =a~^b;

endmodule

约束条件：

set\_property -dict {PACKAGE\_PIN P5 IOSTANDARD LVCMOS33} [get\_ports {b}]  
set\_property -dict {PACKAGE\_PIN P4 IOSTANDARD LVCMOS33} [get\_ports {a}]  
set\_property -dict {PACKAGE\_PIN F6 IOSTANDARD LVCMOS33} [get\_ports {z[0]}]  
set\_property -dict {PACKAGE\_PIN G4 IOSTANDARD LVCMOS33} [get\_ports {z[1]}]  
set\_property -dict {PACKAGE\_PIN G3 IOSTANDARD LVCMOS33} [get\_ports {z[2]}]  
set\_property -dict {PACKAGE\_PIN J4 IOSTANDARD LVCMOS33} [get\_ports {z[3]}]  
set\_property -dict {PACKAGE\_PIN H4 IOSTANDARD LVCMOS33} [get\_ports {z[4]}]  
set\_property -dict {PACKAGE\_PIN J3 IOSTANDARD LVCMOS33} [get\_ports {z[5]}]

仿真程序：

module luojiyunsuan;

reg a,b;

wire [5:0]z;

initial begin

a=0;

b=0;

#100;

a=1;

b=0;

#100;

a=0;

b=1;

#100;

a=1;

b=1;

#100;

end

luojiyunsuan uut(

.a(a),

.b(b),

.z(z)

);

Endmodule

仿真结果：

