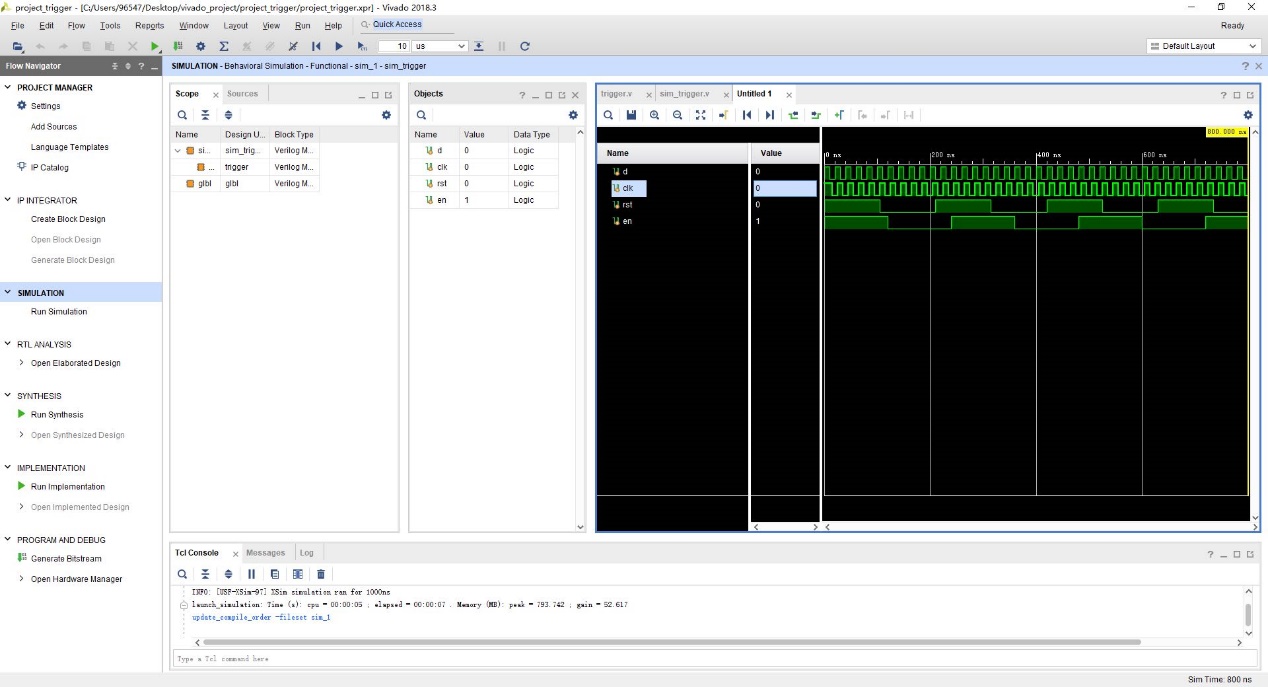
1.实验题目：

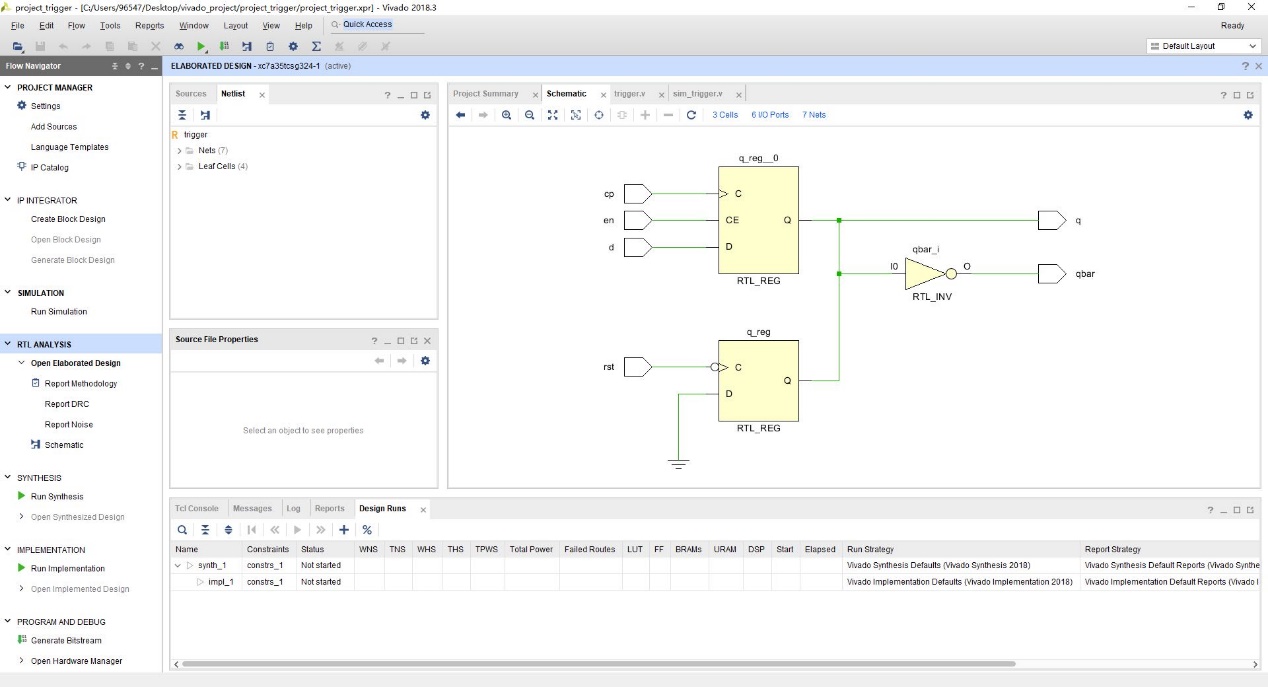
设计一个异步复位、同步使能的D触发器。该D触发器有四个输入端，分别是时钟信号clk（上升沿触发）、复位信号rst\_n（下降沿触发）、使能信号en（高有效）和输入信号d，以及一个输出端q。en=1时，q=d；en=0时，q保持不变。

要求：进行Verilog HDL设计并仿真验证。观察综合后原理图，可以想一想rst\_n信号为什么经过了一个LUT（实现的是非门逻辑）连接到触发器的CLR上。请上传源程序、仿真程序和仿真波形图。

2.源程序、仿真程序压缩包

3.实验结果：





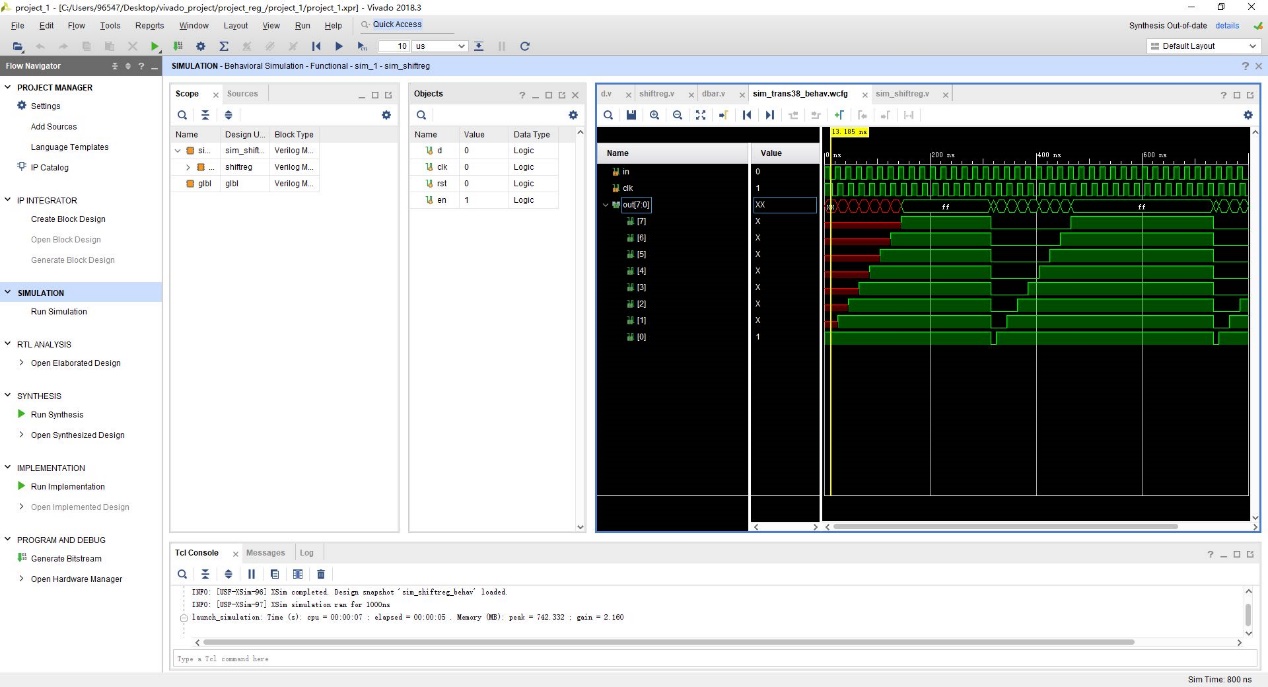
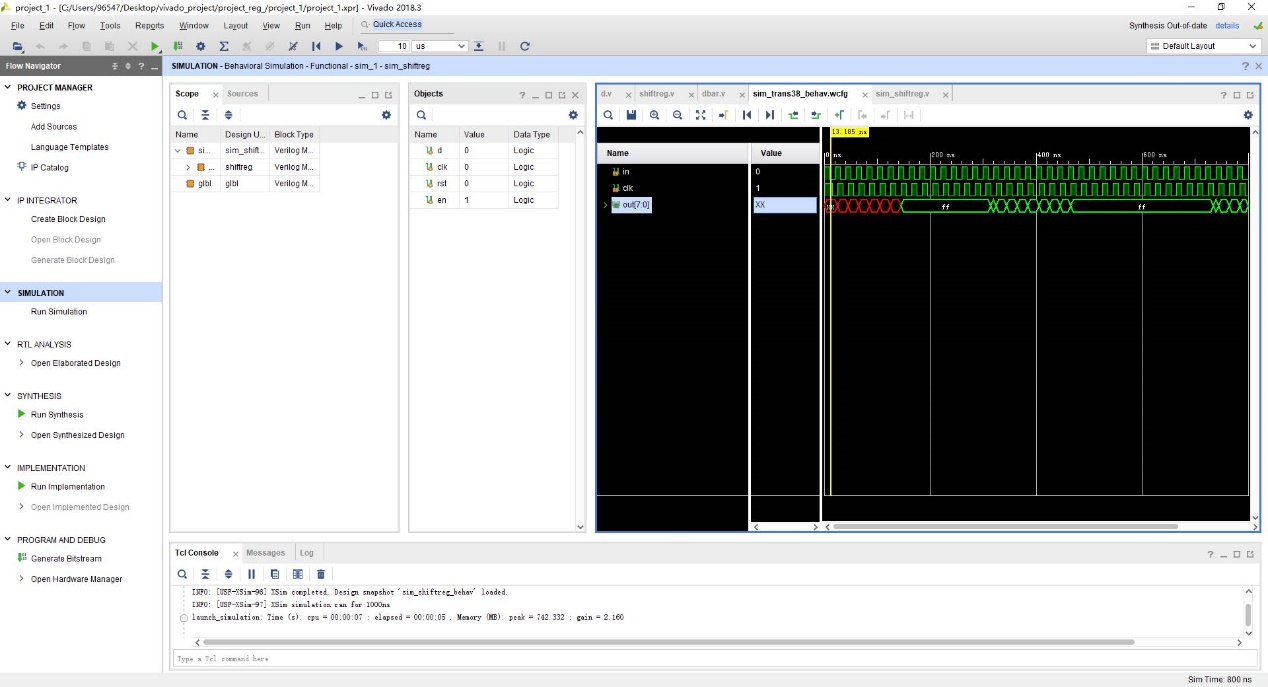
1.实验要求：

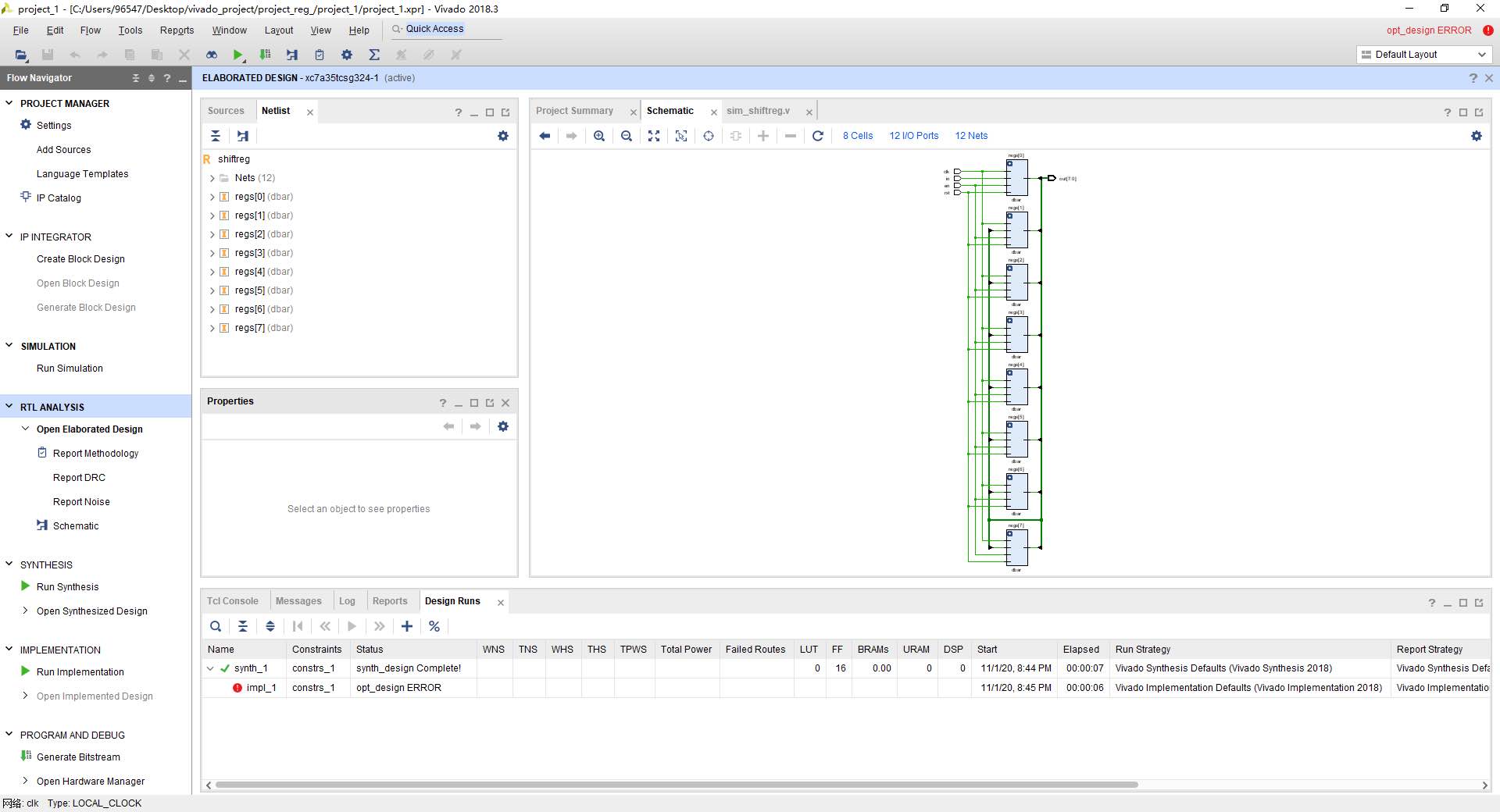
（选作）设计一个串行输入、并行输出的4位单向右移移位寄存器。clr为异步清零信号（上升沿触发），clk为时钟信号，在时钟的上升沿到来时，将输入的1位数据din移至输出信号qout的最高位，其余位向右移动1位。

要求：进行Verilog HDL设计并进行仿真验证。请上传源程序及仿真程序和波形图。

2.源程序、仿真程序压缩包

3.实验结果





1.实验要求：

设计一个秒脉冲发生器（计数器设计参考学习通6.2节，方法不唯一）。输入为系统时钟信号clk，频率为100MHz；复位信号可以不加；输出为秒脉冲信号sec\_pule，即每秒钟产生一个脉宽为一个时钟周期的高电平。（重点做，上课时带上源程序）

要求：进行Verilog HDL设计并进行仿真验证。请上传源程序及仿真程序和波形图。

提高要求（选作）：可以使用参数定义计数值及其位宽，将其变为一个通用计数器，此时可以在仿真中通过参数传递减小计数值，以加快仿真速度。

2.源程序及仿真程序见压缩包

3.实验结果：

