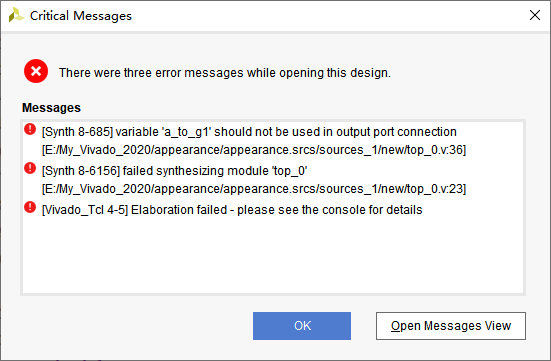
查错：

查看RTL级原理图时报错：



a\_to\_g1有问题，在文件top\_0.v中：

module top\_0(

input clk,

input rst\_n,

input [15:0]y1,

input [15:0]y2,

output reg [6:0]a\_to\_g1,

output reg [6:0]a\_to\_g2,

output reg [3:0]an1,

output reg [3:0]an2

);

part\_1 u1(.clk1(clk),

.rst\_n1(rst\_n),

.x1(y1),

.a\_to\_g1(a\_to\_g1),

.an1(an1));

part\_2 u2(.clk2(clk),

.rst\_n2(rst\_n),

.x2(y2),

.a\_to\_g2(a\_to\_g2),

.an2(an2));

Endmodule

建议：（1）顶层中不能有硬件描述语句，只是模块之间的电线连接；

（2）顶层中不能有reg型信号，只能是wire。