

1번.

```
library ieee ;
use ieee.std_logic_1164.all ;
use ieee.std_logic_arith.all ;
use ieee.std_logic_unsigned.all;
use IEEE.NUMERIC_STD.ALL; --사용하는 라이브러리
```

entity BS is --엔티티 정의

```
    port (
        enable,enable_or: in std_logic;
        clk,rst_n : in std_logic;
        data : inout std_logic_vector(7 downto 0) -- 입출력 신호 정의
    );
```

end BS;

architecture behavioral of BS is -- 아키텍처 정의

signal count : integer range 0 to 255; --0에서 255까지 변하는 정수 count 선언

```
begin
process(rst_n,enable_or) --프로세스문시작
begin
if(rst_n ='0') then-- 리셋신호가 0이면
data <="ZZZZZZZZ"; --High Impedence
elsif(enable_or='0')then -- enable이 모두 0이면
data<="ZZZZZZZZ";--High Impedence
elsif(enable_or'event and enable_or='1')then --enable이 라이징엣지이고
if data="11111111" then -- data가255이면
data<="00000000"; --data를 0으로
else --255가 아니면
count<=count+1; -- 카운트 1증가
data<=std_logic_vector(to_unsigned(count,8)); --카운트값을 8비트로 형변환하여 넣어준다
end if;
end if;
end process; --프로세스문 종료

end ;
```

```
library ieee ;
use ieee.std_logic_1164.all ;
use ieee.std_logic_arith.all ;
use ieee.std_logic_unsigned.all;
use IEEE.NUMERIC_STD.ALL; --사용하는 라이브러리
entity tb_BS is
end tb_BS; --테스트벤치 엔티티 정의
```

architecture sim of tb_BS is --테스트벤치 아키텍처 정의

component BS port (--컴포넌트문

enable,enable_or: in std_logic;

data : inout std_logic_vector(7 downto 0);

clk,rst_n : in std_logic --입출력 신호

);

end component; --컴포넌트문 종료

constant HALF_PERIOD_1H : time := 20 ns ; --클럭신호 주기 설정

signal data : std_logic_vector(7 downto 0);

signal enable1,enable2,enable_or: std_logic;

signal clk,rst_n: std_logic; --signal 선언

begin

enable_or <= enable1 or enable2;

rst_n <= '0','1'after 30ns ; --리셋신호 설정

clk_gen : process --클럭프로세스문

begin

while (true) loop

clk <= '0' ; wait for HALF_PERIOD_1H ; --클럭신호주기

clk <= '1' ; wait for HALF_PERIOD_1H ; --클럭신호주기

end loop;

end process; --프로세스문 종료

enable1 <= '0', '1' after 400 ns, '0' after 480 ns, '1' after 880 ns, '0' after 960 ns,'1' after 1360 ns, '0'
after 1440 ns,'1' after 1840 ns, '0' after 1900 ns;

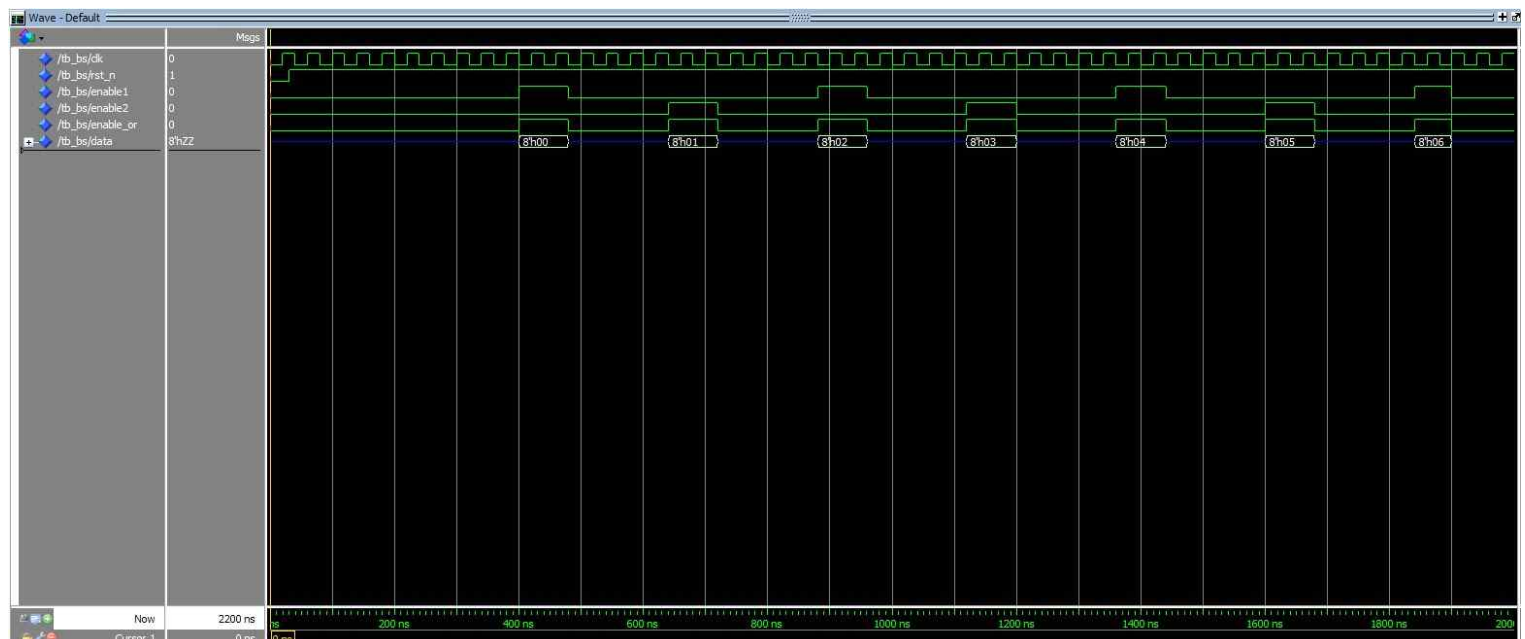
enable2 <= '0', '1' after 640 ns, '0' after 720 ns, '1' after 1120 ns, '0' after 1200 ns, '1' after 1600 ns,
'0' after 1680 ns, '1' after 2080 ns, '0' after 2160 ns; --파형생성문

u0 : BS port map(clk=>clk,rst_n=>rst_n,enable=>enable1,enable_or=>enable_or,data=>data);

u1 : BS port map(clk=>clk,rst_n=>rst_n,enable=>enable2,enable_or=>enable_or,data=>data);

-- 컴포넌트 실제화문

end sim ;



2번.

```
library ieee ;
use ieee.std_logic_1164.all ;
use ieee.std_logic_arith.all ;
use ieee.std_logic_unsigned.all; -- 사용하는 라이브러리
```

```
entity Light is -- 엔티티 정의
    port(Glight, Rlight : out std_logic;
          rst_n : in std_logic;
          clk : in std_logic); --입출력신호 정의
end Light;
```

```
architecture behavioral of Light is --아키텍처 정의
    signal green : std_logic; -- 녹색불 신호 정의
    signal counter : integer range 0 to 240; --초를 세주는 신호 정의
```

```
begin
```

```
process(rst_n,clk) --프로세스문 시작
```

```
begin
```

```
    if (rst_n = '0') then == 리셋이 0이면
        green <= '0'; -- 그린신호 0
        Rlight <= '1'; -- 빨간불 on
        counter <= 0; -- 카운터는 0
    elsif (clk'event and clk = '1') then-- 클럭 라이징 엿지시
        if counter = 239 then-- 카운터가 239초면
            counter <= 0; -- 카운터 0초로 초기화
        else
            counter <= counter + 1; -- 카운터 1초씩 증가
        end if;
```

```
    if counter <= 180 then -- 180초까지는
        Rlight <= '1'; -- 빨간불 on
        green <= '0'; -- 녹색불 신호 0
    elsif counter <= 220 then -- 180초부터 220초까지
        Rlight <= '0'; -- 빨간불 off
        green <= '1'; -- 녹색불 신호 1
    else
        Rlight <= '0'; -- 220초부터 239초까지
        green <= not green; -- 녹색불 신호 0,1 반복
    end if;
```

```
end if;
```

```
end process; -- 프로세스문 종료
```

```
Glight <=green; -- 녹색불 신호를 녹색불에
end behavioral;
```

```
library ieee ;
use ieee.std_logic_1164.all ;
use ieee.std_logic_arith.all ;
```

use ieee.std_logic_unsigned.all; -- 사용하는 라이브러리

entity tb_Light is -- 테스트벤치 엔티티 정의
end tb_Light ;

architecture simulation of tb_Light is --테스트벤치 아키텍처 정의
component Light is --컴포넌트 정의
port(Glight, Rlight : out std_logic;
rst_n : in std_logic;
clk : in std_logic); -- 입출력 신호 정의
end component;

constant HALF_PERIOD_1H : time := 500 ms ; --클럭신호주기 1Hz

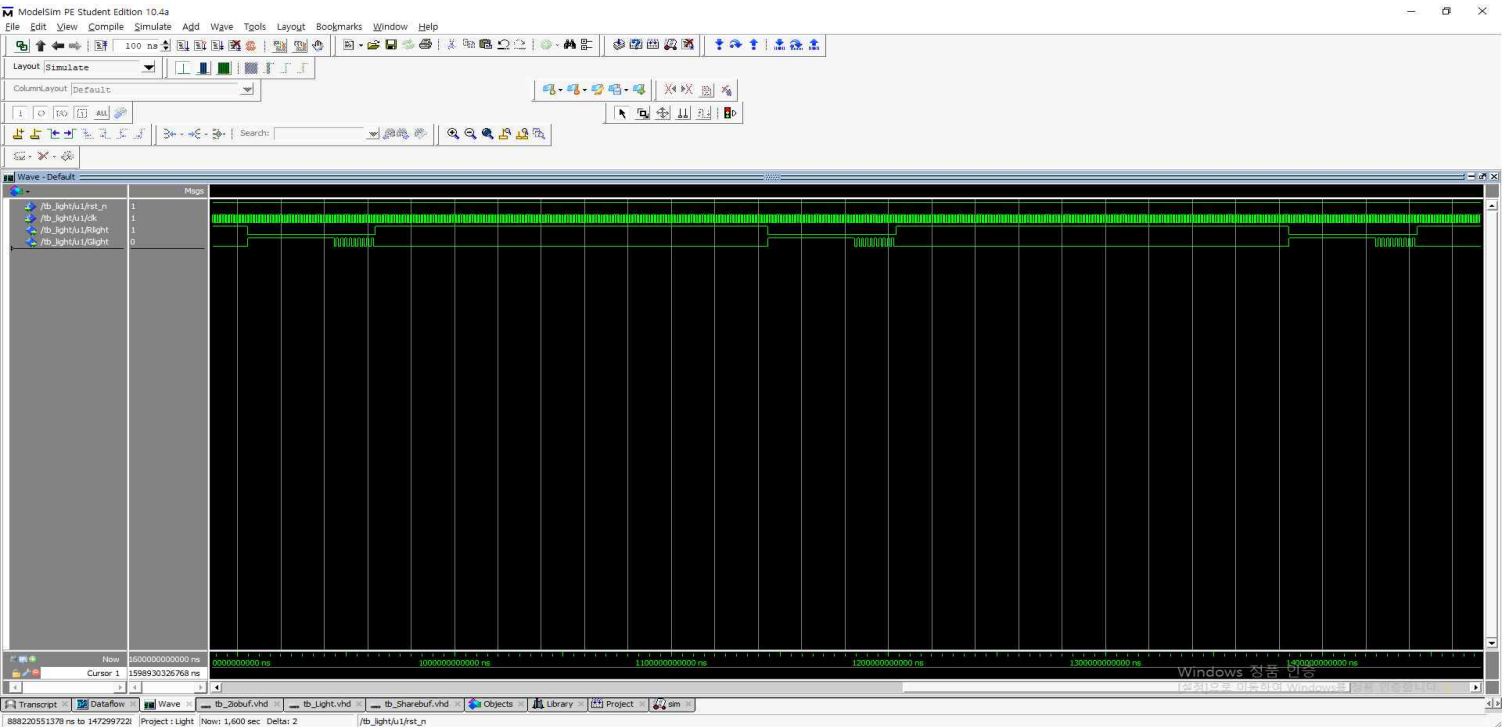
signal pulse : std_logic;
signal clk, rst_n : std_logic; -- 신호 정의

begin

rst_n <= '0','1'after 3 sec ; -- 리셋신호 3sec부터 1

clk_gen : process -- 프로세스문 시작
begin
while (true) loop -- 루프시작
clk <= '0' ; wait for HALF_PERIOD_1H ;
clk <= '1' ; wait for HALF_PERIOD_1H ; -- clk 500ms 마다 변화
end loop; -- 루프종료
end process; -- 프로세스문 종료

u1: Light port map (Glight => open, Rlight => open, rst_n => rst_n, clk=>clk); --컴포넌트 실체화문
end simulation;



180초 동안 적색불이 점등되고 이후 40초동안 녹색불이 점등된 후 20초 동안 1초간격의 녹색불 on/off가 반복된다.