



第二章 逻辑门电路

2.1 概述

2.2 逻辑门

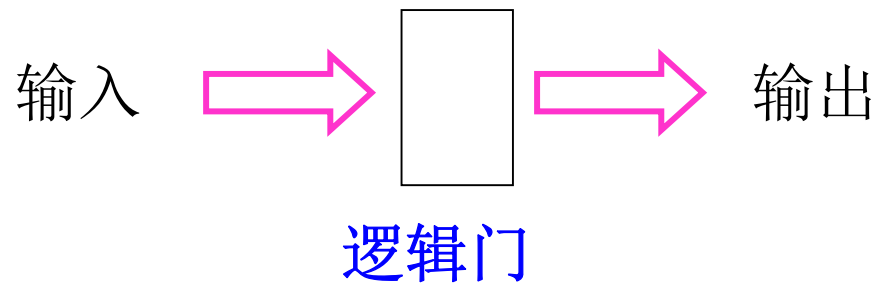
2.5 TTL 与非门

2.6 MOS逻辑电路

第二章 逻辑门电路

§2.1 概述

逻辑门：用以实现逻辑运算单元电路称为逻辑门电路。



输出 \sim 输入

逻辑功能

基本逻辑运算 – 逻辑门

{ 与门
或门
非门

复合逻辑运算

{ 与非门
或非门
与或非门
异或门
同或门

逻辑运算和逻辑门:

二进制系统: { 逻辑高 (逻辑 1)
逻辑低 (逻辑 0)

逻辑高和逻辑低，由高低电平表示。

逻辑高 – 高电平

逻辑低 – 低电平

§2.2 逻辑门电路

2.2.1 基本逻辑门

1. 与(运算和门电路)

1) 与开关电路



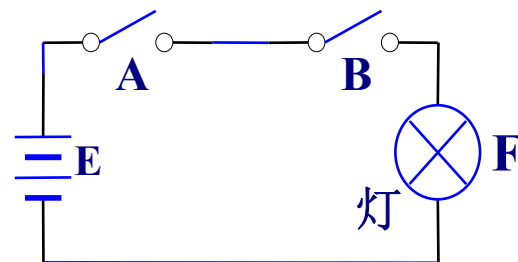
上图两个开关为 **串联**。

仅当 A 和 B 同时闭合(逻辑 1), 灯 (F) 会变亮。

2) 真值表

真值表是表征逻辑事件输入和输出之间全部可能状态的表格。

输入的所有可能取值按二进制数大小排列在左；对应的输出列在右。



A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

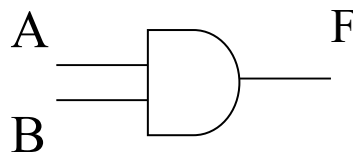
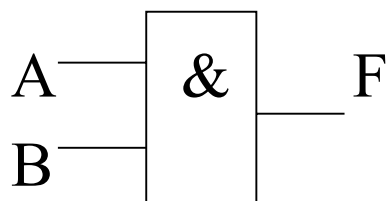
3) 与功能

与运算当且仅当所有输入为高电平时产生高电平。当任意一个输入为低电平，输出则为低电平。

输入只要有低，输出为低；

输入都为高时，输出为高。

4) 与门符号及表达式



最多8个输入端

ANSI/IEEE 标准符号

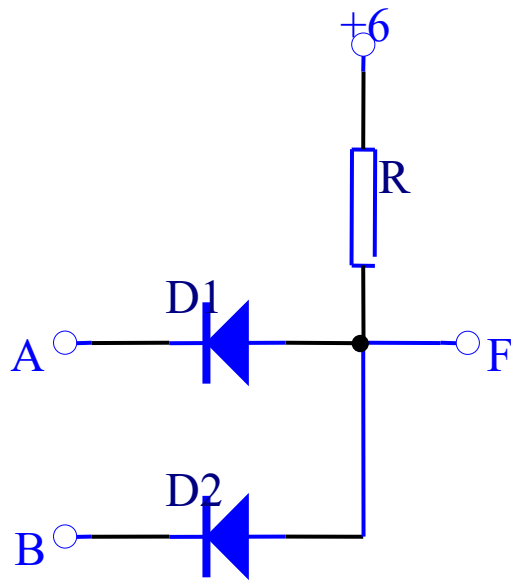
American National Standard Institute 美国国家标准协会

/ Institute of Electrical and Electronics Engineers 电气和电子工程师

表达式: $F = A \cdot B = AB$

(A 与 B) (逻辑乘)

5) 与门电路



当 $A=0$ (低电平), $D1$ 导通,
 $D1$ 两端压降为 $0.7V$, 所以 $F = 0.7V$

→ 0 (低电平)

以下情况同样相同: $B=0$, 或 $A=B=0$.
(真值表的前三行)

当 $A=B=1$ (高电平, $6V$), $D1$ 和 $D2$ 均截止,
 $F=1$ (高电平, $6V$) (真值表中最后一行.)

6) 与运算

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 1 \cdot 0 = 0$$

$$1 \cdot 1 = 1$$

$$A \cdot 0 = 0$$

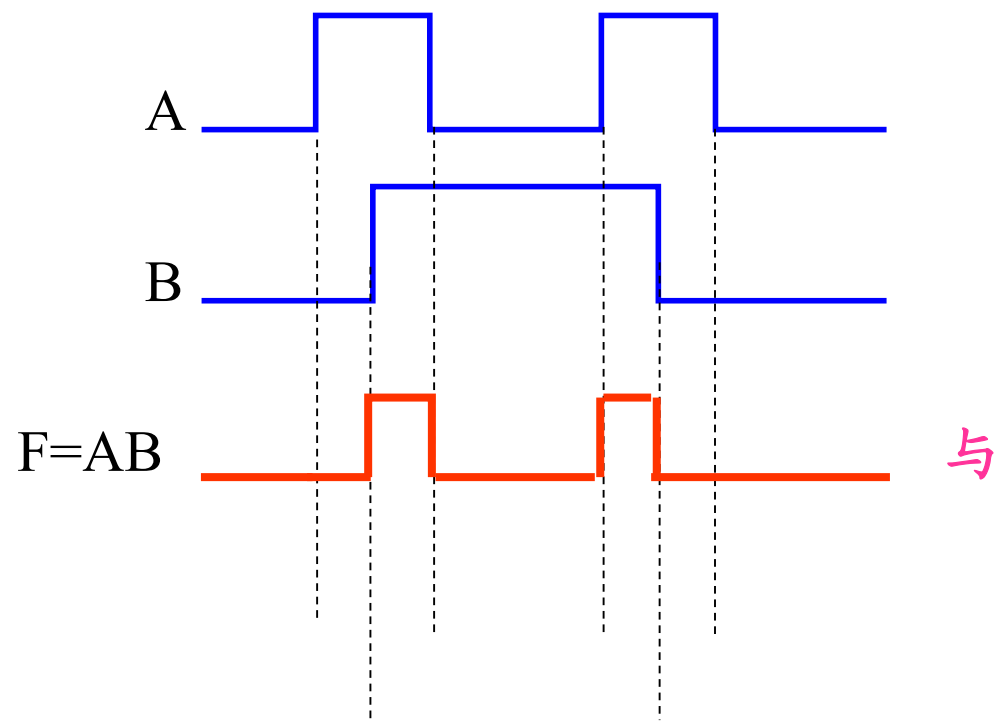
$$A \cdot 1 = A$$

$$A \cdot A = A$$

$$A \cdot \overline{A} = 0$$

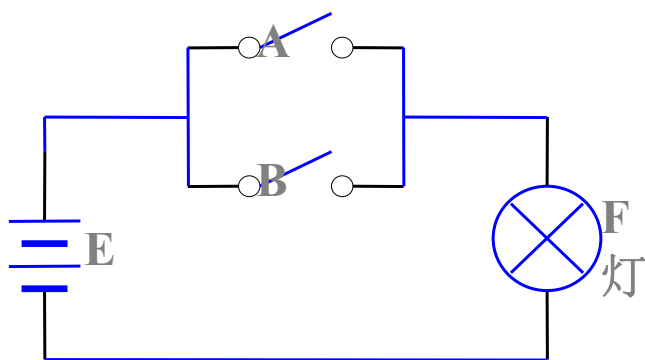
A: 输入变量

7) 时序图（波形图）



2.或 (运算和门电路)

1) OR 开关电路



两个开关 (A, B) 并联

任意一个开关通路, 灯泡F都会亮。

2) 真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

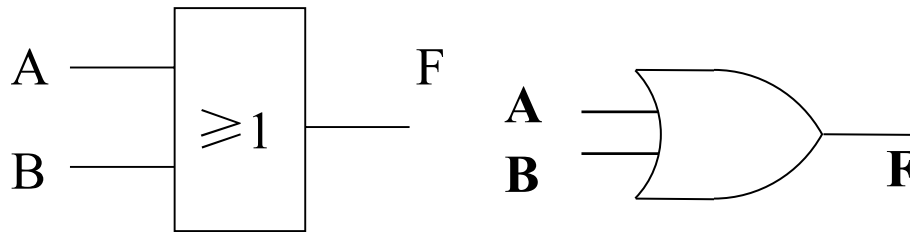
3) 或功能

或运算当任意输入为高电平时产生高电平，当且仅当所有输入为低电平时输出为低电平。

只要有一个输入为高电平1，输出就为高电平1；

只有输入全为低电平0时，输出才为低电平0。

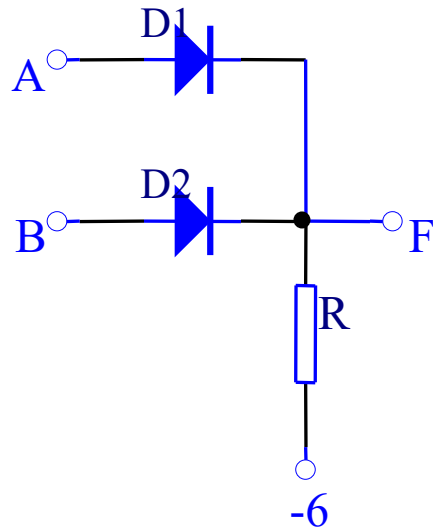
4) 或门的符号和表达式



最多8个输入端

$$F = A + B \quad (\text{逻辑加})$$

5) 或门电路



当 $A=B=0$ (-6V, 低电平),

D1 和D2截止, $F=0$ (低电平);

当 $A=1$ (高电平), D1 通路,

$F=1$ (高电平). (减0.7V仍为高电平)

以下情况同样相同: $B=1$, 或 $A=B=1$.

6) 或运算

$$0+0= 0$$

$$0+1= 1$$

$$1+1= 1$$

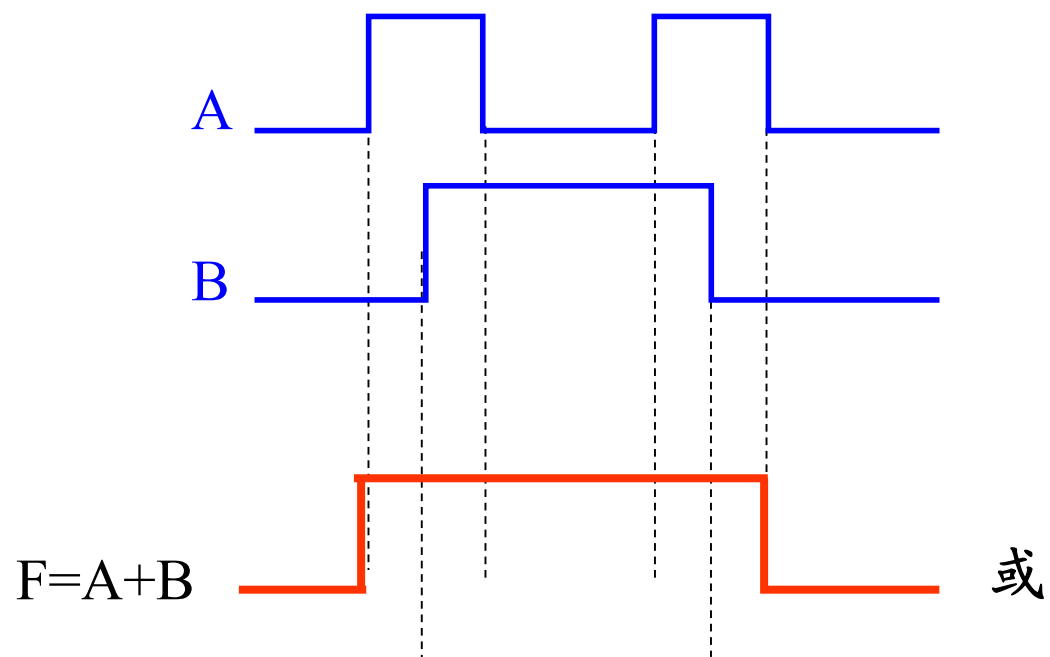
$$A+0= A$$

$$A+1= 1$$

$$A+A= A$$

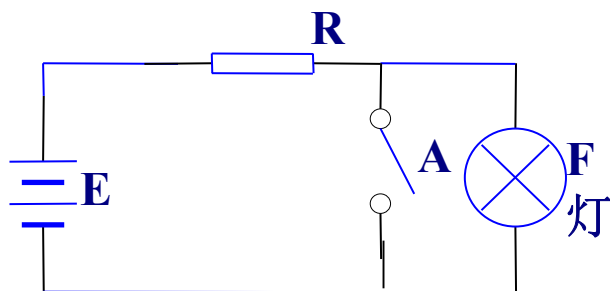
$$A+\overline{A}= 1$$

7) 时序图



3.非 (运算和门电路)

1) 非门电路



如果A闭合, 灯F将会变暗

2) 真值表

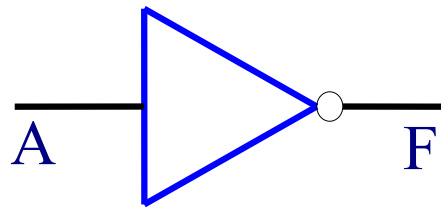
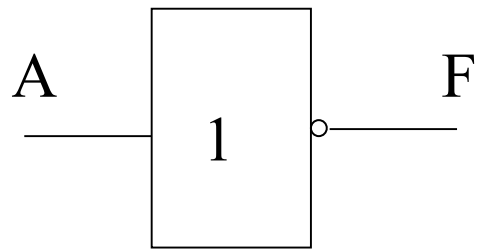
A	F
0	1
1	0

3) 非功能

当输入为低电平, 则输出为高电平;

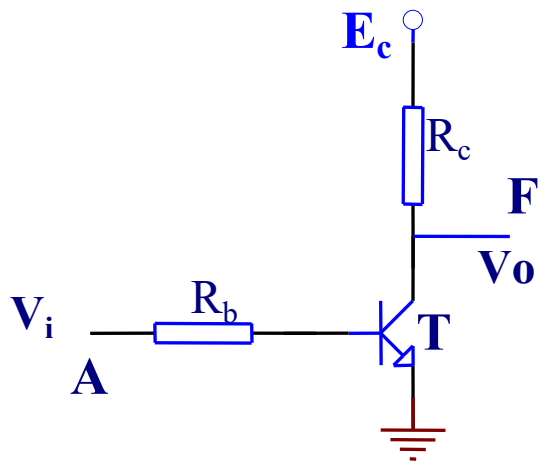
输入为高电平, 则输出为低电平
从而产生反向输出波形。

4) 非门的符号和表达式



$$F = \overline{A}$$

5) 非门电路



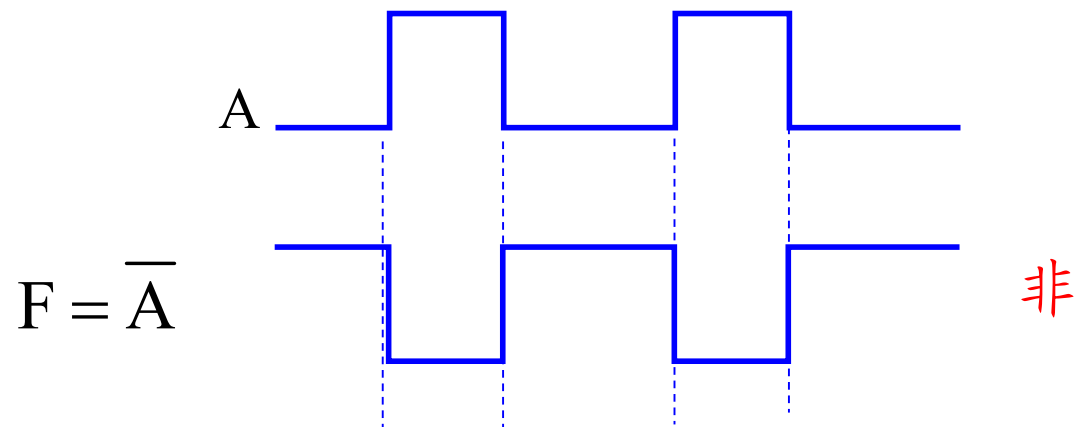
V_i	V_o	
0	$E_c(1)$	T 截止
1	$V_{ces}(0)$	T 导通

6) 非运算

$$\overline{0} = 1 \quad \overline{1} = 0$$

$$\overline{\overline{A}} = A \quad A \cdot \overline{A} = 0 \quad A + \overline{A} = 1$$

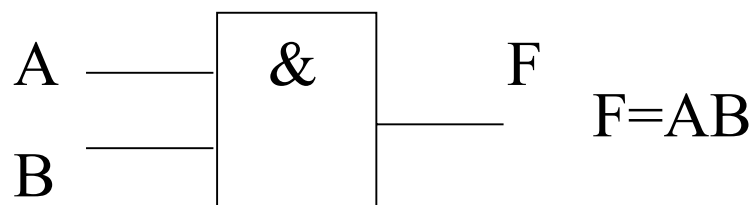
7) 时序图



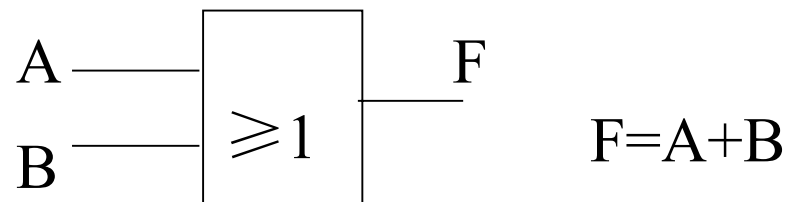
2.2.2 复合逻辑门

逻辑门与表达式

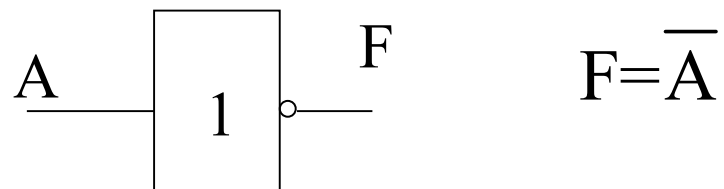
1. 与门



2. 或门

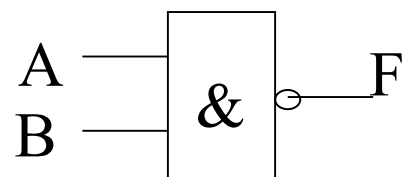


3. 非门

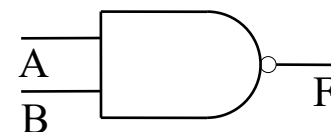


以下的逻辑门都是由基本逻辑门组合而成（与门，或门，非门）

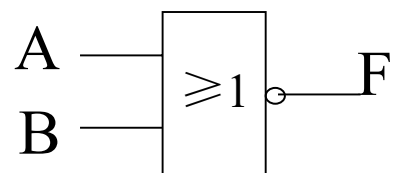
4. 与非门



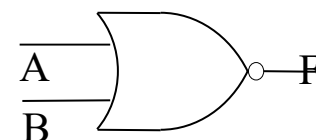
$$F = \overline{AB}$$



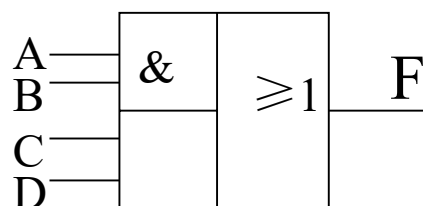
5. 或非门



$$F = \overline{A+B}$$

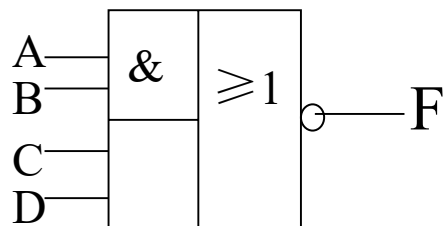


6. 与或门



$$F = AB + CD$$

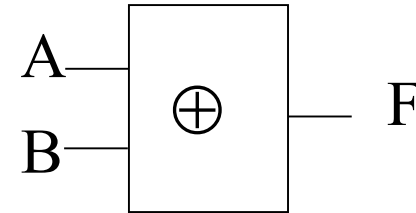
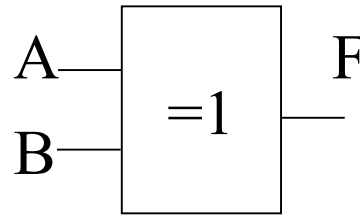
7. 与或非门



$$F = \overline{AB + CD}$$

8. 异或门

$$F = A \oplus B$$
$$= \overline{A}B + A\overline{B}$$



国内使用

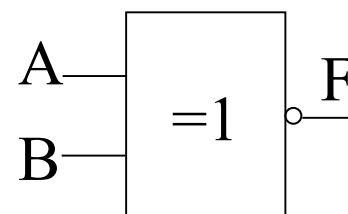
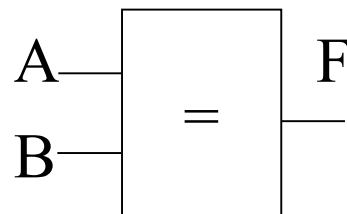
真值表:

A	B	F(xor)
0	0	0
0	1	1
1	0	1
1	1	0

功能： 比较 (判断) 两输入是否相异

输入端只有2个且必须 2 个，两输入相异时输出高电平。

9. 同或门



真值表:

$$F = A \odot B = AB + \bar{A} \cdot \bar{B}$$

$$F = \overline{A \oplus B}$$

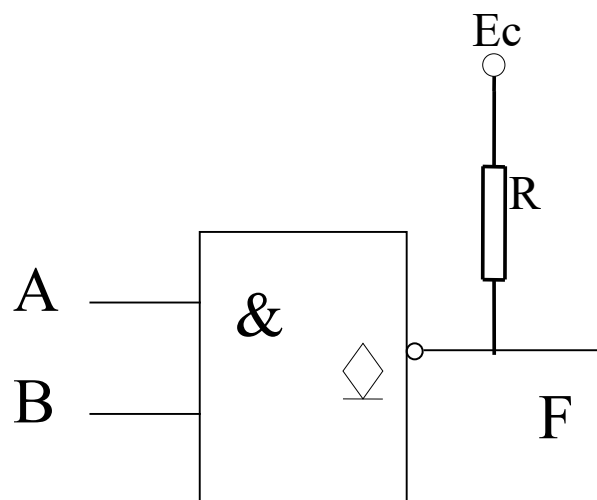
A	B	F(异或)	F(同或)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

功能: 比较(判断)两输入是否相同

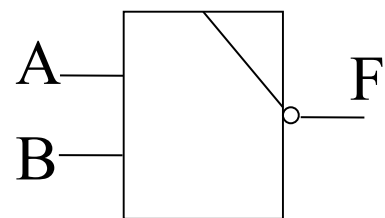
同或门2输入, 输出与异或门相反;

两输入相同时输出高电平。

10. 集电极开路与非门



$$F = \overline{AB}$$

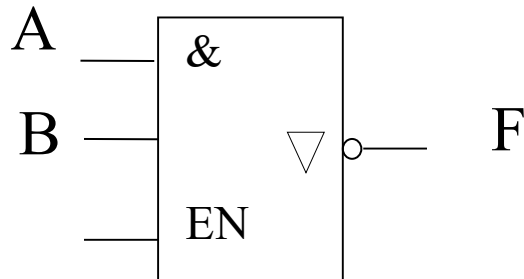


国内使用

11. TSL (三态门)

三态: 1, 0, 高阻态

1) 高电平有效

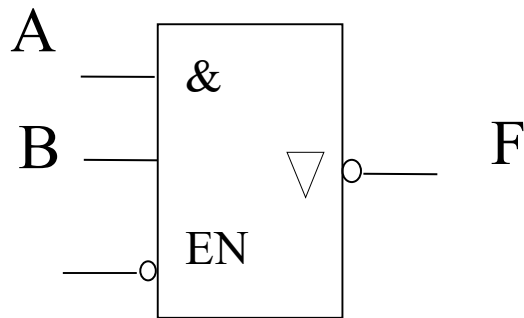


EN: 使能输入端

EN=1, $F = \overline{AB}$ (与非门)

EN=0, F= 高阻态

2) 低电平有效

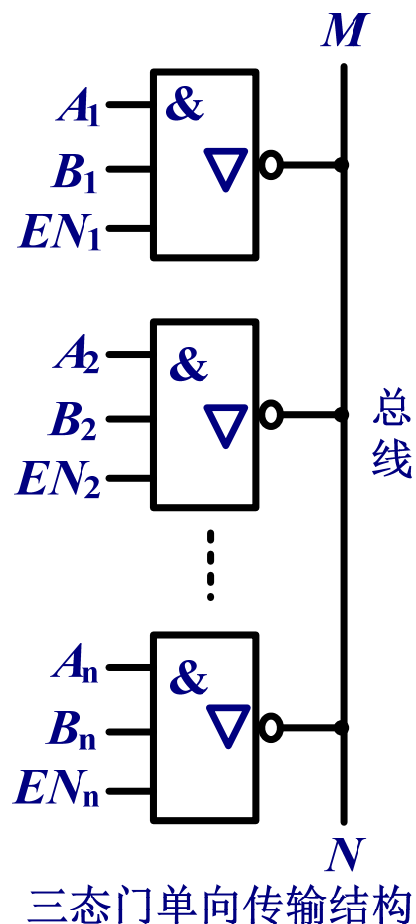


EN=0, $F = \overline{AB}$ (与非门)

EN=1, F=高阻态

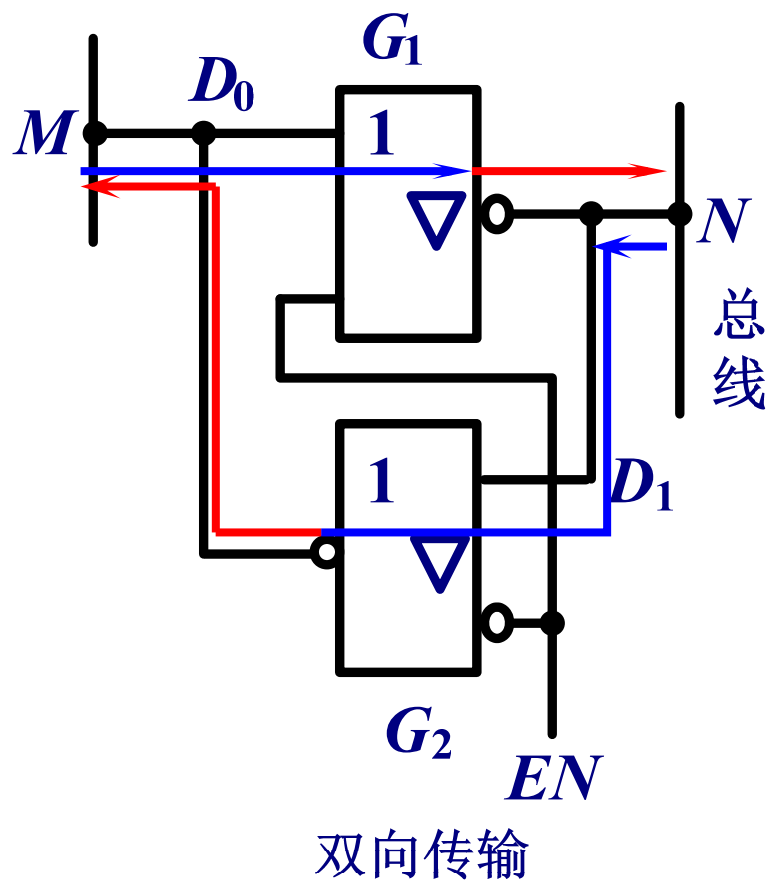
三态门的用途

➤①在总线传输中的应用



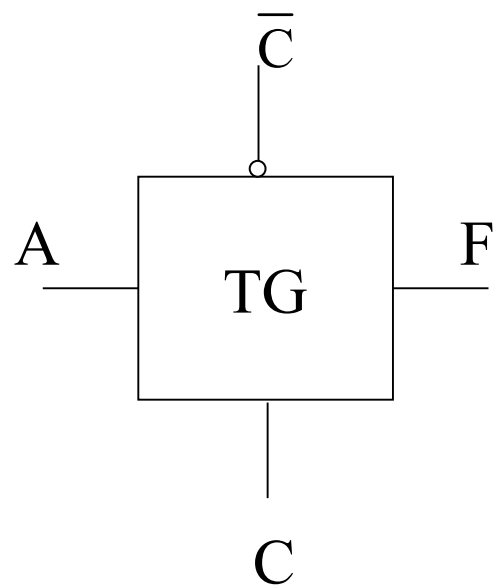
- 利用三态门向同一个总线MN上轮流传输信号不会互相干扰。
- **工作条件是：**在任何时间里只能有一个三态门处于工作状态，其余的门处于高阻态。

➤ ②实现数据双向传输



- $EN=0$, G_1 高阻, N 经 G_2 向 M 送数据。
- $EN=1$, G_2 高阻, M 经 G_1 向 N 送数据。

12. TG (传输门)

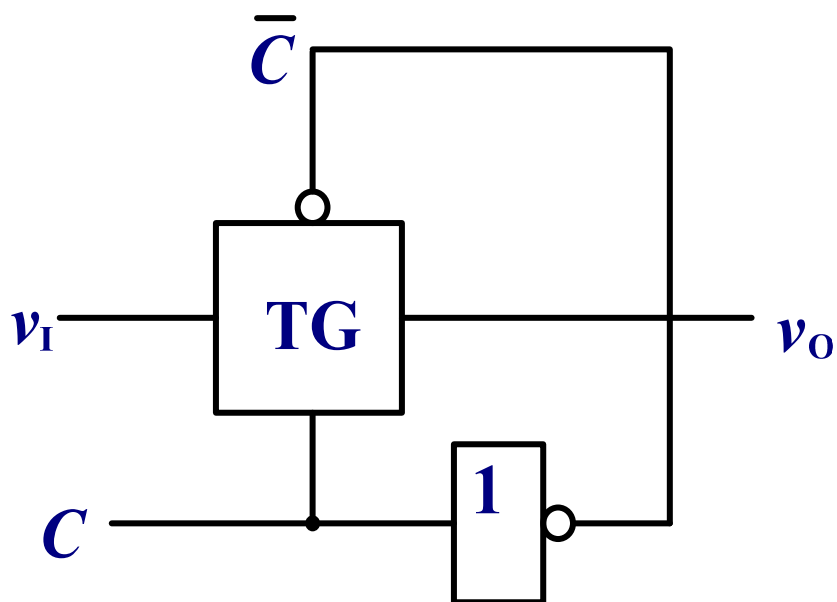


C: 控制

$C=1, \overline{C}=0$, **$F=A$** (开关合上信号传过)

$C=0, \overline{C}=1$, (开关断开)

- 利用传输门和非门可构成模拟开关，如图所示。

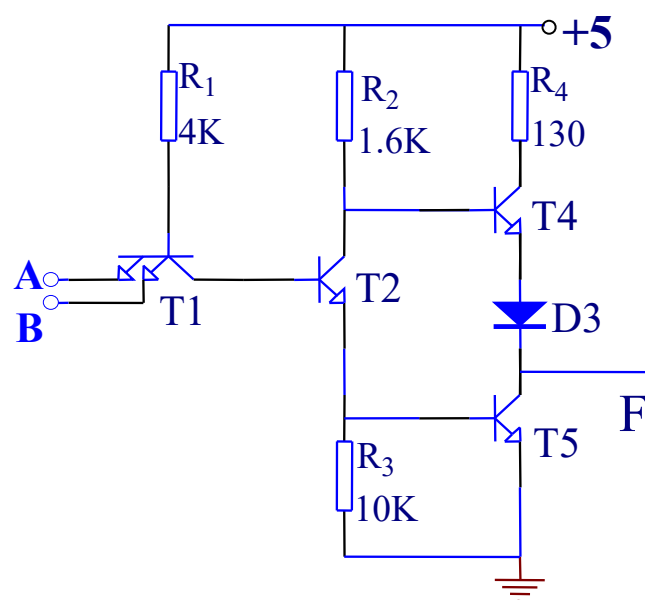


- 当 $C=1$ 时，模拟开关导通， $v_O=v_I$ ；
- 当 $C=0$ 时，模拟开关截止，输入和输出之间断开。

§2.5 TTL与非门

2.5.2 TTL 与非门

1. 电路和运算



T1: 双发射极(多发射极)

$$F = \overline{AB}$$

与非门真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

A 或 B 或者两者都是低电平, F 则为高电平

A 和 B 同时为高电平, F 则为低电平

1) 输入有低电平

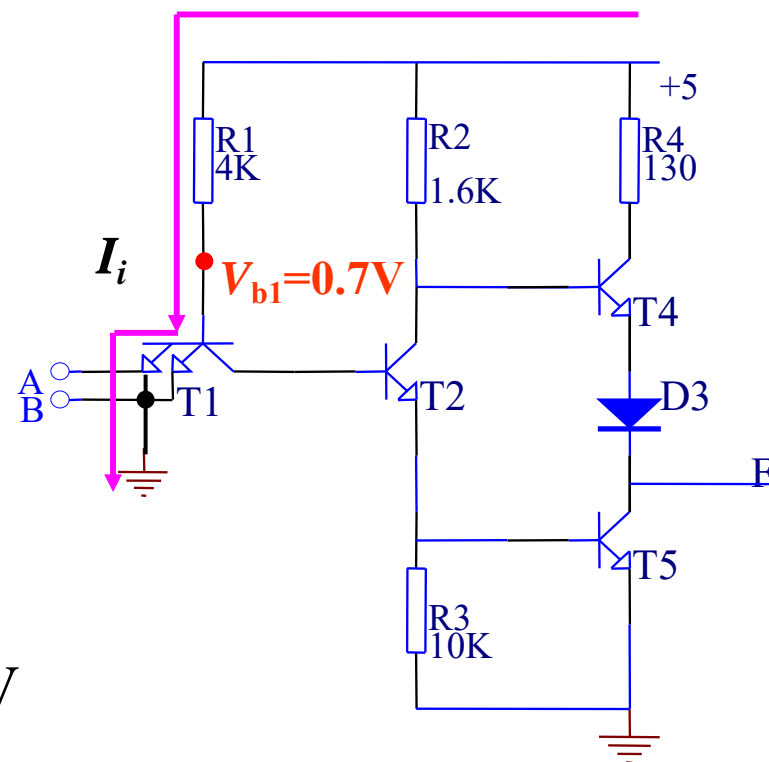
A 或 B 两个同时接地, 电流将从+5V电源经过R1和T1流向地

$$I_i = \frac{5 - 0.7}{4 \times 10^3} = 1.1\text{mA}$$

$$V_{b1} = 0.7\text{V}$$

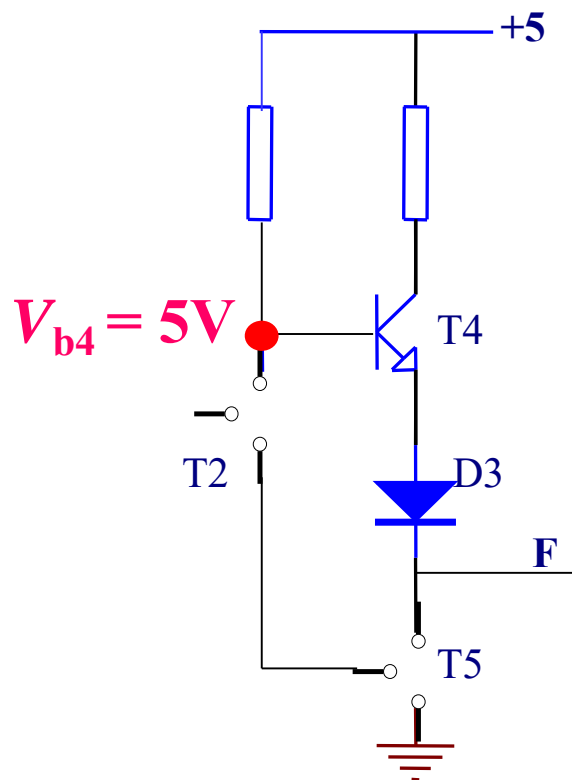
T1管的基极电位 V_{b1} 被钳位在0.7V

该电压不能让 $T1_{bc}$ 和 $T2_{be}$ 正向偏置导通



$\therefore T2$ 截止, $T5$ 截止

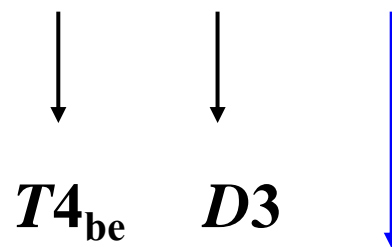
等效电路:



那么 $V_{b4} \approx 5V$

输出

$$F = 5 - 0.7V - 0.7V = 3.6V$$

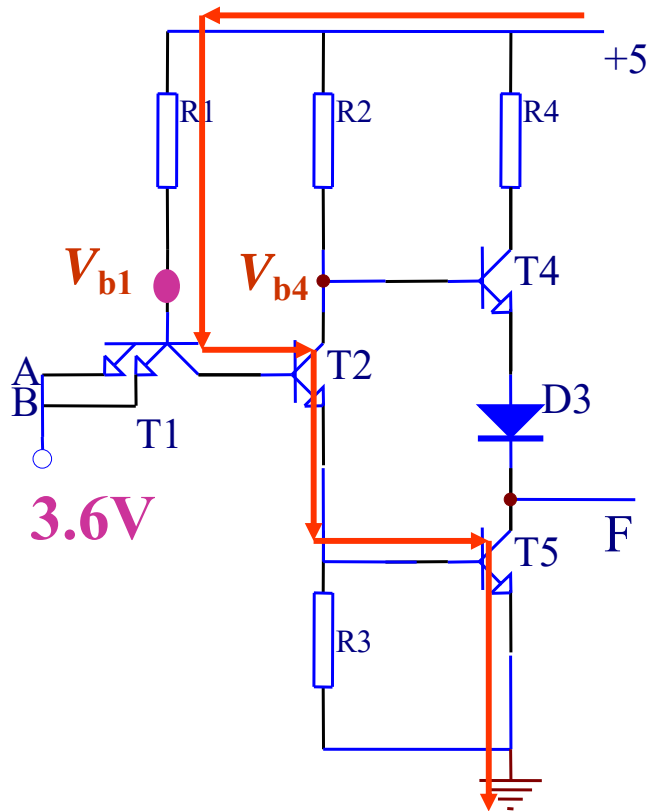


典型的逻辑高电平

输入端有一个或均为低电平，输出为高电平

关门状态

2) 输入均为高电平 (A和B) 3.6V



A 和B 均为 3.6V,

T1 导通,

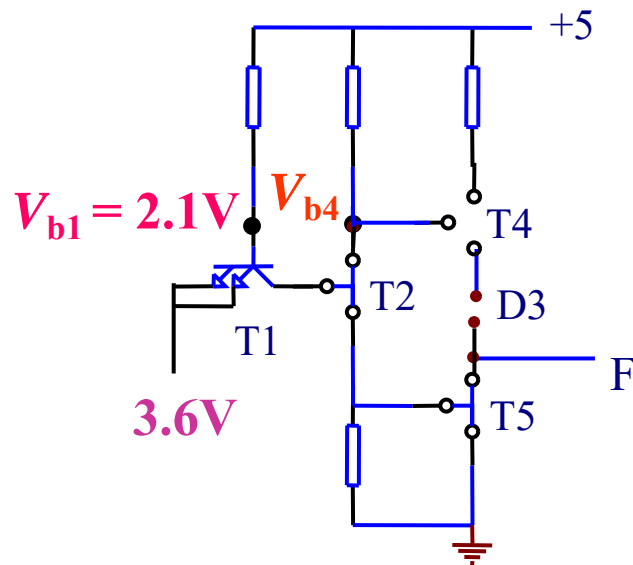
V_{b1} 保持 4.3V ($=3.6+0.7$).

4.3V 可以让 **T1_{bc}**, **T2_{be}** 和 **T5_{be}** 正向偏置导通

∴ T2, T5 导通

电流将从+5V, 流经 T1,T2 和 T5 到地

等效电路:



输入高电平，输出低电平
开门状态

实现了 与非 的功能:

$$F = \overline{AB}$$

T2 和 T5 导通, $V_{b1} = 2.1V$

$$\begin{aligned} V_{b4} &= V_{be5} + V_{ce2} \\ &= 0.7 + 0.3 = 1.0V \end{aligned}$$

V_{b4} 不足够大，不能使 $T4_{be}$ 和 $D3$ 正向偏置导通。

T4, D3 截止

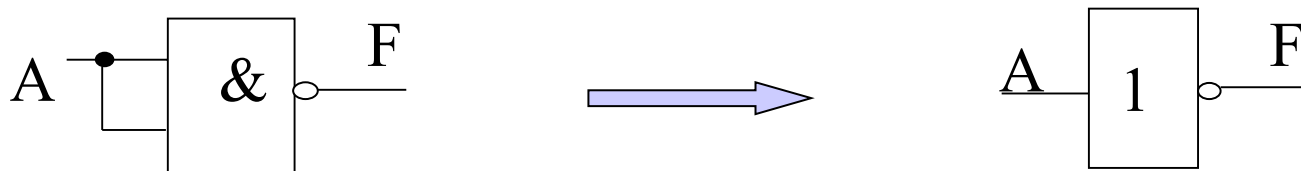
输出

$$F = V_{ce5} = 0.1 \sim 0.3V \quad (\text{低电平})$$

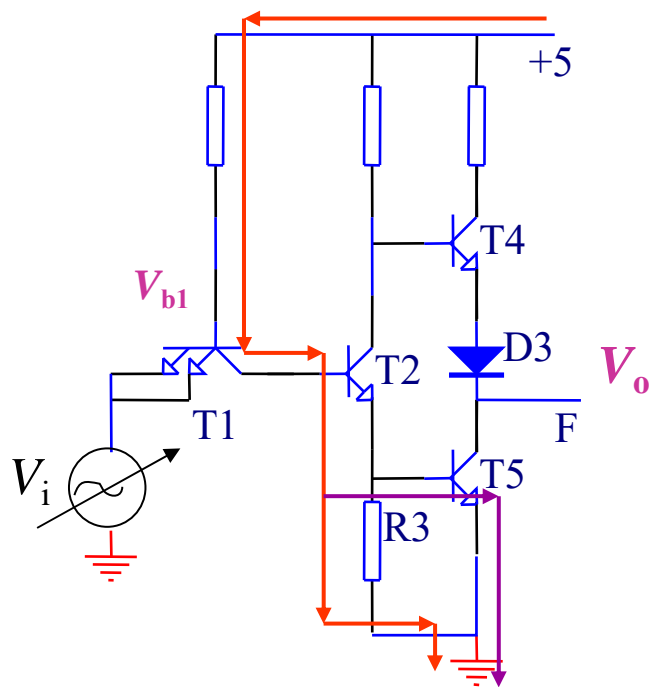
T5 饱和压降

2. 电压传输特性

如果把与非门的所有输入端连接在一起，
与非门将会与门相同。



当输入电压 $V_i(A)$ 从低电平变为高电平，
输出电压 $V_o(F)$ 何时从高电平变成低电平？



$$V_i: 0 \rightarrow 0.7 \rightarrow 1.4 (V_T=1.4V) \rightarrow >1.4V$$

$$V_{b1}: 0.7 \rightarrow 1.4 \rightarrow 2.1 \longrightarrow >2.1V$$

T2 打开 T5 打开

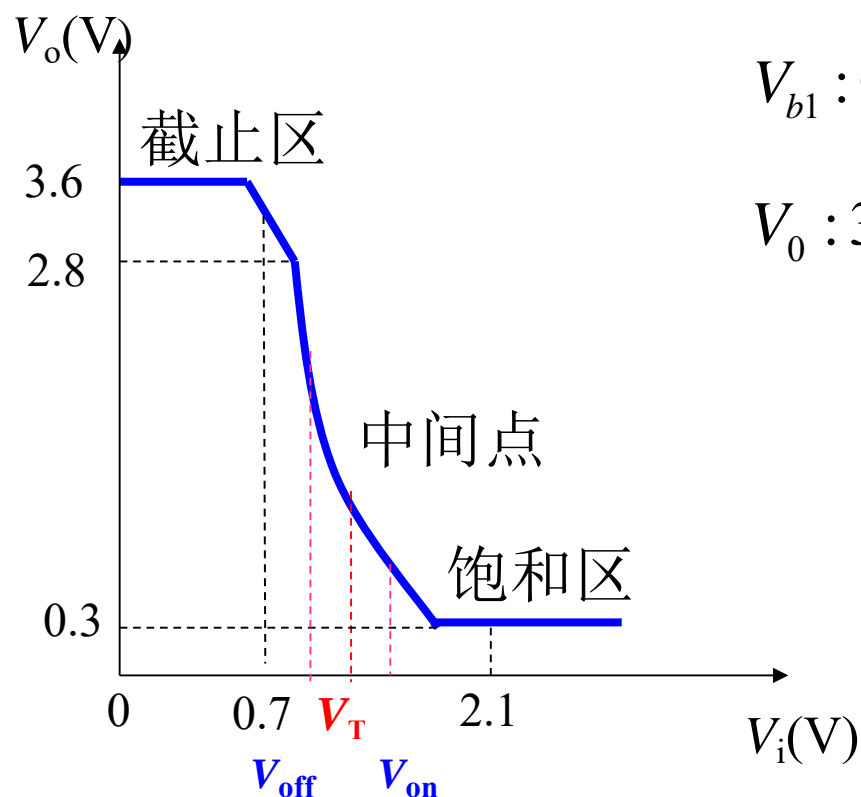
$$V_o: 3.6 \rightarrow 3.6 \rightarrow 2.8 \xrightarrow{V_o \downarrow \downarrow} 0.3V$$

T4, D3 打开

$$T2 \rightarrow R3 \rightarrow GND$$

$$V_o \downarrow (V_{b4} < 5V)$$

电压传输特性



噪声容限： V_{off} V_{on}
 在保证逻辑门正常逻辑功能情况下，输入端所能承受的最大干扰电压值

$V_i : 0 \rightarrow 0.7 \rightarrow 1.4(V_T = 1.4V) \rightarrow > 1.4V$

$V_{b1} : 0.7 \rightarrow 1.4 \rightarrow 2.1 \longrightarrow > 2.1V$

$V_o : 3.6 \rightarrow 3.6 \rightarrow 2.8 \xrightarrow{V_o \downarrow \downarrow \downarrow} 0.3V$

V_T : 阈值电压（门坎电压）

TTL 系列: (典型值)

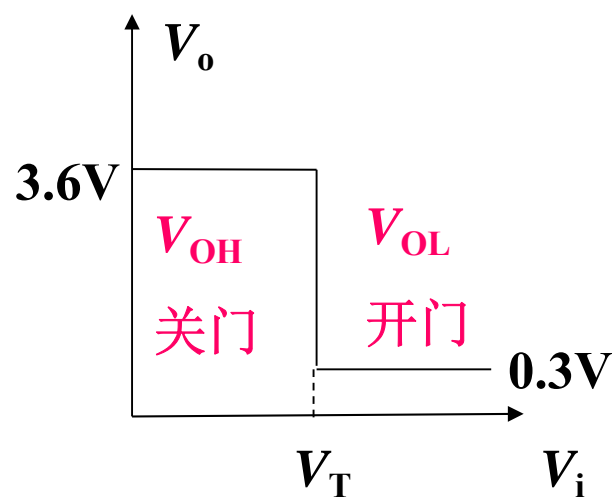
高电平1: 2.8~3.6V;

低电平0: 0~0.3V.

2.5.3 电气特性

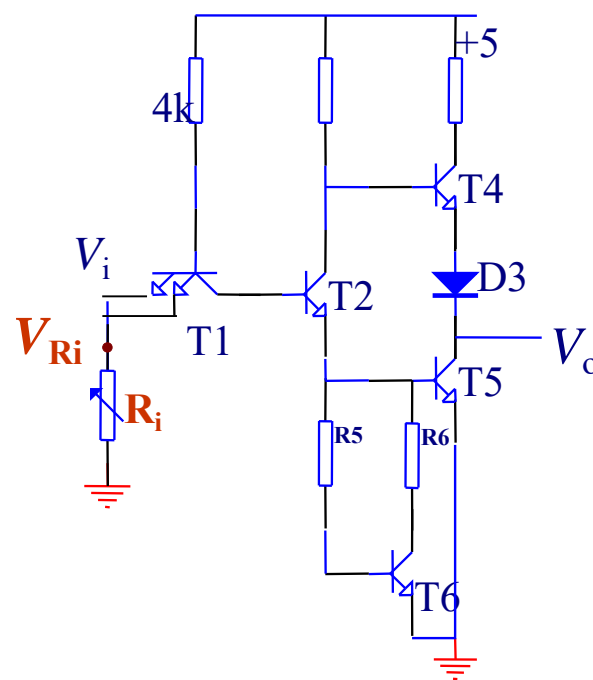
1. 输入负载特性

TTL与非门的理想电压传输特性如下



输入电阻 R_i

$$V_{Ri} = V_i$$



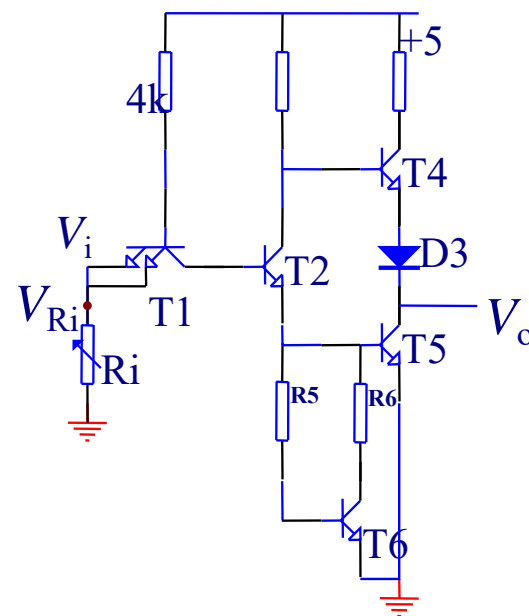
当电压 $V_T = 1.4V$ 时，输入电阻的大小是多少？

使用滑动变阻器 R_i 改变电压值

R_i 小, V_{Ri} 低 $\xrightarrow{\text{对应}}$ 输入低电平

R_i 大, V_{Ri} 高 $\xrightarrow{\text{对应}}$ 输入高电平

$$V_{Ri} = \frac{R_i}{4 \times 10^3 + R_i} (5 - 0.7) = 1.4V \quad (V_T)$$

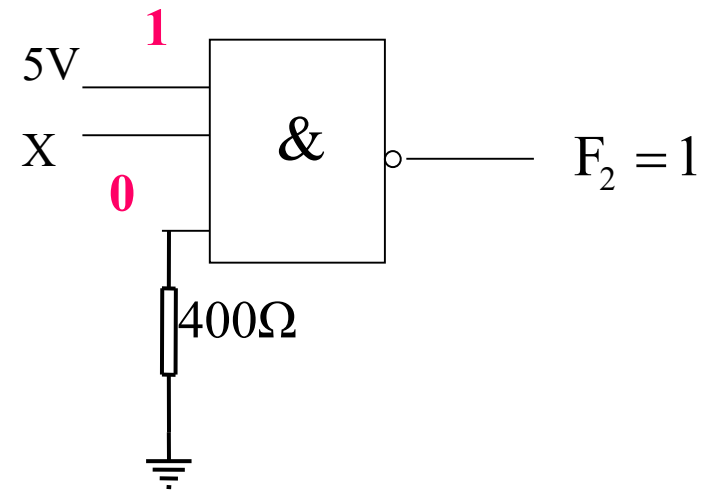
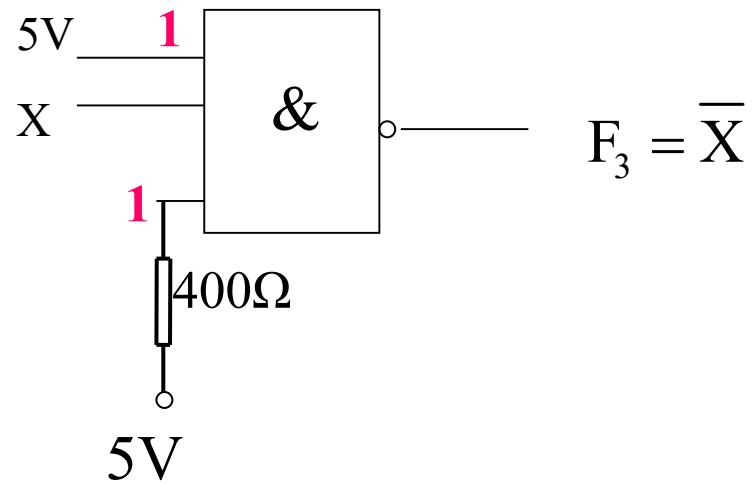
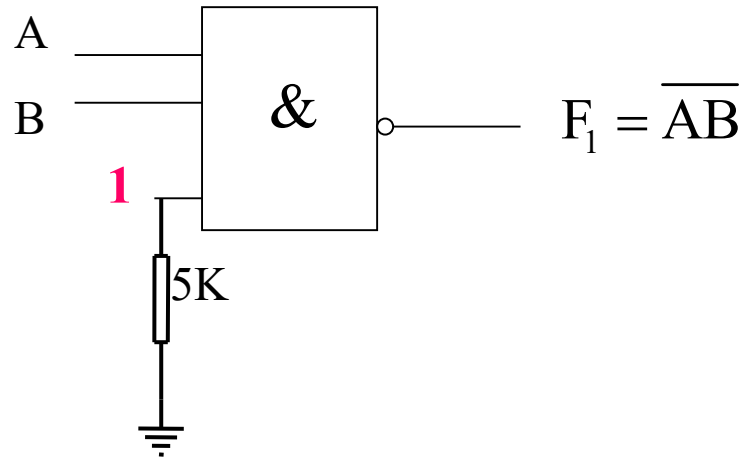


门坎电压时的 R_i $R_i = 1.9k\Omega \approx 2k\Omega = R_T$

R_T : 门坎电阻

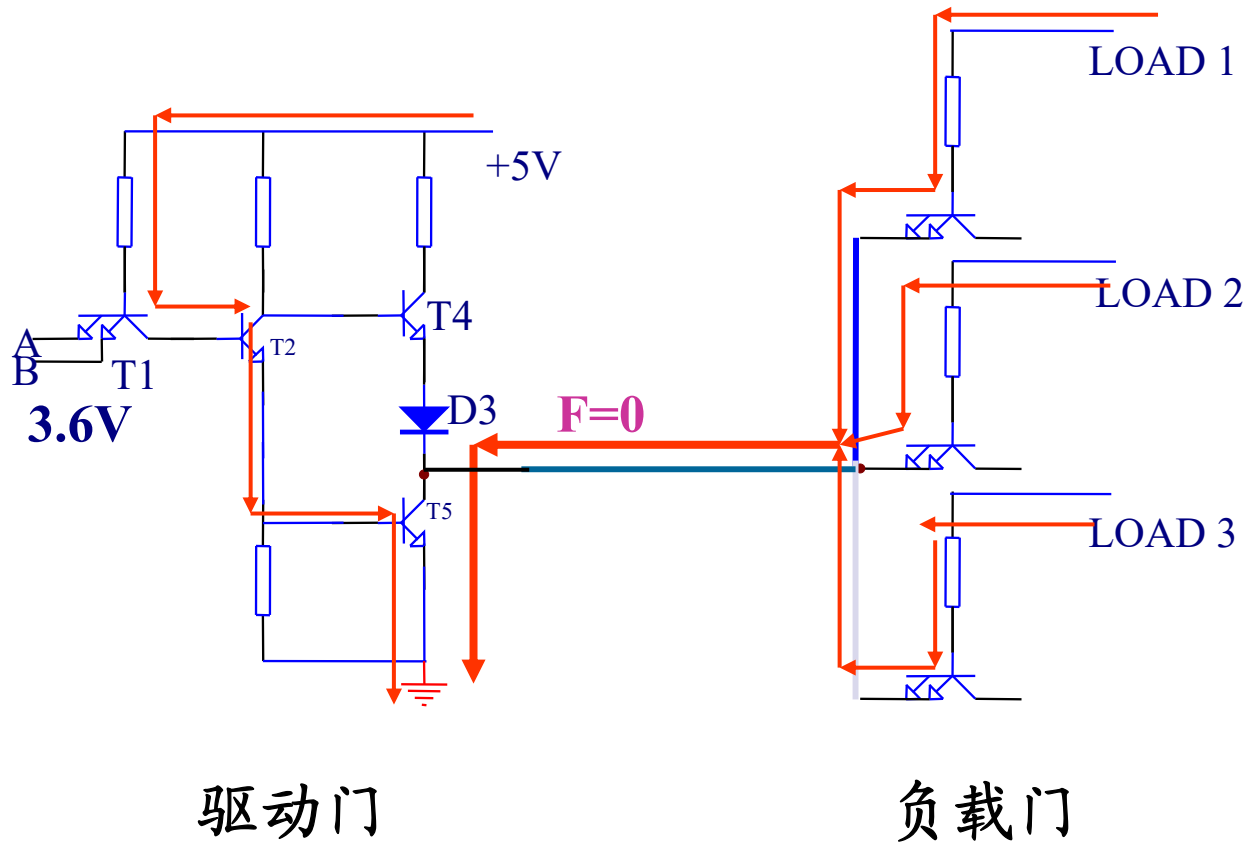
输入端负载电阻 R_i $\left\{ \begin{array}{l} R_i < R_T, \text{ 等同于逻辑低电平 (0)} \\ R_i > R_T, \text{ 等同于逻辑高电平 (1)} \\ R_i \text{ 对地悬空, } (\infty) \text{ 逻辑高 (1)} \end{array} \right.$

例如:



2. 输出特性（带负载能力 - 同类门）

1) 输出低 - 灌流负载



当 $F=0$ 时, 电流从 5V 处经过 T1, T2 和 T5 流向地

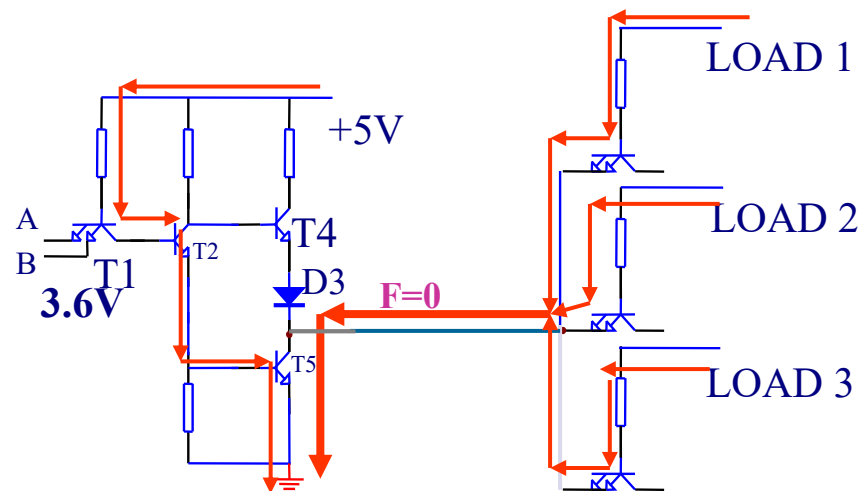
低电平输入

驱动门:

$$i_{b5} > 0, \quad I_{cs5} = 0,$$

$$\therefore i_{b5} \gg \frac{I_{cs5}}{\beta}$$

\therefore T5 深饱和



当驱动门输出端是低电平时，灌入驱动门的电流 I_i 称为灌电流。

$$I_i = \frac{5 - 0.7}{4k} = 1.1mA$$

灌入驱动门，这时的负载为灌流负载。

$$I_{\max} = 1.6mA$$

每路负载灌入的电流 1.1mA (1.6mA), $I_{cs5} \uparrow$ 变大, T5管饱和变浅, F上升, 输出脱离标准低电平。

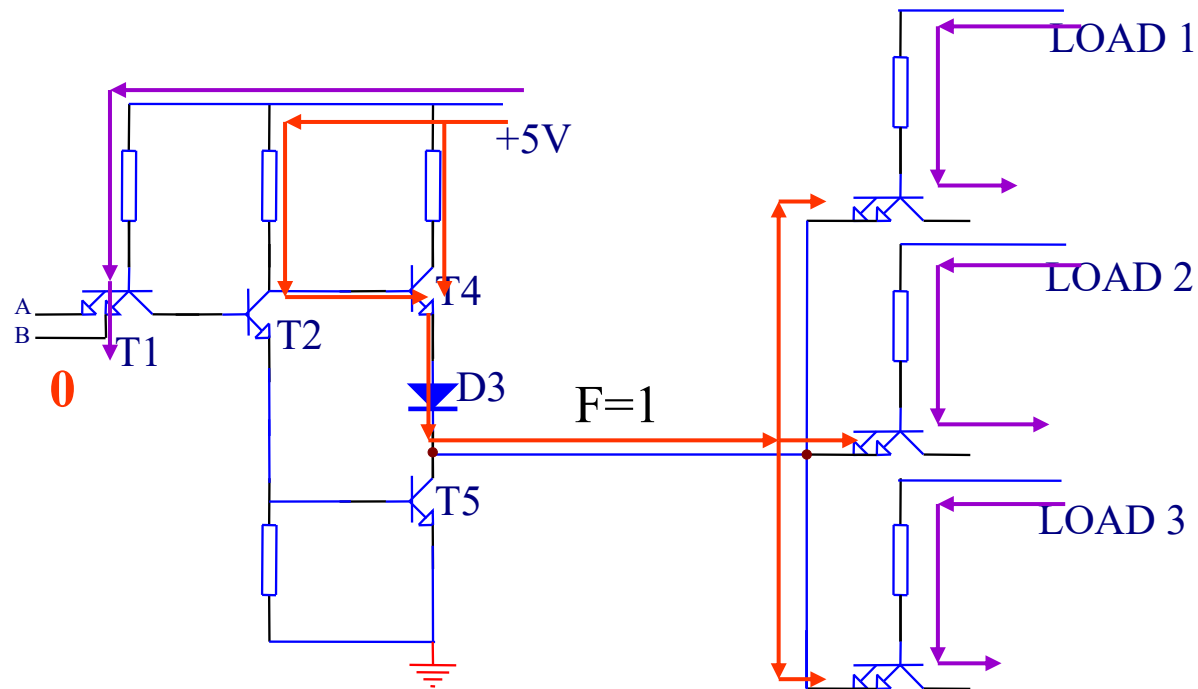
▲ 所以TTL门不可以驱动过多负载门, 能通过的最大电流为16mA.

扇出系数: 一个输出电路所能驱动的同类门的最大数目。

$$N = \frac{16mA}{1.6mA} = 10$$

手册上规定:
一般地 $N \leq 8$

2 输出高 - 拉流负载



驱动门

负载门

从 F 拉出的电流是负载门 T1 管的反向漏电流。

驱动门输出高电平时，要承受各负载门的拉电流。
拉电流越大，驱动门中 R4 上压降越大。F 非高非低，脱离标准逻辑高电平。

每个负载门的漏电流为 $40\mu\text{A}$ ，驱动门最大允许拉电流 $400\mu\text{A}$

$$\text{扇出系数} = \frac{400\mu\text{A}}{40\mu\text{A}} = 10$$

扇出系数与灌电流时相同：

手册规定： $N \leq 8$

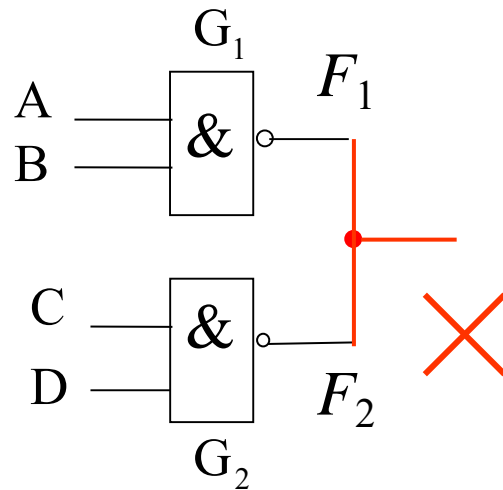
2.5.4 其他类型TTL门电路

5. 集电极开路的大门电路（OC门）

如果计算

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD}$$

需要把输出端连在一起。

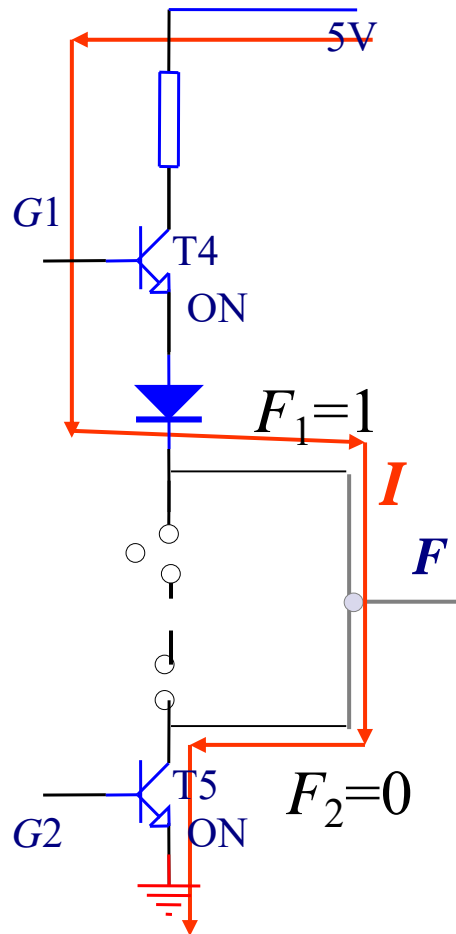


$$\begin{aligned} F &= F_1 \cdot F_2 \\ &= \overline{AB} \cdot \overline{CD} \end{aligned}$$

这种连接方式叫做线与。

普通TTL门电路禁止这种连接方法

原因：



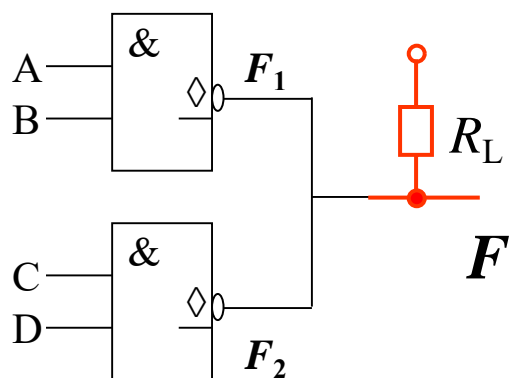
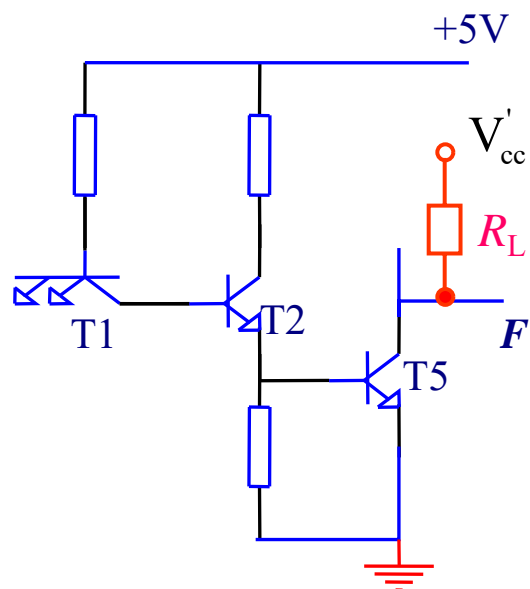
TTL门电路输出阻抗很低，如果G1输出高电平，G2输出低电平，那么会有很大的电流从G1 T4流向G2 T5。

导致结果：

I { $G2$ T5 烧毁
输出 F 不符合标准级

逻辑级既不是1也不是0，
逻辑错误

OC门:



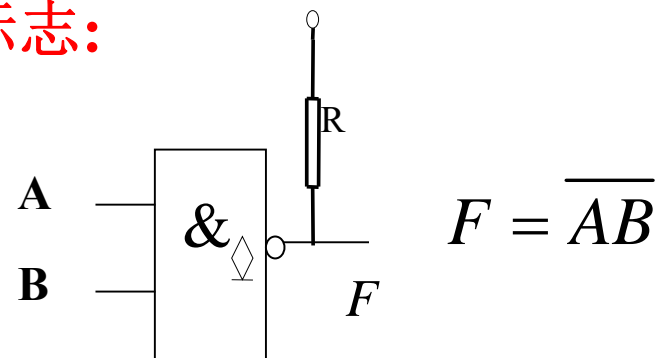
(负载电阻的计算, 见 P. 23)

集电极开路与非门没有 T4 管和 D3 管, 用外接负载电阻 R_L 来代替。

实现高电平:

选择合适的 V'_{cc} 和 R_L

OC 门标志:



OC门的输出端可以直接线与

$$F = F_1 \cdot F_2 = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

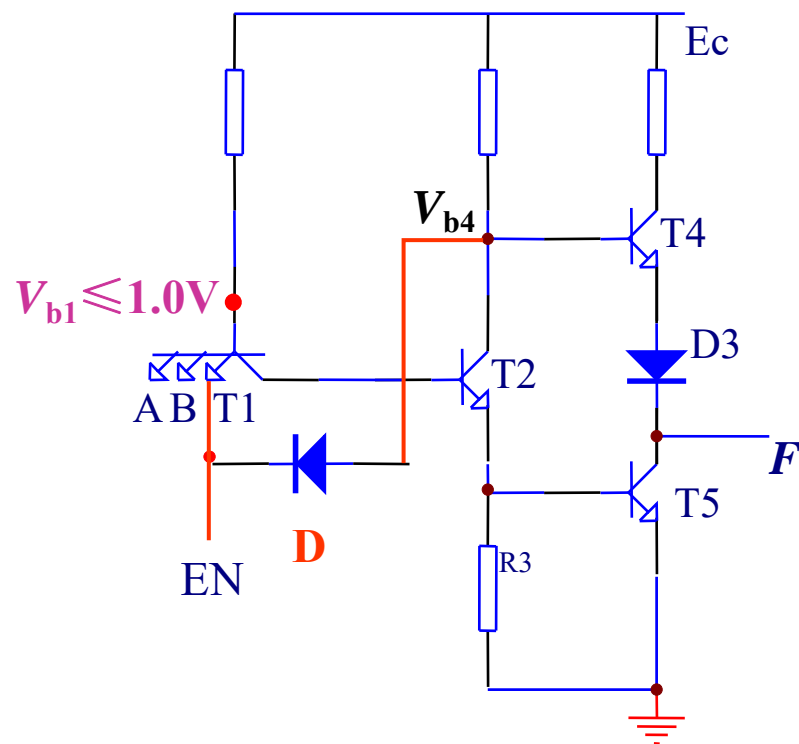
6. 三态门（TSL 门）

三种输出状态：高电平，低电平，悬空 状态(对地高阻抗)。

悬空状态是指， T_4 和 T_5 管均截止，致使电路输出对地和电源 E_c 均呈现高阻状态。

也就是说，输出端是开路或悬空，既不是高电平也不是低电平。

实际上，输出端并不是实际的开路，而是相对于地和电源阻抗很大。



TTL 与非门

二极管与T1发射极和 T4基极 相连。

高电平有效三态门

EN = 1, D 关闭, 电路工作, $F = \overline{AB}$

EN = 0, **T1 导通**, $V_{b1} \leq 1.0V$ **T2 T5 截止**

D 导通, $V_{b4} \leq 1.0V$

T4 D3 截止

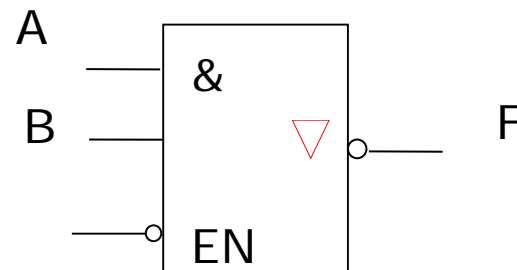
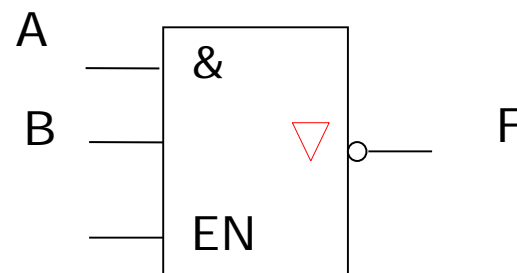
} **F: 高阻**
悬空

TSL门

高电平有效 $\begin{cases} \text{EN}=1, F=\overline{AB} \\ \text{EN}=0, F: \text{Hi-Z} \end{cases}$

低电平有效 $\begin{cases} \text{EN}=0, F=\overline{AB} \\ \text{EN}=1, F: \text{Hi-Z} \end{cases}$

逻辑符号

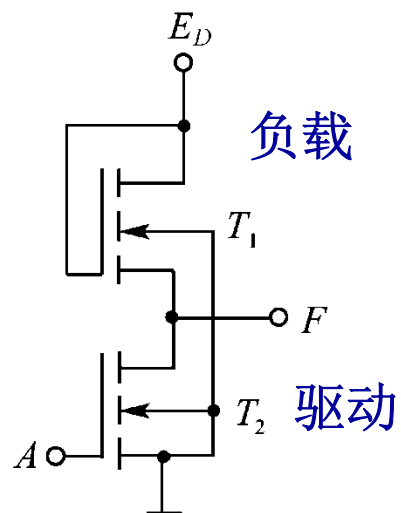


§2.6 门电路

2.6.1 NMOS 门电路

1. NMOS反相器（非门）

NMOS 反相器包含两个 N沟道场效应管：



T_1 ：负载管

T_2 ：驱动管

负载管 T_1 栅极接 E_D ，总是导通，
基本作用为负载电阻

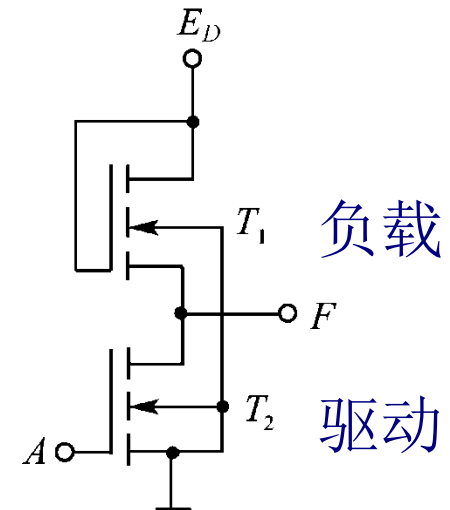
$$R_{ON1} = 100k\Omega$$

输入 $A = 0 \text{ V}$ (逻辑0), $V_{GS2} < V_T$,

T_2 截止, $R_{off} \geq 10^{10} \Omega$

输出:
$$F = \frac{10^{10}}{10^5 + 10^{10}} \times E_D \approx E_D$$

$F = E_D$ (逻辑1) $\therefore A = 0, F = 1$



输入 $A = 5 \text{ V}$ (逻辑 1), $V_{GS} > V_T$, T_2 导通, $R_{on2} = 1 \text{ k}\Omega$

$$F = \frac{R_{ON2}}{R_{ON1} + R_{ON2}} \cdot E_D = \frac{1}{100 + 1} E_D \approx 0.01 E_D \approx 0 \quad \therefore F = 0 \text{ (逻辑 0)}$$

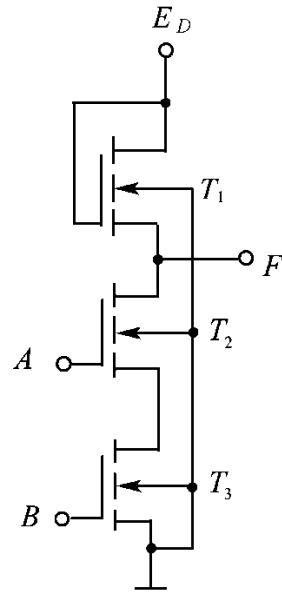
真值表

A	T_1	T_2	F
0	导通	截止	1
1	导通	导通	0

功能

$$F = \overline{A}$$

2. NMOS 与非门



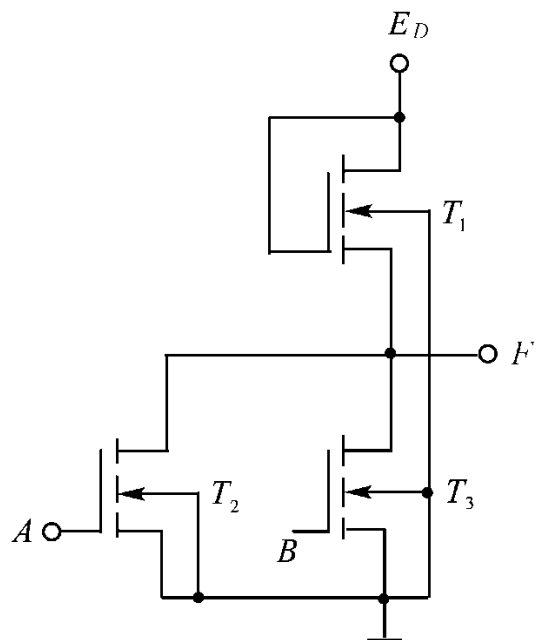
A和**B**控制 **T₂** 和 **T₃**两个驱动管，使之串联在一起。

A	B	T ₁	T ₂	T ₃	F
0	0	导通	截止	截止	1
0	1	导通	截止	导通	1
1	0	导通	导通	截止	1
1	1	导通	导通	导通	0

真值表中列出：输入情况、FET的状态以及输出情况。

$$\therefore \text{输出} \quad F = \overline{AB}$$

3. NMOS 或非门



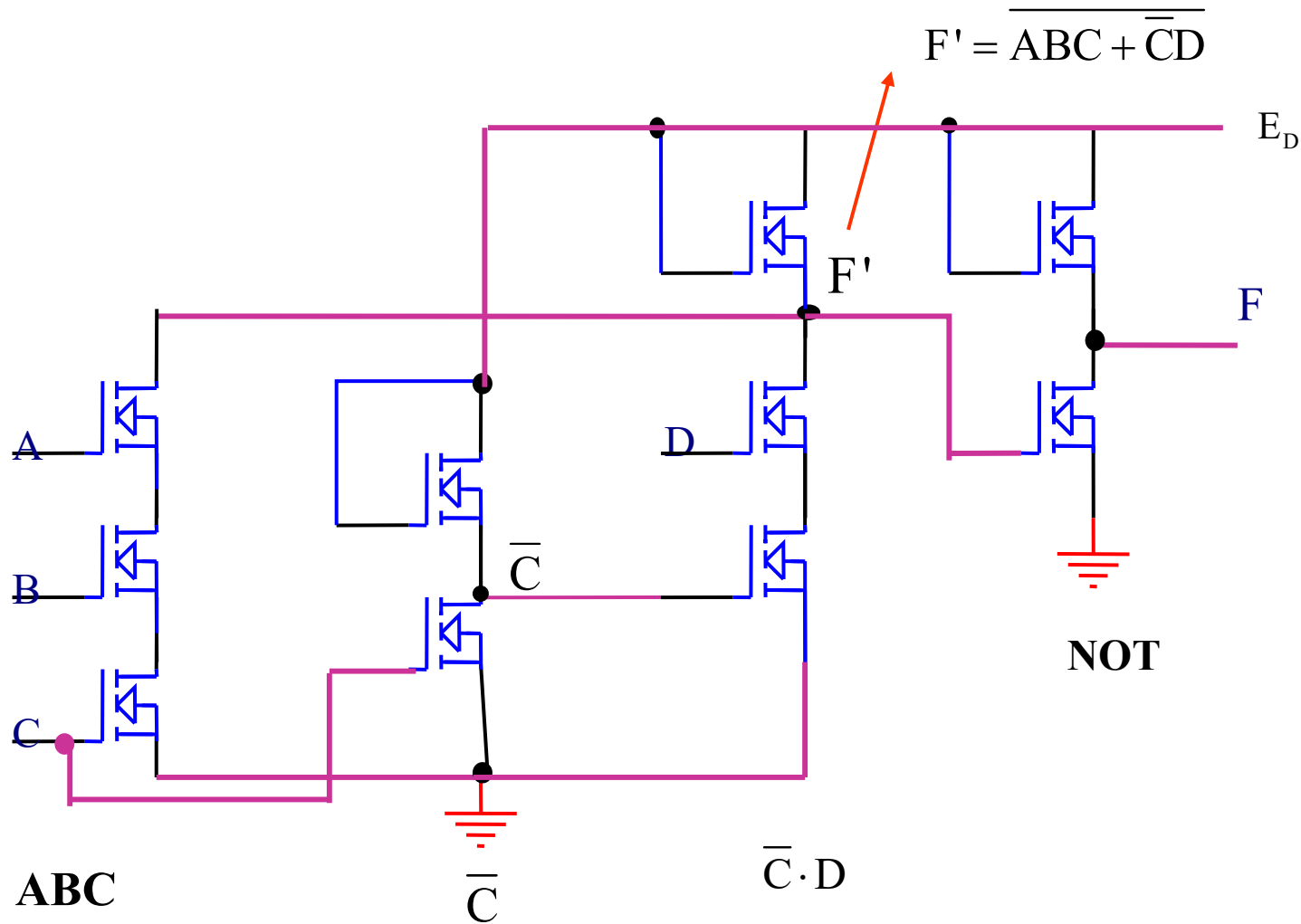
A	B	T ₁	T ₂	T ₃	F
0	0	导通	截止	截止	1
0	1	导通	截止	导通	0
1	0	导通	导通	截止	0
1	1	导通	导通	导通	0

A和**B**控制 **T₂** 和 **T₃**两个驱动管，
使之并联在一起。

$$\therefore F = \overline{A + B}$$

4. 例如:

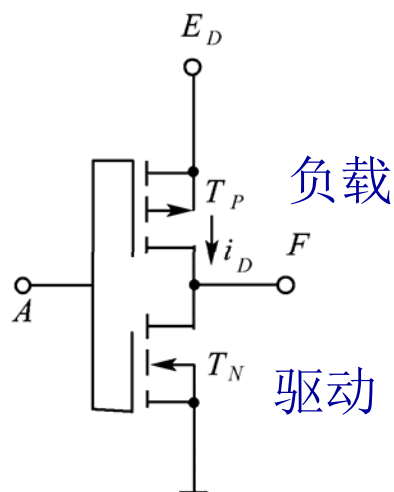
请根据 $F = ABC + \overline{C}D$ 画出一个NMOS电路图:



2.6.2 CMOS 电路

Complementary MOS (互补型MOS)

1. CMOS 非门



A	T_P	T_N	F
0	导通	截止	1
1	截止	导通	0

实现非门 $F = \overline{A}$

PMOS: 负载管 NMOS: 驱动管

$$E_D = 10V$$

$$E_D > (V_{TN} + |V_{TP}|) \quad V_{TN} = |V_{TP}|$$

大于两门坎电压代数和

$A = 0$, T_N 截止, T_P 导通

$$(V_{GSN} < V_{TN}, V_{GSP} = 0 - E_D = -E_D$$

$$|V_{GSP}| > |V_{TP}|)$$

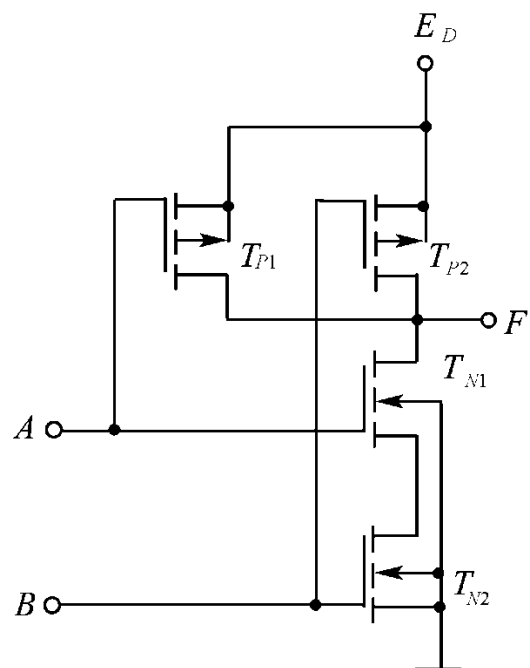
$$F = E_D = 1$$

$A = 1$, T_N 导通, T_P 截止

$$(V_{GSP} = E_D - E_D = 0 < |V_{TP}|)$$

$$F = 0$$

2. CMOS 与非门:



A	B	T_{n1}	T_{n2}	T_{p1}	T_{p2}	F
0	0	截止	截止	导通	导通	1
0	1	截止	导通	导通	截止	1
1	0	导通	截止	截止	导通	1
1	1	导通	导通	截止	截止	0

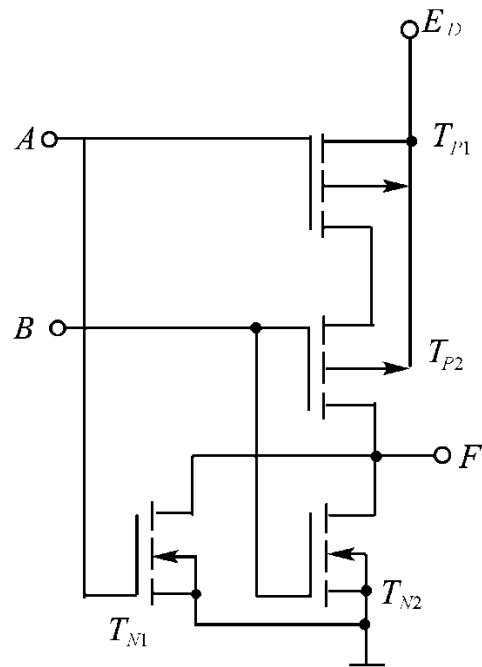
驱动管 T_{n1} 和 T_{n2} 串连相连,

负载管 T_{p1} 和 T_{p2} 并联相连。

功能: 与非

$$F = \overline{AB}$$

3. CMOS 或非门:



A	B	T_{n1}	T_{n2}	T_{p1}	T_{p2}	F
0	0	截止	截止	导通	导通	1
0	1	截止	导通	导通	截止	0
1	0	导通	截止	截止	导通	0
1	1	导通	导通	截止	截止	0

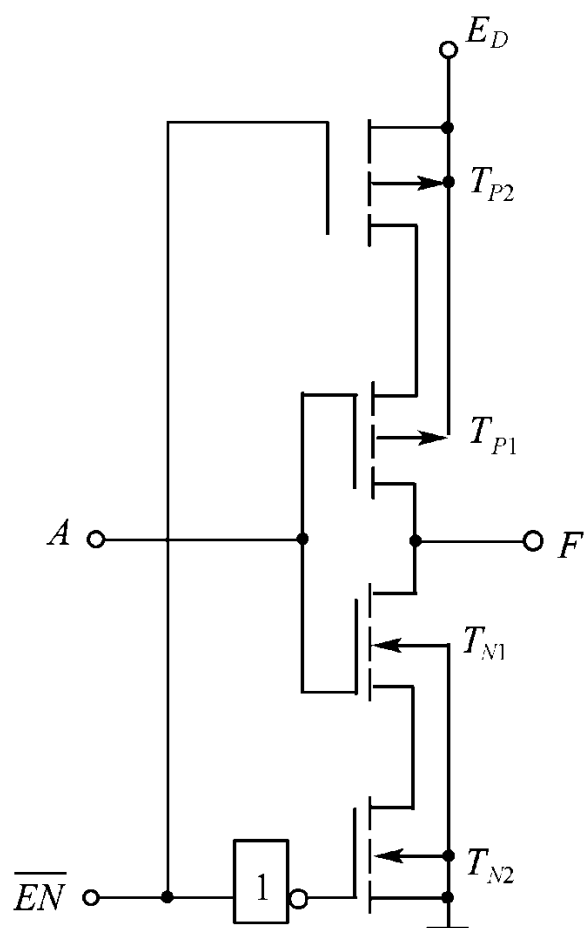
驱动管 T_{n1} 和 T_{n2} 并联相连,

负载管 T_{p1} 和 T_{p2} 串联相连。

功能: 或非

$$F = \overline{A+B}$$

4. CMOS 三态门



低电平使能

T_{P1} 、 T_{N1} ：反相器

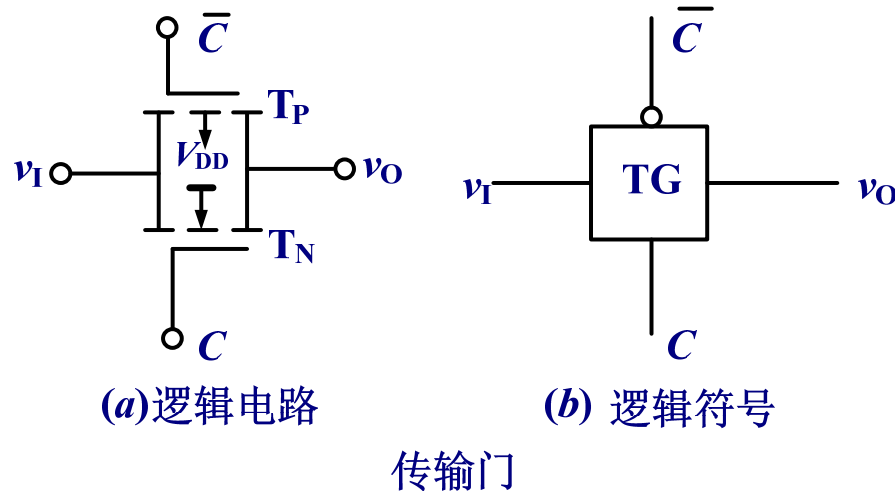
增加的 T_{N2} 和 T_{P2} 分别与与驱动管 T_{N1} 和负载管 T_{P1} 串接.

$\overline{EN}=1$ $\left\{ \begin{array}{l} T_{N2}、T_{P2} \text{ 截止,} \\ F \text{ 悬空 (对地高阻抗)} \end{array} \right.$

$\overline{EN}=0$ $\left\{ \begin{array}{l} T_{N2}、T_{P2} \text{ 导通} \\ T_{N1}、T_{P1} \text{ 组成的非门工作} \\ F = \overline{A} \end{array} \right.$

5. CMOS传输门

- CMOS传输门是逻辑电路的一种基本单元电路，其功能是一种传输信号可控开关电路。
- CMOS传输门电路如左下图所示。

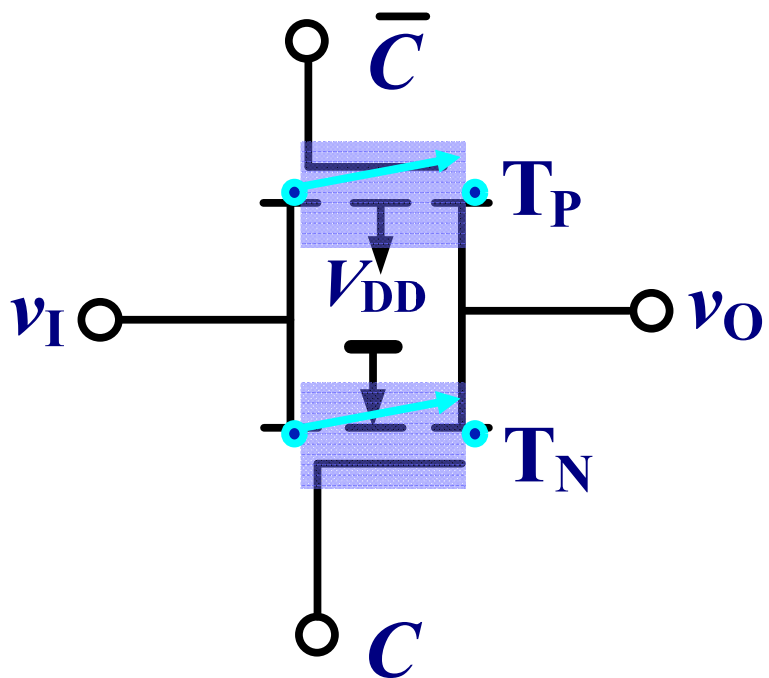


- 它是利用结构上完全对称的NMOS管和PMOS管，按闭环互补形式连接而成的一种双向传输开关。

($C=10V, \bar{C}=0V$ 或
 $C=0V, \bar{C}=10V$)

- 传输门的导通电阻很低，约几百欧姆，相当于开关接通，其截止电阻很高，可大于 10^9 欧姆，相当于开关断开。接近于理想开关。
- 工作条件: 设 T_N 和 T_P 的 $|V_T|=3V$, $v_i=0V\sim 10V$ 。

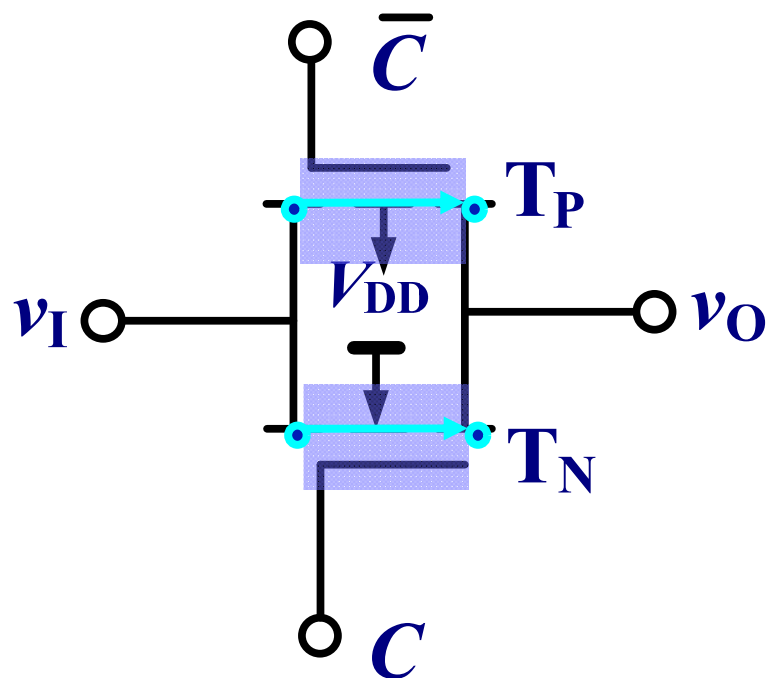
● 工作原理:



(a) 逻辑电路

若 $C=0V$ ， $\overline{C}=10V$ 时， T_N 和 T_P 同时截止，故传输门截止，则输入和输出之间呈现高阻态，相当于开关断开；

● 工作原理:



(a) 逻辑电路

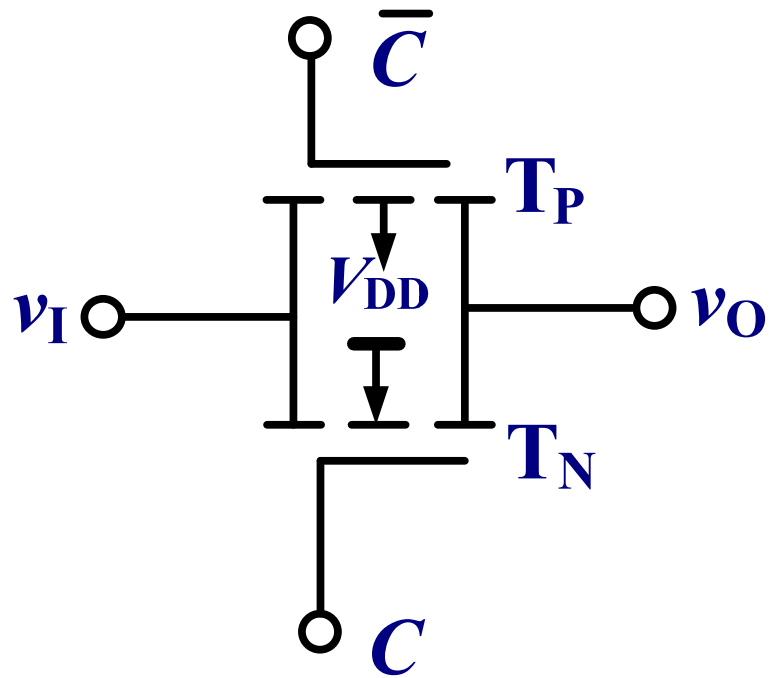
若 $C=10V$, $\bar{C}=0V$ 且 v_I 在 $0\sim7V$ 之间变化时, T_N 管导通;

而 v_I 在 $3\sim10V$ 之间变化时, T_P 管导通;

故 v_I 在 $3\sim7V$ 之间变化时, T_N 、 T_P 管均导通。

输入和输出之间呈现低阻状态, 相当于开关接通。

- 结论:

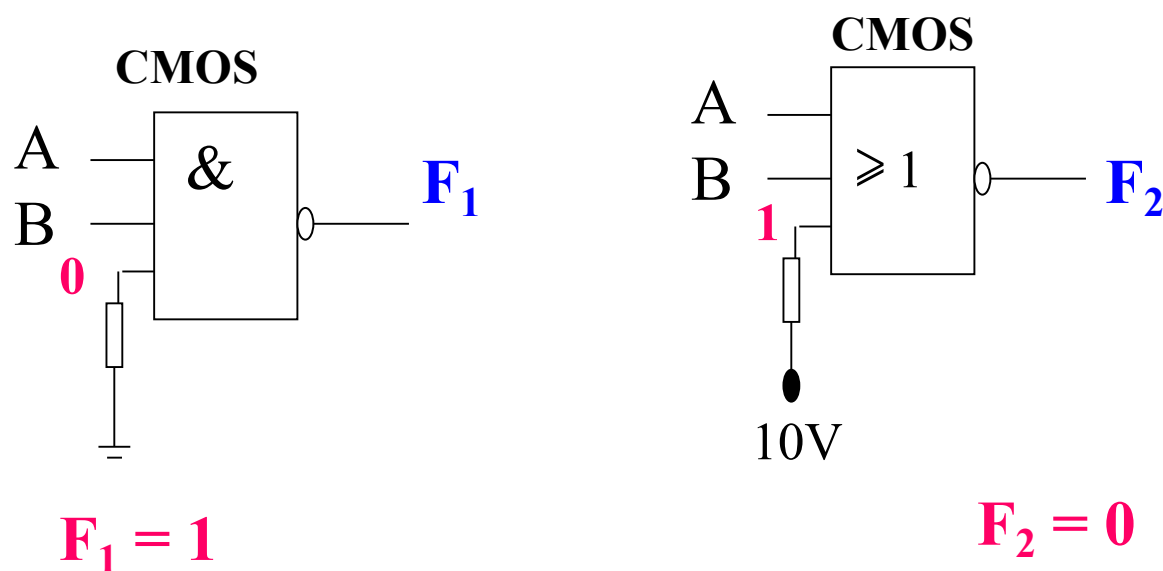


(a) 逻辑电路

- 由此可见, CMOS传输门的导通和截止取决于控制端所加的电平。

$C=1, \overline{C}=0$ 时,
传输门导通;
 $C=0, \overline{C}=1$ 时,
传输门截止。

MOS电路的输入电阻 $R_{GS} : > 10^{10} \Omega$, 因此不管外部输入电阻多大, 均有 $\text{GND} \rightarrow 0, E_c \rightarrow 1$ 。



CMOS 电路不用的输入端一定不能悬空 (静电保护)

悬空时入端无电流, 高输入阻抗 ($>10^{10} \Omega$) 会使沟道被静电击穿

小 结

- 基本逻辑运算——“与”、“或”、“非”及其基本逻辑门电路
- 复合逻辑门电路的符号、真值表、功能、表达式
- TTL与非门
 - 工作原理、电压传输特性、输入/输出特性
- NMOS和CMOS逻辑门电路

课后作业:

2 . 3

2 . 16

2 . 4

2 . 17

2 . 5

2 . 21

2 .10 (F_1)

2 .13 (F_1)