

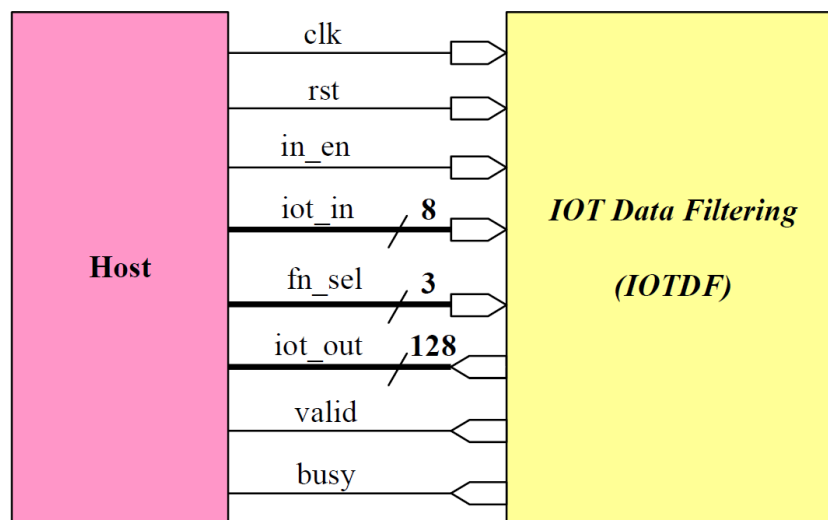
2024 ICD HW3 - Synthesis

IoT Data Filtering

問題描述

經過 HW2 - RTL 的練習後，我們已經以 verilog 做出 IoT Data Filtering 的 RTL 版本，接著在 HW3 的作業中，我們將會把 RTL 經由 EDA tool - Design Vision 來將 RTL 轉為 Gata Level, 此過程稱為合成(Synthesis)。

系統方塊圖

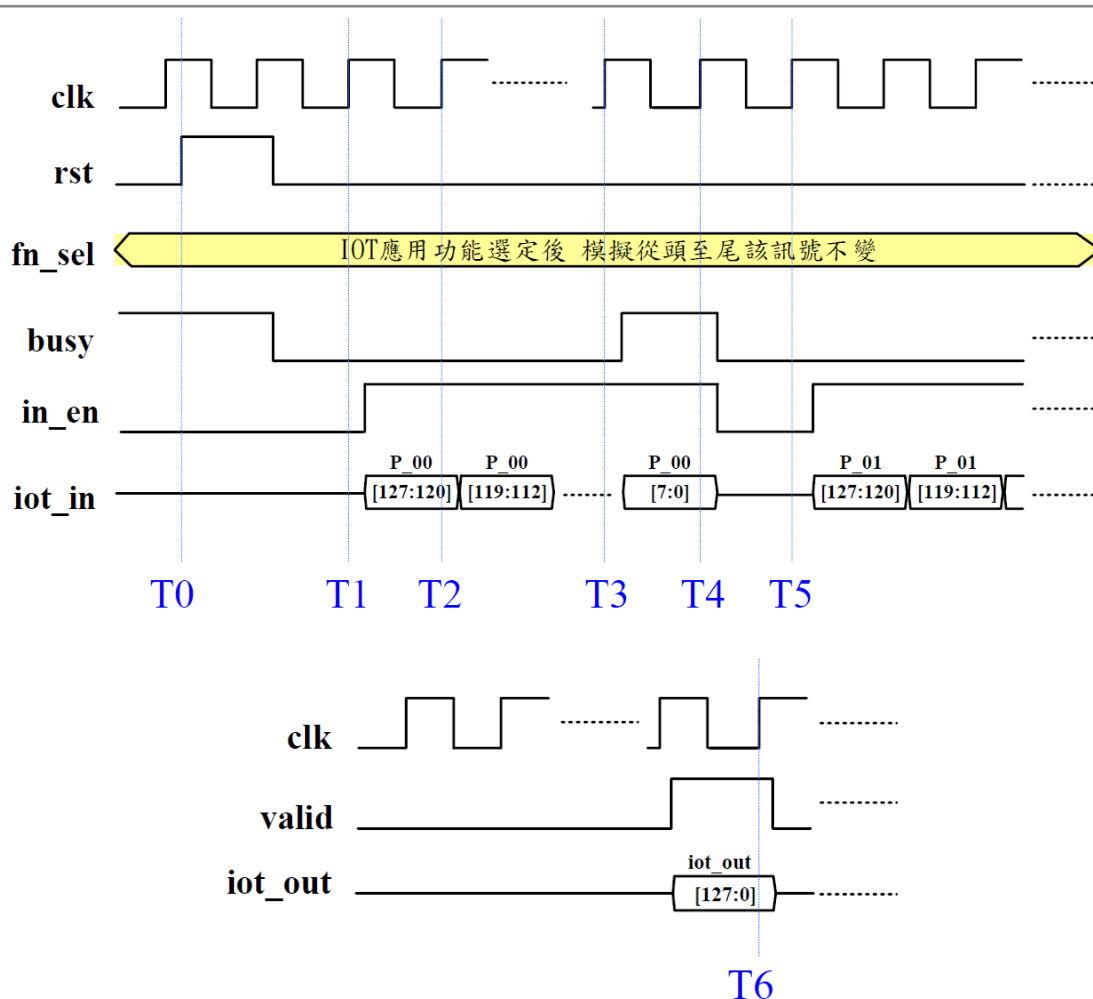


輸入/輸出介面

信號名稱	輸入/出	位元寬度	說明
clk	I	1	時脈信號，本系統為同步於時脈正緣設計。
rst	I	1	高位準非同步(active high asynchronous)之系統重製訊號。
in_en	I	1	當busy訊號為low, in_en訊號會被置為high以獲取新數據。反之，當busy訊號為low, in_en訊號會被置為high。當所有資料輸入完畢後，該訊號到模擬結束前將永遠被維持在low。
iot_in	I	8	Host端會透過此匯流排將每筆128bits資料，每次以8bits作輸入，共計16個Cycles後即可送完一筆資料。本次作業共有60筆資料。
fn_sel	I	3	本次作業有二種應用功能，透過此訊號可做為二

			種功能的切換，每次模擬只會固定選擇某一種功能，模擬過程中不會任意切換另一種功能。
iot_out	O	128	IOTDF電路會透過此匯流排將運算結果輸出至Host端，每次以128bits直接輸出(僅需花1個Cycle時間)。
busy	O	1	其動作已描述於in_en說明處。
valid	O	1	當valid訊號為high時，表示目前輸出的iot_out資料為有效的輸出。反之，則輸出low。

系統功能描述



1. T0 ~ T1 時間點, IOTDF 電路初始化。
2. T1時間點, Host端判斷busy訊號為low, 隨即in_en拉為high, 同時輸入IoT Data P_00[127:120] 這區間的資料。
3. T2 時間點, Host 端判斷 busy 訊號為 low, in_en 繼續維持 high, 繼續輸入 IoT Data 下一個區間 P_00[119:112]的資料, T1~T2 這區間即為連續資料輸入的範例。

4. T3 時間點, Host 端判斷 busy 訊號依舊為 low, in_en 繼續維持 high, 繼續輸入 IoT Data 最後一個區間 P_00[7:0]的資料。
5. T4 時間點, Host 端判斷 busy 訊號為 high, 隨即 in_en 為 low, IoT Data 此時輸入為 0, 表示 暫停資料輸入。
6. T1~T4 這區間為輸入完整 1 筆 IoT Data 的範例, 共計花費 16 個 Cycles, 這過程中若有需要暫停輸入, 可以自行將 busy 訊號拉為 high。
7. T5時間點以後, 請自行重覆T1 ~ T4動作之行為, 即可讓Host端繼續輸入下一筆IoT Data P_01 的資料。
8. T6 時間點, 當 IOTDF 電路運算過程需要作輸出時, 請自行將 valid 訊號拉為 high, 同時將欲輸出值透過 iot_out[127:0]直接輸出即可。

本電路之兩個Functions是透過fn_sel訊號作選擇, 其對照如下表:

	fn_sel	功能	說明
F1	3'b001	Gray2Bin(N)	將每筆資料Gray code轉換為Binary code
F2	3'b010	FIR(N)	將每筆資料分別以FIR濾波器做處理

檔案說明

資料夾	檔案	說明
00_TESTBED	tb_syn.v	測試樣本檔
00_TESTBED/pattern1_data	pattern1.dat	模擬時輸入的60筆IoT Data, 2種functions 皆使用同一組測試樣本
00_TESTBED/pattern1_data	f1.dat~f2.dat	作為模擬時, 2種functions的輸出值與標準解答作比對
01_RTL	IOTDF.v	請同學沿用HW2的檔案。如有需要, 可以自行修改
02_SYN	syn_02.f	本作業會使用的各種檔案路徑, 若有新增.v檔的話, 必須將路徑加入此檔案
02_SYN	synthesis.tcl	合成用的 design constraint cycle 可依自己設定來更動, 但其餘部分請勿更改
02_SYN	synopsys_dc.enc	design vision 所需的設定檔(已加密), 請置於02_SYN資料夾, 並在此資料夾開啟 dv。注意此為隱藏檔

02_SYN	tsmc13.enc	Gate level simulation 所使用的 process file(已加密)
	report.docx	report template, 記錄 synthesis 過程用 完成後請轉成 pdf 並將檔名取為 bxx901xxx_report.pdf

SYN指令

- 使用 design vision 指令如下:

```
cd your_hw3_path/02_SYN/
source ~/.cshrc_icd
cp ../01_RTL/IOTDF.v ../02_SYN/IOTDF.v
openssl enc -d -aes-256-cbc -in tsmc13.enc -out tsmc13.v -pass pass:[HW3 password]
openssl enc -d -aes-256-cbc -in synopsys_dc.enc -out .synopsys_dc.setup -pass
pass:[HW3 password]
dv &
```

其餘步驟請參考 Week5 的講義 20240319_Design Compiler.pdf

- 使用 vcs 模擬指令範例如下:

```
vcs -f syn_02.f -full64 -R +neg_tchk -debug_access+all +v2k +define+p1+F1+SYN
```

註: 本次作業有2組測試樣本及2種functions, 請自行使用+define+p1+F1、
+define+p1+F2、+define+p2+F1、+define+p2+F2參數作切換

模擬結果

若模擬結果都正確的話, 應該可以看到如下圖的結果。

- 模擬結果正確

```
P56: ** Correct!! ** , iot_out=1575cd954a708a4a899883a17973b6b0
P57: ** Correct!! ** , iot_out=0b527d2c336173c89f4e535b6932356d
P58: ** Correct!! ** , iot_out=03335b3b656443553d2f577964c1cc85
P59: ** Correct!! ** , iot_out=17697e689a495fd09f79a361454d97ad

-----

Congratulations! All data have been generated successfully!

Total cost time: 12030.00 ns
-----PASS-----
```

- 有錯誤時, 則會出現

```
-----  
Final Simulation Result as below:  
-----
```

```
Pass:      0
```

```
Error:     60  
-----
```

➤ 模擬時間超過End_CYCLE

```
-----  
Error!!! There is something wrong with your code ...!  
-----The test result is .....FAIL -----  
-----
```

作業要求

1. 通過testbench的Gate Level 模擬

No-latch (screenshot)

```
Inferred memory devices in process  
in routine IOTDF line 173 in file  
'/home/raid7_2/user11/r11131/ICD/HW3/02_SYN/IOTDF.v'.  
=====
```

Register Name	Type	Width	Bus	MB	AR	AS	SR	SS	ST
bin_buffer_r_reg	Flip-flop	128	Y	N	Y	N	N	N	N
clz_end_r_reg	Flip-flop	1	N	N	Y	N	N	N	N
state_r_reg	Flip-flop	2	Y	N	N	Y	N	N	N
cnt_read_r_reg	Flip-flop	7	Y	N	Y	N	N	N	N
read_buffer_r_reg	Flip-flop	16	Y	N	Y	N	N	N	N
iot_output_r_reg	Flip-flop	128	Y	N	Y	N	N	N	N
state_comp_r_reg	Flip-flop	2	Y	N	Y	N	N	N	N
iot_in_r_reg	Flip-flop	8	Y	N	Y	N	N	N	N
g_buffer_r_reg	Flip-flop	1	N	N	Y	N	N	N	N

```
=====
```

```
Presto compilation completed successfully.
```

Positive slack (screenshot)

clock uncertainty	-0.10	10.90
bin_buffer_r_reg[6]/CK (DFFRX1)	0.00	10.90 r
library setup time	-0.15	10.75
data required time		10.75

data required time		10.75
data arrival time		-6.24

slack (MET)		4.52

2. Report 格式如下

Clock Cycle: 10 (ns)

```
`timescale 1ns/10ps
`define CYCLE      10.0           //Modify your CYCLE
`define DEL        0.0           //Input latency (do not modify)
`define PAT_NUM    60
`define End_CYCLE  1000000
```

Cell Area: 13913.587545 (Please report **Total cell area**)

Total cell area:	13913.587545
Total area:	123020.821401

Total Time: 12030.00 (ns)

```
-----
Congratulations! All data have been generated successfully!
Total cost time: 12030.00 ns
-----PASS-----
```

3. 繳交檔案如下: HW3_b**901***.zip

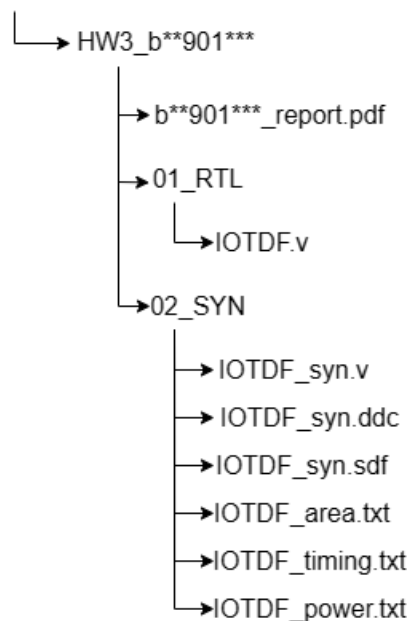
請將檔案打包進 HW3_b**901*** 資料夾再進行zip壓縮

參考指令如下:

```
zip -r HW3_b**901***.zip HW3_b**901***/
```

4. 請檢查交上來的壓縮檔內 HW3_b**901*** 資料夾中含以下檔案, 檔案格式、資料夾階層或命名方式與規定不同將本次作業成績扣10分。

HW3_b**901***.zip



繳交期限

[HW3] 4/30 14:20 以前上傳至 NTU cool,不接受遲交

同學如果有任何問題,請先盡量在討論區發問。如果要寄 email,請同時寄給兩位助教,記得在信件前加 [積體電路設計] 避免漏信。

助教 林克帆 r11943131@ntu.edu.tw

助教 謝承恩 r11943015@ntu.edu.tw

Appendix:

- synthesis.tcl: cycle可改, 其餘勿動。

```
1  set cycle 10 ;#clock period defined by designer
2
```

如有更動, tb_syn.v中的CYCLE需要同步更動

```
`timescale 1ns/10ps
`define CYCLE      10.0           //Modify your CYCLE
`define DEL        0.0           //Input latency (do not modify)
`define PAT_NUM    60
`define End_CYCLE  1000000
```