

注意：多选题每道题有声明，未声明的则为单选题或填空！

一、选择题

1. 主存储器和 CPU 之间增加高速缓冲存储器（Cache）的目的是（B）
A.支持虚拟存储技术
B.提高存储系统访问速度
C.扩大主存容量
D.简化存储管理
2. 计算机字长 32 位，主存容量为 128MB，按**字**编址，其寻址范围为（D）
A.0 ~ 16M-1
B.0 ~ 128M-1
C.0 ~ 64M-1
D.0 ~ 32M-1
3. 字位结构为 256K x 4 位 SRAM 存储芯片，其地址引脚与数据引脚之和为（B/18+4）
A.24
B.22
C.30
D.18
4. 某 SRAM 芯片，存储容量为 64K×16 位，该芯片的地址线 and 数据线数目分别为（ D ）。
A.64, 16
B.16, 64
C.64,64
D.16, 16
5. 假定用若干块 4K *4 位的存储芯片组成一个 8K*8 位的存储器，则地址 0B1F 所在芯片的最小地址是（ A ）。
A.0000H /0000H-0FFFH, 1000H-1FFFH,
B.0700H
C.0600H
D.0B00H
6. 计算机系统存储系统是指（B）
A.RAM 和 ROM 存储器
B.Cache、主存储器和外存储器
C.磁盘存储器
D.Cache

姓名

成绩单序号

7. 用若干片 $2K \times 4$ 位的存储芯片组成一个 $8K \times 8$ 位的存储器, 则地址 $0B1FH$ 所在的芯片在全局的最大地址是 (B)。 $0000H-07FFH$ **$0800H-0FFFH$** $1000H-17FFH$
A. $0BFFH$ B. $0FFFH$ C. $0CFFH$ D. $1BFFH$

8. 动态存储器刷新以 (B) 为单位进行
A. 存储单元
B. 行
C. 字节
D. 列

9. 下列存储器类型中, 速度最快的是 (B)。
A. DRAM B. SRAM C. EPROM D. Flash Memory

10. 某计算机字长 32 位, 下列地址属性中属于按双字长边界对齐的是 (D)
A. 存储器地址线低二位全部为 0
B. 存储器地址线最低为 0
C. 存储器地址线低三位取值随意
D. 存储器地址线低三位全部为 0 双字长=8 字节= 2^3

11. (多选) 关于内存的下列说法中, 错误的是 (ABD)
A. 内存的存取速度不能低于 CPU 速度, 否则会造成数据丢失
B. 某计算机内存容量为 8GB, 按字节编址, 那么它的地址总线为 33 位
C. 程序只有在数据和代码等被调入内存后才能运行
D. 采用虚拟内存技术后程序可以在硬盘上直接运行

解析: A、只影响存取速度, 不会导致数据丢失 B、同一台计算机可配置的内容容量可不同, 但其 CPU 选定后具有的地址线是确定, 因此, 不能根据计算机配置的内存容量去判断 CPU 的地址线, CPU 的地址是 CPU 的物理特性, 不随配置的主存容量而改变。因此, 只能说访问 8GB 的主存, 至少需要 CPU 具有 33 根地址线 C、这是冯诺依曼结构计算机的基本原理描述的事实 D、冯诺依曼结构计算机的工作原理说明 CPU 只能从主存中访问数据和指令

12. (多选) 下列关于 RAM 和 ROM 的叙述中, 正确的是 (BC)
A. ROM 和 RAM 都不需要刷新
B. RAM 是易失性存储器, ROM 是非失性存储器
C. RAM 和 ROM 都采用随机存取的方式进行访问
D. Cache 可选 RAM、ROM 做数据存储体

解析: A、动态 RAM, 即 DRAM 需要刷新 D、Cache 应该具有读写功能, 而 ROM 只有读功能, 因此不可能作为 Cache 的存储体

13. (多选) 不需要定时刷新的半导体存储器芯片是 (ABD)
A. EPROM B. SRAM C. DRAM D. Flash Memory

姓名

成绩单序号

14. (多选) DRAM 比 SRAM 慢, 可能的原因包括 (AC)

- A.DRAM 存储体行列地址线复用
- B.DRAM 存储单元采用了双译码结构
- C.DRAM 需要刷新
- D.DRAM 读之前需要预充电

15. (多选) 全部使用 4 片 32K*8 位的 SRAM 存储芯片, 可设计的存储器有 (ACD)

- A.32K* 32 位
- B.128K* 16 位
- C.128K* 8 位
- D.64K* 16 位

解析: A、这是只做位扩展的情况, 数据位从 8 位扩展到 32 位, 纯位扩展时容量不改变
B、只用 4 片 32K*8 位的 SRAM 存储芯片不可能构成出 128K* 16 位的存储器, 要 128K* 16/32K*8=8 片才可以满足 C、这是只做容量扩展(字扩展)的情况, 容量从 32K 扩展到 128 K, 纯字扩展时数据位不改变 D、这是字位同时扩展 2 倍的情况

16. (填空) 某计算机主存容量为 64K*16, 其中 ROM 区为 4K, 其余为 RAM 区, 按字节编址。现要用 2K*8 位的 ROM 芯片和 4K*8 位的 RAM 来设计该存储器, 则需要 RAM 芯片数是 (30) (填写阿拉伯数字即可)

解析: 主存空间总容量 64K, 其中 RAM 区的容量是 $64K - 4K = 60K$, 故需要容量是 4K*8 位的 RAM 芯片的数量是 $(60K*16 \text{ 位}) / (4K*8 \text{ 位}) = 30$

17. (填空) 设 $A=0x12345678$, 计算机内存地址为由低到高。则采用小端方式下, 最高地址存放的内容为 (只填写 2 位阿拉伯数字) (12)

18. 某计算机存储器按照字节编址, 采用小端方式存储数据, 假定编译器规定 int 和 short 型长度分别为 32 位和 16 位, 并且数据按照边界对齐存储。某 C 语言的程序段如下:

```
struct
{
    int a;
    char b;
    short c;
} record;
record.a = 273;
record.b = 't';
record.c = -12345;
```

若 record 变量的首地址为 0xC008, 则地址 0xC008 的内容是 0X (11) (只填写 2 个阿拉伯数字)

解析: 按边界对齐要求变量的起始地址必须能够被自身数据类型的大小整除。

对于 273, 十六进制是 0x111, 因此第一个低位字节存储 0x11, 再高一点的字节存储 0x01, 后面两个字节为空的不管。好了, 看存储 char b, 这个大小是 1 个字节, 存完之后, 如果紧接着就存 short c, 那么 c 的起始地址是个奇数, 不能被 2 整除。

因此在 char b 后留白一个字节

姓名

成绩单序号

19. 32 位处理器的最大虚拟地址空间为 (C)
A.2G B.8G C.4G D.16G
20. 在虚存、内存之间进行地址变换时，功能部件 (A) 将地址从虚拟 (逻辑) 地址空间映射到物理地址空间
A.MMU
B.Cache
C.TLB
D.DMA
21. 在程序执行过程中，Cache 与主存的地址映象是由 (C)
A.编译系统完成
B.用户编写程序完成
C.硬件自动完成
D.操作系统完成
- 22 在 Cache 的地址映射中，若主存中的任意一块均可映射到 Cache 内任意一行的位置上，则这种映射方法称为 (B)
A. 直接映射
B. 全相联映射
C. 混合映射
D. 2-路组相联映射
- 23 采用虚拟存储器的主要目的是 (D)
A.扩大外存储器的存储空间
B.提高外存储器的存取速度
C.提高主存储器的存取速度
D.扩大主存储器的存储空间， 且能进行自动管理和调度
- 24 虚拟存储器中， 程序执行过程中实现虚拟地址到物理地址映射部件 (系统) 是 (A)
A.操作系统和 MMU 配合完成
B.编译器完成
C.MMU 完成
D.应用程序完成
- 25 相联存储器是按(B)进行寻址访问的存储器
A.堆栈
B.内容
C.地址
D.队列
- 26 以下哪种情况能更好地发挥 Cache 的作用 (A)
A.程序具有较好的时间和空间局部性 B.递归子程序
C.程序中存在较多的函数调用 D.程序的大小不超过内存容量

姓名

成绩单序号

- 27 以下关于虚拟存储管理地址转换的叙述中错误的是（ D ）
- A.地址转换是指把逻辑地址转换为物理地址
 - B.MMU 在地址转换过程中要访问页表项
 - C.地址转换过程中可能会发生“缺页”
 - D.一般来说，逻辑地址比物理地址的位数少
- 28 假定主存按字节编址，cache 共有 64 行，采用 4 路组相联映射方式，主存块大小为 32 字节，所有编号都从 0 开始。问主存第 3000 号单元所在主存块对应的 cache 组号是（ B ）
- A.8
 - B.13 $3000/32=93$ （取整） $93\%16=13$
 - C.5
 - D.29
- 29 下列关于 MMU 的叙述中，错误的是（ D ）
- A.MMU 是存储管理部件
 - B.MMU 配合使用 TLB 地址转换速度更快
 - C.MMU 参与虚拟地址到物理地址的转换
 - D.MMU 负责主存地址到 Cache 地址的映射
- 30 下列关于主存与 cache 地址映射方式的叙述中正确的是（ C ）
- A.全相联映射方式比较适用于大容量 Cache
 - B.在 Cache 容量相等条件下，直接映射方式的命中率比组相联方式有更高的命中率
 - C.在 Cache 容量相等条件下，组相联方式的命中率比直接映射方式有更高的命中率
 - D.直接映射是一对一的映射关系，组相联映射是多对一的映射关系
- 31 下列关于 CaChe 的说法中，错误的是（ A ）
- A.读操作也要考虑 CaChe 与主存的一致性问题
 - B.CaChe 对程序员透明
 - C.CaChe 行大小与主存块大小一致
 - D.分离 CaChe(也称哈佛结构)是指存放指令的 CaChe 与存放数据 CaChe 分开设置
- 32 下列关于 CaChe 的论述中，正确的是（ B ）
- A.加快 CaChe 本身速度，比提高 CaChe 命中率更能提升存储系统的等效访问速度
 - B.采用直接映射时，CaChe 无需使用替换算法
 - C.CaChe 的容量与主存的容量差距越大越能提升存储系统的等效访问速度
 - D.采用最优替换算法，CaChe 的命中率可达到 100%
- 33 下列关于 Cache 的描述中正确的是（ C ）
- A.Cache 存储器中存放的内容是内存的副本
 - B.Cache 存储器的存取速度介于内存和磁盘之间
 - C.Cache 中存放正在处理的部分指令和数据
 - D.Cache 存储器是内存中的一个特定区域
- 34（多选）关于 TLB 和 Cache,下面哪些说法中正确的是(CD)

姓名

成绩单序号

- A. TLB miss 会造成程序执行出错, 但是 Cache miss 不会
- B. TLB 和 Cache 都采用虚拟地址访问
- C. TLB 和 Cache 中存的数据不同
- D. TLB 访问缺失(miss)后, 可能在 Cache 中直接找到页表内容

35 (多选) 下列关于存储系统的描述中正确的是(ABC)

- A. 当 Cache 未命中时, CPU 以直接访问主存, 而外存与 CPU 之间则没有直接通路
- B. Cache 和虚拟存储器这两种存储器管理策略都利用了程序的局部性原理
- C. 每个程序的虚地址空间可以远大于实地址空间, 也可以远小于实地址空间
- D. 多级存储体系由 cache、主存和虚拟存储器构成

36 (多选) 下列关于 TLB、cache 和虚存页(Page)命中组合情况中, 一次访存过程中可能发生的是(ABD)

- A. TLB 未命中、cache 未命中、Page 命中
- B. TLB 命中、cache 命中、Page 命中
- C. TLB 未命中、cache 命中、Page 未命中
- D. TLB 未命中、cache 命中、Page 命中

37 (填空) 在请求分页存储管理方案中, 若某用户空间为 16 个页面, 页长 1KB, 虚页号 0、1、2、3、4 对应的物理页号分别为 1、5、3、7、2。则逻辑地址 A2CH 所对应的物理地址为(E2C)H (只需填数字和字母, 不需要在最后带 H, 如有字母一定要大写, 字母之间以及字母和数字间不留空格)

虚地址 1010 0010 1100

实地址 1110 0010 1100

38 (填空) 计算机主存容量 8MB, 分为 4096 个主存块, Cache 数据区容量为 64KB, 若 Cache 采用直接映射方式, 则 Cache 的总行数为(32) (只需要填写阿拉伯数字)

解析: $64K/(8M/4096)=32$

39 (填空) 一个组相联高速缓存由 64 个字块组成, 每个字块有 256 字节, 分为 8 组, 主存有 4096 个字块。则主存地址划分中, 标记字段的二进制位数为多少位(9) (只需要填写阿拉伯数字)

解析: 主存块数 4096, 则块地址线为 12 ($2^{12}=4096$), 组相联共 8 组, 组地址线为 3 ($2^3=8$), 故标记字段的二进制位数=12-3=9

40 (分析) cache 与主存间采用组相联地址映射方式, cache 分为 2 组, 每组 4 块, 每块为 1KB。主存容量为 1MB, 已知 cache 地址变换表如下图所示。

Cache 块号	标记 tag	组号	Cache 块号	标记 tag	组号
0	098H	0	4	188H	1
1	102H		5	022H	
2	123H		6	157H	
3	156H		7	166H	

姓名

成绩单序号

(1) 若主存地址为 B3378H，是否在 cache 中命中？

解 B3378H=10110011 0 0 11 0111 1000 tag=166H 组号=0 未命中

(2) 若主存地址为 ABCE1H，是否在 cache 中命中？若命中，请写出变换后的高速缓存的地址（cache 块号和块内位移）

ABCE1H=1010 1011 1 1 00 1110 0001

tag=157H 组号=1。命中，cache 块号=6，块内位移=00 1110 0001=E1H

41、在一个分页虚存系统中，用户虚地址空间为 32 页，页长 1KB，主存物理空间为 16KB。

已知用户程序有 10 页长，若虚页 0、1、2、3 分别调入主存 8、7、4、10 页中，请问：

1) 用户虚地址多少位？物理地址多少位？

2) 用户页表有多少页表项？

3) 虚地址 0AC7 和 1AC7（十六进制）对应的物理地址是多少？

解

1) 用户虚地址 5 + 10 = 15 物理地址 14

2) 用户页表项 = 10

3) 0AC7H=000 1010 1100 0111 物理地址= 01 0010 1100 0111 = 12C7H，页命中

1AC7H=001 1010 1100 0111 物理地址= 未命中 发生缺页中断