

2.1 总线与寄存器实验--思考题

1、把 74LS175 的 \bar{Q} 端接三态门 244，拨码开关把数据 0xAA 打入 74LS175。假设 $\overline{OE}=0$ ， $\overline{SW_BUS}=0$ ，会出现什么情况？为什么？

答：74LS175 的 \bar{Q} 将总线数据低 4 位反向，如果 $OE=0$ ， $SW_BUS=0$ ，总线低 4 位会出现 A 和 5 两种完全反向的数据，从而发生数据碰撞，总线上任一时刻只允许一个数据流。

2、拨码开关先打入数据 0xAA 到 R0 寄存器（74LS374）， $R0_BUS=1$ ；拨码开关再输入新的数据 0x55 到总线 BUS，会冲掉 R0 寄存器里保存的 0xAA 么？假设此时令 $R0_BUS=0$ ，会出现什么情况？为什么？

答：不会冲掉 R0-74LS374 的数据；

如果 $R0_BUS=0$ ， $SW_BUS=0$ ，总线会出现 AA 和 55 两种完全反向的数据，从而发生数据碰撞，总线上任一时刻只允许一个数据流。

3、拨码开关分别打入数据 0xAA 和 0x55 到 R0 寄存器（74LS374）和 DR 寄存器（74LS273），假设此时令 $R0_BUS = \overline{DR_BUS} = 0$ ，会出现什么情况？可以同时打开多个寄存器输出到总线的三态门控制么？

答：会发生数据碰撞，总线上任一时刻只允许一个数据流。不可以！

4、74LS194 的 S_L 端、 S_R 端数据究竟是提供 $D_0D_1D_2D_3$ 端移入数据还是保存 $D_0D_1D_2D_3$ 端移出数据？假设要保存 74LS194 移位时 $D_0D_1D_2D_3$ 端移出的数据，该怎么修改寄存器电路？

答：提供 $D_0D_1D_2D_3$ 端移入数据。修改电路的方法不唯一。

2.2 进位加法器实验--思考题

1、请问本实验运算器电路是补码运算器还是原码运算器？假设需要把运算器电路改为四位无符号数的原码加法器，请问电路怎么修改？

答：

是补码运算器。

修改方法 1：把运算器电路改为四位无符号数的原码加法器，把 4 位加法器升级为 5 位加法器即可，增加的 1 位符号位为 0 即可，减法仍然由 M 控制对操作数求补。

修改方法 2：把运算器电路改为四位无符号数的原码加法器，增加的 1 位符号位为 0 即可转变真值大于 0 的为 5 位数补码，直接使用上述运算器完成补码运算，判断进位位由 0 变 1，没有溢出，0 保持没变，就溢出了。因为减数的符号位为 1

2、本实验中，四位补码的表数范围是多少？若要修改为五位补码运算器（符号位一位，数值位四位），其表数范围又是多少？请问电路怎么修改？

答：四位补码的表数范围是 $[-8, 7]$ ，若改为五位补码运算器，则表数范围是 $[-16, 15]$ ，再增加一组全加器。低 4 位为数值位，最高位为符号位。

2.3 运算器实验--思考题

1、74181 组成的运算器通路，可以区分有符号数运算和无符号数运算么？两者的运算过程有不同么？两者的数值表示范围有不同么？

74LS181 组成的运算器通路可以区分有符号数运算和无符号数运算；

有符号数运算和无符号数运算过程不同；

数值表示范围不同：有符号表示的范围 $[-8, 7]$ ，无符号表示的范围 $[0, 15]$ 。

2、当 74181 进行无符号数运算的时候，运算结果的标志位 SF 有无意义？在有符号数运算和无符号数运算过程中，标志位 CF、ZF 和 SF 的含义都是一样的么？

SF 无意义；

无符号 CF 可以表示是否溢出，而有符号 CF 表示是否进位。

零标志位 ZF (ZF=1, 即 ALU 运算结果为 0)，无符号数表示运算结果为 0 (CF=0) 或 16 (CF=1)；

无符号数表示运算结果为 0 (CF=0, 无溢出) 或 16 (CF=1, 溢出)；

有符号数就是表示运算结果为 0；

2.4 存储器实验—思考题

1、是不是烧写入 ROM 的 ASM 文件里面定义的所有数据都可以被访问到？假设把实验 1 中的 ASM 文件开头改为“ORG 0224H”，请问烧写进去的数据还能被读出么？如果不能，ROM 的片选电路要如何修改？

答：

ROM 地址 000-1FF

RAM 地址 F80-FFF

ORG 0224H，存放数据的起始地址已经超出 ROM 地址范围，无法访问；修改 ROM 的选片保证 ROM 地址涵盖 0224H 即可访问，方法之一：U16: A 的输入端接 U13 的输出端 Y2 和 Y3。ROM 地址范围则为：200-3FF，涵盖了 0224H。

2、请给出 RAM 片选电路 (F80H-FFFH) 的第二种逻辑组合实现形式。假如 RAM 的范围改为 800H-87FH，请问片选电路的逻辑组合形式是怎样的？

答：将 U15 的 Y7 与 U14: A 的第 2 脚断开，将 U15 的 Y0 输出接到 U14: A 的第 2 脚即可。RAM 的地址范围变为 800H-87FH

3、为何 ROM 和 RAM 需要使用两个独立的 3-8 译码器？若 RAM 的片选电路与 ROM 的片选电路共用一个 3-8 译码器，即 ROM 所在 3-8 译码器的最低 2 个端口给 ROM 使用，最高 1 个端口给 RAM 使用。此时 ROM 和 RAM 的地址范围各自为多少？

答：

使用两个独立的 3-8 译码器 ROM 和 RAM 地址空间可以任意分配，甚至可以重叠。对于哈佛体系结构计算机来说指令和数据具有各自独立的内存空间。

最低 2 个端口给 ROM 使用，最高 1 个端口给 RAM 使用

ROM 地址 000-1FF

RAM 地址 780-7FF