



(10) **DE 10 2020 114 865 A1** 2021.05.06

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2020 114 865.8**

(22) Anmeldetag: **04.06.2020**

(43) Offenlegungstag: **06.05.2021**

(51) Int Cl.: **H01L 21/205** (2006.01)

H01L 27/088 (2006.01)

H01L 21/8234 (2006.01)

H01L 21/336 (2006.01)

(30) Unionspriorität:

62/928,771 **31.10.2019** **US**

16/880,464 **21.05.2020** **US**

(71) Anmelder:

**Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW**

(74) Vertreter:

**BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE**

(72) Erfinder:

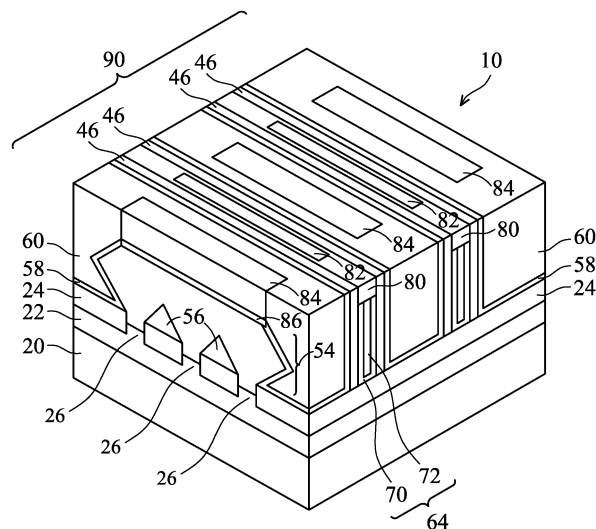
**Lin, Ming-Ho, Hsinchu, TW; Lin, Cheng-I,
Hsinchu, TW; Chen, Chun-Heng, Hsinchu, TW;
Chui, Chi On, Hsinchu, TW**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **NICHT-KONFORME VERKAPPUNGSSCHICHT UND VERFAHREN ZU DEREN HERSTELLUNG**

(57) Zusammenfassung: Ein Verfahren weist die folgenden Schritte auf: Herstellen einer überstehenden Struktur; und Herstellen einer nicht-konformen Schicht auf der überstehenden Struktur mit einem ALD-Prozess (ALD: Atomlagenabscheidung). Die nicht-konforme Schicht weist einen oberen Teil direkt über der überstehenden Struktur und einen Seitenwandteil auf einer Seitenwand der überstehenden Struktur auf. Der obere Teil hat eine erste Dicke, und der Seitenwandteil hat eine zweite Dicke, die kleiner als die erste Dicke ist.



Beschreibung

Prioritätsanspruch und Querverweis

[0001] Die vorliegende Anmeldung beansprucht die Priorität der am 31. Oktober 2019 eingereichten vorläufigen US-Patentanmeldung mit dem Aktenzeichen 62/928.771 und dem Titel „Non-Conformal Capping Layer and Method Forming Same“ („Nicht-konforme Verkappungsschicht und Verfahren zu deren Herstellung“), die durch Bezugnahme aufgenommen ist.

Hintergrund

[0002] Transistoren sind grundlegende Bauelemente in integrierten Schaltkreisen. Bei der früheren Entwicklung von integrierten Schaltkreisen sind Finnen-Feldeffekttransistoren (FinFETs) hergestellt worden, um Planartransistoren abzulösen. Bei der Herstellung von FinFETs werden Halbleiterfinnen hergestellt, und auf den Halbleiterfinnen werden Dummy-Gates hergestellt. Die Herstellung der Dummy-Gates kann ein Abscheiden einer Dummy-Schicht, wie etwa einer Polysiliziumschicht, und ein anschließendes Strukturieren der Dummy-Schicht zu Dummy-Gates umfassen. Auf Seitenwänden der Dummy-Gatestapel werden Gate-Abstandshalter hergestellt. Dann werden die Dummy-Gatestapel entfernt, um Gräben zwischen den Gate-Abstandshaltern zu erzeugen. Anschließend werden Ersatzgates in den Gräben hergestellt.

Figurenliste

[0003] Aspekte der vorliegenden Erfindung lassen sich am besten anhand der nachstehenden detaillierten Beschreibung in Verbindung mit den beigefügten Zeichnungen verstehen. Es ist zu beachten, dass entsprechend der üblichen Praxis in der Branche verschiedene Elemente nicht maßstabsgetreu gezeichnet sind. Vielmehr können der Übersichtlichkeit der Erörterung halber die Abmessungen der verschiedenen Elemente beliebig vergrößert oder verkleinert sein.

Die **Fig. 1 bis Fig. 3, Fig. 4A, Fig. 4B, Fig. 5A, Fig. 5B, Fig. 5C, Fig. 5D, Fig. 6A, Fig. 6B, Fig. 7A, Fig. 7B, Fig. 8 bis Fig. 10, Fig. 11A, Fig. 11B, Fig. 12A, Fig. 12B, Fig. 13, Fig. 14A, Fig. 14B** und **Fig. 15** zeigen perspektivische Darstellungen und Schnittansichten von Zwischenstufen bei der Herstellung eines FinFET gemäß einigen Ausführungsformen.

Fig. 16 zeigt beispielhafte chemische Zwischenstrukturen bei der Herstellung einer nicht-konformen Verkappungsschicht gemäß einigen Ausführungsformen.

Fig. 17 zeigt Diagramme eines ALD-Zyklus (ALD: Atomlagenabscheidung) zur Herstellung

einen nicht-konformen Verkappungsschicht gemäß einigen Ausführungsformen.

Die **Fig. 18A** und **Fig. 18B** zeigen Diagramme von Oxidationsprozessen zum Herstellen einer nicht-konformen Verkappungsschicht gemäß einigen Ausführungsformen.

Fig. 19 zeigt einen Prozessablauf zum Herstellen eines FinFET gemäß einigen Ausführungsformen.

Detaillierte Beschreibung

[0004] Die nachstehende Beschreibung liefert viele verschiedene Ausführungsformen oder Beispiele zum Implementieren verschiedener Merkmale der Erfindung. Nachstehend werden spezielle Beispiele für Komponenten und Anordnungen beschrieben, um die vorliegende Erfindung zu vereinfachen. Diese sind natürlich lediglich Beispiele und sollen nicht beschränkend sein. Zum Beispiel kann die Herstellung eines ersten Elements über oder auf einem zweiten Element in der nachstehenden Beschreibung Ausführungsformen umfassen, bei denen das erste und das zweite Element in direktem Kontakt hergestellt werden, und sie kann auch Ausführungsformen umfassen, bei denen zusätzliche Elemente zwischen dem ersten und dem zweiten Element hergestellt werden können, sodass das erste und das zweite Element nicht in direktem Kontakt sind. Darüber hinaus können in der vorliegenden Erfindung Bezugszahlen und/oder -buchstaben in den verschiedenen Beispielen wiederholt werden. Diese Wiederholung dient der Einfachheit und Übersichtlichkeit und schreibt an sich keine Beziehung zwischen den verschiedenen erörterten Ausführungsformen und/oder Konfigurationen vor.

[0005] Darüber hinaus können hier räumlich relative Begriffe, wie etwa „darunter befindlich“, „unter“, „untere(r)“, „unteres“, „darüber befindlich“, „obere(r)“, „oberes“ und dergleichen, zur einfachen Beschreibung der Beziehung eines Elements oder einer Struktur zu einem oder mehreren anderen Elementen oder Strukturen verwendet werden, die in den Figuren dargestellt sind. Die räumlich relativen Begriffe sollen zusätzlich zu der in den Figuren dargestellten Orientierung andere Orientierungen der in Gebrauch oder in Betrieb befindlichen Vorrichtung umfassen. Die Vorrichtung kann anders ausgerichtet werden (um 90 Grad gedreht oder in einer anderen Orientierung), und die räumlich relativen Deskriptoren, die hier verwendet werden, können ebenso entsprechend interpretiert werden.

[0006] Gemäß einigen Ausführungsformen werden eine nicht-konforme Verkappungsschicht und ein Verfahren zu deren Herstellung bereitgestellt. Außerdem werden Zwischenstufen bei der Herstellung der nicht-konformen Verkappungsschicht und ihre Ver-

wendung bei der Herstellung eines FinFET gemäß einigen Ausführungsformen erläutert. Es werden einige Abwandlungen einiger Ausführungsformen erörtert. Die Ausführungsformen können auch für andere Ausführungsformen verwendet werden, bei denen nicht-konforme Schichten hergestellt werden sollen, was in FinFET-Prozessen erfolgen kann oder auch nicht. Ausführungsformen, die hier erörtert werden, sollen Beispiele für die Herstellung oder Verwendung des Gegenstands der vorliegenden Erfindung aufzeigen, und ein Fachmann dürfte problemlos Modifikationen erkennen, die vorgenommen werden können und innerhalb des beabsichtigten Schutzbereichs verschiedener Ausführungsformen liegen. In allen verschiedenen Darstellungen und erläuternden Ausführungsformen werden ähnliche Bezugswörter zum Bezeichnen von ähnlichen Elementen verwendet. Es kann zwar dargelegt werden, dass Verfahrensausführungsformen in einer bestimmten Reihenfolge ausgeführt werden, aber andere Verfahrensausführungsformen können in jeder logischen Reihenfolge ausgeführt werden.

[0007] Die **Fig. 1** bis **Fig. 3**, **Fig. 4A**, **Fig. 4B**, **Fig. 5A**, **Fig. 5B**, **Fig. 5C**, **Fig. 5D**, **Fig. 6A**, **Fig. 6B**, **Fig. 7A**, **Fig. 7B**, **Fig. 8** bis **Fig. 10**, **Fig. 11A**, **Fig. 11B**, **Fig. 12A**, **Fig. 12B**, **Fig. 13**, **Fig. 14A**, **Fig. 14B** und **Fig. 15** zeigen Schnittansichten und perspektivische Darstellungen von Zwischenstufen bei der Herstellung eines FinFET gemäß einigen Ausführungsformen der vorliegenden Erfindung. Die entsprechenden Prozesse sind auch schematisch in dem Prozessablauf angegeben, der in **Fig. 19** gezeigt ist.

[0008] In **Fig. 1** wird ein Substrat **20** bereitgestellt. Das Substrat **20** kann ein Halbleitersubstrat, wie etwa ein massives Halbleitersubstrat, ein Halbleiter-auf-Isolator(SOI)-Substrat oder dergleichen, sein, das (z. B. mit einem p- oder einem n-Dotanden) dotiert sein kann oder undotiert sein kann. Das Halbleitersubstrat **20** kann ein Teil eines Wafers **10**, wie etwa eines Siliziumwafers, sein. Im Allgemeinen ist ein SOI-Substrat eine Schicht aus einem Halbleitermaterial, die auf einer Isolierschicht hergestellt ist. Die Isolierschicht kann zum Beispiel eine vergrabene Oxidschicht (BOX-Schicht), eine Siliziumoxidschicht oder dergleichen sein. Die Isolierschicht wird auf einem Substrat, normalerweise einem Silizium- oder Glassubstrat, vorgesehen. Andere Substrate, wie etwa ein mehrschichtiges oder Gradient-Substrat, können ebenfalls verwendet werden. Bei einigen Ausführungsformen kann das Halbleitermaterial des Halbleiter-Substrats **20** Folgendes umfassen: Silizium; Germanium; einen Verbindungshalbleiter, wie etwa Siliziumcarbid, Galliumarsen, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid; einen Legierungshalbleiter, wie etwa SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP und/oder GaInAsP; oder Kombinationen davon.

[0009] Bleiben wir bei **Fig. 1**, in der ein Wannenbereich **22** in dem Substrat **20** hergestellt wird. Der entsprechende Schritt ist als ein Schritt **402** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Bei einigen Ausführungsformen der vorliegenden Erfindung ist der Wannenbereich **22** ein p-Wannenbereich, der durch Implantieren eines p-Dotierungsstoffs, wie etwa Bor, Indium oder dergleichen, in das Substrat **20** hergestellt wird. Bei anderen Ausführungsformen der vorliegenden Erfindung ist der Wannenbereich **22** ein n-Wannenbereich, der durch Implantieren eines n-Dotierungsstoffs, der Phosphor, Arsen, Antimon oder dergleichen sein kann, in das Substrat **20** hergestellt wird. Der resultierende Wannenbereich **22** kann sich von einer Oberseite des Substrats **20** erstrecken. Die n- oder p-Dotierungskonzentration kann gleich oder kleiner als 10^{18} cm^{-3} sein und kann etwa 10^{17} cm^{-3} bis etwa 10^{18} cm^{-3} betragen.

[0010] In **Fig. 2** werden Isolationsbereiche **24** so hergestellt, dass sie sich von der Oberseite des Substrats **20** in das Substrat **20** hinein erstrecken. Die Isolationsbereiche **24** werden nachstehend alternativ als STI-Bereiche (STI: flache Grabenisolation) bezeichnet. Der entsprechende Schritt ist als ein Schritt **404** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Die Teile des Substrats **20** zwischen benachbarten STI-Bereichen **24** werden als Halbleiterstreifen **26** bezeichnet. Zum Herstellen der STI-Bereiche **24** werden eine Pad-Oxidschicht **28** und eine Hartmaskenschicht **30** auf dem Halbleitersubstrat **20** hergestellt, die anschließend strukturiert werden. Die Pad-Oxidschicht **28** kann eine dünne Schicht sein, die aus Siliziumoxid hergestellt ist. Bei einigen Ausführungsformen der vorliegenden Erfindung wird die Pad-Oxidschicht **28** in einem thermischen Oxidationsprozess hergestellt, in dem eine Oberflächenschicht des Halbleitersubstrats **20** oxidiert wird. Die Pad-Oxidschicht **28** fungiert als eine Haftschrift zwischen dem Halbleitersubstrat **20** und der Hartmaskenschicht **30**. Die Pad-Oxidschicht **28** kann auch als eine Ätzstoppschicht zum Ätzen der Hartmaskenschicht **30** fungieren. Bei einigen Ausführungsformen der vorliegenden Erfindung wird die Hartmaskenschicht **30** aus Siliziumnitrid zum Beispiel durch chemische Aufdampfung bei Tiefdruck (LPCVD) hergestellt. Bei anderen Ausführungsformen der vorliegenden Erfindung wird die Hartmaskenschicht **30** durch thermische Nitrierung von Silizium oder durch plasmaunterstützte chemische Aufdampfung (PECVD) hergestellt. Auf der Hartmaskenschicht **30** wird ein Fotoresist (nicht dargestellt) hergestellt, das anschließend strukturiert wird. Dann wird die Hartmaskenschicht **30** unter Verwendung des strukturierten Fotoresists als eine Ätzmaske strukturiert, um strukturierte Hartmasken **30** herzustellen, wie in **Fig. 2** gezeigt ist.

[0011] Dann wird die strukturierte Hartmaskenschicht **30** als eine Ätzmaske zum Ätzen der Pad-Oxidschicht **28** und des Substrats **20** verwendet, und anschließend werden die resultierenden Gräben in dem Substrat **20** mit einem oder mehreren dielektrischen Materialien gefüllt. Dann wird ein Planarisierungsprozess, wie etwa ein CMP-Prozess (CMP: chemischmechanische Polierung) oder ein mechanischer Schleifprozess, durchgeführt, um überschüssige Teile der dielektrischen Materialien zu entfernen, und die verbliebenen Teile der dielektrischen Materialien sind die STI-Bereiche **24**. Die STI-Bereiche **24** können einen Dielektrikumbelag (nicht dargestellt) aufweisen, der ein thermisches Oxid sein kann, das durch thermische Oxidation einer Oberflächenschicht des Substrats **20** hergestellt wird. Der Dielektrikumbelag kann auch eine abgeschiedene Siliziumoxidschicht, Siliziumnitridschicht oder dergleichen sein, die zum Beispiel durch Atomlagenabscheidung (ALD), chemische Aufdampfung mit einem Plasma hoher Dichte (HDP-CVD) oder chemische Aufdampfung (CVD) hergestellt wird. Die STI-Bereiche **24** können außerdem ein dielektrisches Material über dem Oxidbelag aufweisen, wobei das dielektrische Material durch fließfähige chemische Aufdampfung (FCVD), Schleuderbeschichtung oder dergleichen abgeschieden werden kann. Bei einigen Ausführungsformen kann das dielektrische Material über dem Dielektrikumbelag Siliziumoxid sein.

[0012] Oberseiten der Hartmasken **30** und Oberseiten der STI-Bereiche **24** können im Wesentlichen auf gleicher Höhe sein. Zwischen benachbarten STI-Bereichen **24** befinden sich Halbleiterstreifen **26**. Bei einigen Ausführungsformen der vorliegenden Erfindung sind die Halbleiterstreifen **26** Teile des ursprünglichen Substrats **20**, und daher ist das Material der Halbleiterstreifen **26** das Gleiche wie das des Substrats **20**. Bei alternativen Ausführungsformen der vorliegenden Erfindung sind die Halbleiterstreifen **26** Ersatzstreifen, die dadurch hergestellt werden, dass die Teile des Substrats **20** zwischen den STI-Bereichen **24** geätzt werden, um Aussparungen zu erzeugen, und ein Epitaxieprozess zum Aufwachsen eines weiteren Halbleitermaterials in den Aussparungen durchgeführt wird. Dementsprechend werden die Halbleiterstreifen **26** aus einem Halbleitermaterial hergestellt, das von dem des Substrats **20** verschieden ist. Bei einigen Ausführungsformen werden die Halbleiterstreifen **26** aus Siliziumgermanium, Silizium-Kohlenstoff oder einem III-V-Verbindungshalbleitermaterial hergestellt.

[0013] In **Fig. 3** werden die STI-Bereiche **24** ausgespart. Dadurch stehen obere Teile der Halbleiterstreifen **26** über Oberseiten **24A** der verbliebenen Teile der STI-Bereiche **24** über, sodass überstehende Finnen **36** entstehen. Der entsprechende Schritt ist als ein Schritt **406** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Die Ätzung kann

mit einem Trockenätzprozess erfolgen, in dem zum Beispiel NF_3 und NH_3 als Ätzgase verwendet werden. während des Ätzprozesses kann ein Plasma erzeugt werden. Außerdem kann Argon verwendet werden. Bei alternativen Ausführungsformen der vorliegenden Erfindung kann das Aussparen der STI-Bereiche **24** mit einem Nassätzprozess erfolgen. Als Ätzchemikalie kann zum Beispiel HF verwendet werden.

[0014] Bei den vorstehend erläuterten Ausführungsformen können die Finnen mit jedem geeigneten Verfahren strukturiert werden. Zum Beispiel können die Finnen mit einem oder mehreren fotolithografischen Prozessen, wie etwa Doppelstrukturierungs- oder Mehrfachstrukturierungsprozessen, strukturiert werden. Im Allgemeinen vereinen Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse fotolithografische und selbstjustierte Prozesse, mit denen Strukturen erzeugt werden können, die zum Beispiel Rasterabstände haben, die kleiner als die sind, die ansonsten mit einem einzelnen direkten fotolithografischen Prozess erzielt werden können. Zum Beispiel wird bei einer Ausführungsform über einem Substrat eine Opferschicht hergestellt, die dann mit einem fotolithografischen Prozess strukturiert wird. Entlang der strukturierten Opferschicht werden mit einem selbstjustierten Prozess Abstandshalter hergestellt. Anschließend wird die Opferschicht entfernt, und die verbliebenen Abstandshalter, oder Dorne, können dann zum Strukturieren der Finnen verwendet werden.

[0015] Die **Fig. 4A**, **Fig. 4B**, **Fig. 5A**, **Fig. 5B**, **Fig. 5C**, **Fig. 5D**, **Fig. 6A**, **Fig. 6B**, **Fig. 7A** und **Fig. 7B** zeigen die Herstellung von Dummy-Gatestapeln **45** gemäß einigen Ausführungsformen. In **Fig. 4A** wird eine dielektrische Dummy-Schicht **38** hergestellt. Der entsprechende Schritt ist als ein Schritt **408** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Bei einigen Ausführungsformen der vorliegenden Erfindung wird die dielektrische Dummy-Schicht **38** mit einem konformen Abscheidungsprozess hergestellt, der ALD, CVD oder dergleichen sein kann. Das Material für die dielektrische Schicht **38** kann Siliziumoxid, Siliziumnitrid, Siliziumcarbonitrid oder dergleichen sein. Wenn der konforme Abscheidungsprozess verwendet wird, sind die horizontale Dicke der horizontalen Teile und die vertikale Dicke der vertikalen Teile der dielektrischen Schicht **38** gleichgroß oder im Wesentlichen gleichgroß, zum Beispiel mit einer Differenz, die weniger als etwa 20 % der horizontalen Dicke beträgt. Bei einigen Ausführungsformen beträgt die Dicke **T1** der dielektrischen Schicht **38** etwa 1 nm bis etwa 10 nm. Bei alternativen Ausführungsformen wird die dielektrische Schicht **38** durch Oxidieren (zum Beispiel mit einem thermischen Oxidationsprozess) von Oberflächenteilen der überstehenden Finnen **36** hergestellt. Die resultierende dielektrische Schicht **38** entsteht

auf den freigelegten Oberflächen der überstehenden Finnen **36**, aber nicht auf den Oberseiten der STI-Bereiche **24**. Dementsprechend werden Strichlinien verwendet, um anzugeben, dass in Abhängigkeit von dem Herstellungsprozess einige Teile der dielektrischen Schicht **38** auf der Oberseite der STI-Bereiche **24** hergestellt werden können oder auch nicht. **Fig. 4B** zeigt eine Darstellung eines Referenzquerschnitts **4B - 4B**, der in **Fig. 4A** gezeigt ist.

[0016] **Fig. 5A** zeigt die Herstellung einer nicht-konformen Verkappungsschicht **40** gemäß einigen Ausführungsformen der vorliegenden Erfindung. Der entsprechende Schritt ist als ein Schritt **410** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Wie in **Fig. 5A** gezeigt ist, wird die nicht-konforme Verkappungsschicht **40** auf der dielektrischen Schicht **38** hergestellt, und sie weist keine horizontalen Teile direkt über den STI-Bereichen **24** auf.

[0017] Die **Fig. 5B**, **Fig. 5C** und **Fig. 5D** zeigen eine Darstellung entlang einem Referenzquerschnitt **5B/5C/5D - 5B/5C/5D**, der in **Fig. 5A** gezeigt ist, wobei sich in den **Fig. 5B**, **Fig. 5C** und **Fig. 5D** Unterseiten der nicht-konformen Verkappungsschicht **40** auf unterschiedlichen Ebenen befinden. Wie in den **Fig. 5B**, **Fig. 5C** und **Fig. 5D** gezeigt ist, hat die nicht-konforme Verkappungsschicht **40** einen oberen Teil **40A** direkt über den überstehenden Finnen **36**, wobei eine Dicke des oberen Teils **40A** mit T_2 bezeichnet ist. Der obere Teil **40A** hat eine einheitliche Dicke. Zum Beispiel können Dicken T_{2A} , T_{2B} und T_{2C} gleichgroß sein, wobei eine Abweichung weniger als etwa 5 % oder noch weniger beträgt. Die nicht-konforme Verkappungsschicht **40** kann Seitenwandteile **40B** auf den Seitenwänden der überstehenden Finnen **36** aufweisen oder auch nicht, wobei die Seitenwandteile **40B**, falls vorhanden, die Seitenwandteile der dielektrischen Schicht **38** kontaktieren. Zum Beispiel zeigt **Fig. 5B**, dass sich die Seitenwandteile **40B** bis zu einer Unterseite der überstehenden Finnen **36** erstrecken. **Fig. 5C** zeigt, dass sich untere Enden der nicht-konformen Verkappungsschicht **40** ungefähr auf der gleichen Höhe wie die Oberseiten der überstehenden Finnen **36** befinden, was bedeutet, dass die Seitenwandteile **40B** der nicht-konformen Verkappungsschicht **40** im Wesentlichen nicht vorhanden sind. **Fig. 5D** zeigt, dass sich die unteren Enden der nicht-konformen Verkappungsschicht **40** tiefer als die Oberseiten der überstehenden Finnen **36** erstrecken. Die unteren Enden der Seitenwandteile **40B** können sich auf einer Ebene zwischen den Oberseiten und den Unterseiten der überstehenden Finnen **36** befinden. Zum Beispiel können sich die unteren Enden der Seitenwandteile **40B** zwischen den Oberseiten und der halben Höhe der überstehenden Finnen **36** befinden.

[0018] Eine Dicke der Seitenwandteile **40B** der nicht-konformen Verkappungsschicht **40** ist in

Fig. 5B mit T_3 bezeichnet. Bei einigen Ausführungsformen der vorliegenden Erfindung wird die Dicke T_3 auf einer mittleren Höhe der überstehenden Finnen **36** gemessen, wobei sich die mittlere Höhe zwischen der Oberseite und der Unterseite der überstehenden Finnen **36** befindet. Bei einigen Ausführungsformen der vorliegenden Erfindung beträgt die Dicke T_2 etwa 5 Å bis etwa 10 Å. Die Dicke T_3 beträgt 0 Å bis etwa 2 Å, wobei die Dicke von 0 Å bedeutet, dass sich die nicht-konforme Verkappungsschicht **40** nicht bis zu der mittleren Höhe erstreckt. Es versteht sich, dass wenn die Dicke T_3 (auf der mittleren Höhe der Finnen **36**) 0 Å beträgt, sich die nicht-konforme Verkappungsschicht **40** noch immer bis zu den Seitenwänden der oberen Teile der überstehenden Finnen **36** erstreckt (wie in **Fig. 5D** gezeigt ist), zum Beispiel bis zu den oberen 25 % der überstehenden Finnen **36**. Die Dicken der Seitenwandteile **40B** der nicht-konformen Verkappungsschicht **40** nehmen jedoch schrittweise (und gegebenenfalls kontinuierlich) von oben nach unten ab und erreichen schließlich 0 Å.

[0019] Die mittlere Dicke der Seitenwandteile **40B** der nicht-konformen Verkappungsschicht **40** kann mit $T_{\text{Side-Avg}}$ bezeichnet werden, und die mittlere Dicke der oberen Teile der nicht-konformen Verkappungsschicht **40** kann mit $T_{\text{Top-Avg}}$ bezeichnet werden. In der gesamten Beschreibung kann die mittlere Dicke wie folgt bestimmt werden: Wählen eine Mehrzahl von (z. B. 5 oder mehr) abstandsgleichen Positionen; Messen der Dicken an diesen Positionen; und anschließend Berechnen eines Mittelwerts dieser Dicken. Zum Beispiel zeigen die **Fig. 5B**, **Fig. 5C** und **Fig. 5D** drei abstandsgleiche Positionen als ein Beispiel, die mögliche Positionen zum Bestimmen von $T_{\text{Top-Avg}}$ sein können. Die **Fig. 5C** und **Fig. 5D** zeigen außerdem einige abstandsgleiche Positionen als ein Beispiel, die mögliche Positionen zum Bestimmen von $T_{\text{Side-Avg}}$ sein können. Bei einigen Ausführungsformen der vorliegenden Erfindung kann ein Verhältnis $T_{\text{Side-Avg}}/T_{\text{Top-Avg}}$ kleiner als etwa 0,2 sein und kann etwa 0,05 bis etwa 0,2 betragen. Im Vergleich dazu kann, wenn der untere Teil der Seitenwandteile der konformen dielektrischen Schicht **38** mit $T_{\text{I-B}}$ bezeichnet wird und der obere Teil ihrer Seitenwandteile mit $T_{\text{I-T}}$ bezeichnet wird, ein Verhältnis $T_{\text{I-B}}/T_{\text{I-T}}$ bei einigen Ausführungsformen der vorliegenden Erfindung etwa 0,9 bis etwa 1,0 betragen.

[0020] **Fig. 17** zeigt schematisch einen Zyklus eines nicht-konformen ALD-Prozesses zum Abscheiden der nicht-konformen Verkappungsschicht **40** gemäß einigen Ausführungsformen. **Fig. 17** umfasst drei Diagramme A, B und C, wobei das Diagramm A einen Vorläufer als eine Funktion der Zeit zeigt, das Diagramm B ein Spülgas als eine Funktion der Zeit zeigt, und das Diagramm C ein Plasma als eine Funktion der Zeit zeigt. Die Zeitachsen (horizontale Achsen) der Diagramme A, B und C sind aneinander angepasst. Wenn bei dem Diagramm A der ent-

sprechende y-Achsenwert gleich null ist, zeigt das, dass die Einleitung des Plasmas gestoppt wird. Wenn bei dem Diagramm B der entsprechende y-Achsenwert gleich null ist, zeigt das, dass die Einleitung des Spülgases gestoppt wird. Wenn bei dem Diagramm C der entsprechende y-Achsenwert gleich null ist, zeigt das, dass die Erzeugung des Plasmas gestoppt wird. Eine Sequenz aus der Einleitung des Vorläufers, der Einleitung des Spülgases und der Erzeugung des Plasmas wird nachstehend in einem Beispiel kurz erörtert.

[0021] In **Fig. 17** wird zu einem Zeitpunkt TP1 das Spülgas (Diagramm B) in eine Reaktionskammer eingeleitet. Die Reaktionskammer ist eine Vakuumkammer, die evakuiert werden kann und zum Durchführen von ALD-Prozessen verwendet werden kann. Das Spülgas hat die Funktion, den Vorläufer in der entsprechenden Reaktionskammer abzuführen. Außerdem wird das Spülgas zum Erzeugen von Plasma verwendet, das Energie für den Vorläufer bereitstellt, der an einem Wafer **10** haftet, der in den **Fig. 4A** und **Fig. 4B** gezeigt ist. Bei einigen Ausführungsformen ist das Spülgas ein Inertgas, das Argon, Helium oder dergleichen oder eine Kombination davon sein kann. Das Spülgas kann auch ein anderes Gas sein (oder auch nicht), das eine hohe Rekombinationsrate haben kann (wie in späteren Absätzen näher erörtert wird), und das Gas wird nachstehend als ein stark rekombinierendes Gas bezeichnet. Bei einigen Ausführungsformen der vorliegenden Erfindung kann das stark rekombinierende Gas, das in dem Spülgas enthalten ist, Wasserstoff (H₂), Stickstoff (N₂) oder Kombinationen davon umfassen. Eine Zugabe von Stickstoff kann auch zu einem Anstieg des Atomanteils von Stickstoff in der resultierenden nicht-konformen Verkappungsschicht **40** führen. Das Spülgas kann in dem gesamten nicht-konformen Abscheidungsprozess kontinuierlich in die Reaktionskammer eingeleitet werden und gleichzeitig aus der Reaktionskammer abgepumpt werden. Bei einigen Ausführungsformen der vorliegenden Erfindung beträgt der Gesamtdurchsatz des Spülgases etwa 50 Ncm³/min bis etwa 6 slm (Standard-Liter je Minute). Der Druck in der Reaktionskammer kann etwa 1000 mTorr bis etwa 8000 mTorr betragen. Der Durchsatz des Inertgases kann etwa 25 Ncm³/min bis etwa 6 slm betragen, und der Durchsatz des stark rekombinierenden Gases kann etwa 0 Ncm³/min bis etwa 6 slm, und zwar etwa 0 Ncm³/min bis etwa 25 Ncm³/min oder etwa 25 Ncm³/min bis etwa 6 slm, betragen. Während des Abscheidungsprozesses beträgt die Temperatur des Wafers etwa 50 °C bis etwa 500 °C.

[0022] Bei einigen Ausführungsformen weist das Spülgas Argon oder Helium, aber keinen Sauerstoff (O₂) auf. Dies weicht von der herkömmlichen PEALD ab, da bei der herkömmlichen PEALD zum Herstellen von sauerstoffhaltigen Dielektrika Sauerstoff (O₂) zusammen mit Argon verwendet wird und Argon den

Sauerstoff in Sauerstoffradikale spaltet. Bei den Ausführungsformen der vorliegenden Erfindung wird jedoch kein Sauerstoff zugesetzt, und der Sauerstoff in der resultierenden nicht-konformen Verkappungsschicht **40** wird vollständig von dem Vorläufer bereitgestellt. Das Spülgas kann keinen Stickstoff (N₂) oder nur etwas Stickstoff aufweisen. Die Zugabe von Stickstoff hat zwei Funktionen. Erstens ist die Rekombinationsrate höher als die von Sauerstoff. Zweitens steigt durch Zugeben von Stickstoff dessen Atomanteil in der nicht-konformen Verkappungsschicht **40**. Bei einigen Ausführungsformen kann ein Durchsatzverhältnis N₂/Ar, das heißt, der Durchsatz von Stickstoff zu dem Durchsatz von Argon, kleiner als etwa 0,2 sein. Außerdem kann Wasserstoff (H₂) mit einem geringen Durchsatz zugegeben werden, um die Effizienz beim Lösen der Bindungen in dem Vorläufer zu verbessern. Zum Beispiel kann ein Durchsatzverhältnis H₂/Ar, das heißt, der Durchsatz von Wasserstoff zu dem Durchsatz von Argon, kleiner als etwa 0,2 sein. In dem Abscheidungsprozess kann eine kleine Vorspannungsleistung zum Verbessern des nicht-konformen Verhaltens verwendet werden. Die Vorspannungsleistung kann zum Beispiel etwa 0 W bis etwa 100 W betragen.

[0023] Zu einem Zeitpunkt TP2 beginnt die Einleitung des Vorläufers, wie in dem Diagramm A von **Fig. 17** gezeigt ist. Bei einigen Ausführungsformen der vorliegenden Erfindung ist der Vorläufer ein siliziumhaltiger Vorläufer, aber er kann auch ein aminhaltiger Vorläufer und/oder ein Vorläufer mit einem CH-Liganden sein. Zum Beispiel kann der Vorläufer Bis(diethylamino)silan (BDEAS), Diisopropylaminosilan (DIPAS) oder dergleichen oder eine Kombination davon sein. Der Durchsatz für den Vorläufer kann etwa 500 Ncm³/min bis etwa 6 slm betragen. Ein Zeitraum ΔTP2 zum Einleiten des Vorläufers kann länger als etwa 0,1 s sein und kann etwa 0,1 s bis etwa 10 s betragen. Während der Einleitung des Vorläufers haftet der Vorläufer an der Oberfläche des in den **Fig. 4A** und **Fig. 4B** gezeigten Wafers **10** an, sodass eine Monolage entsteht, und überschüssiger Vorläufer wird aus der Reaktionskammer abgepumpt.

[0024] Die Monolage bedeckt bei einigen Ausführungsformen alle freiliegenden Oberflächen des Wafers **10**, unter anderem die überstehenden Finnen **36**. Es versteht sich, dass wenn andere Gase, wie etwa N₂, Ar, H₂, zusammen mit dem Vorläufer verwendet werden, die Energie, die zum Aufspalten dieser Gase und zum Anlagern dieser Gase an der Oberfläche des Wafers **10** benötigt wird, hoch ist und daher diese Gase nicht an der Oberfläche des Wafers **10** anhaften. Zu einem Zeitpunkt TP3 wird die Einleitung des Vorläufers gestoppt, wie in dem Diagramm A gezeigt ist, während das Spülgas kontinuierlich eingeleitet wird. Bei der kontinuierlichen Einleitung des Spülgases und der Spülung mit dem Spülgas wird der überschüssige Vorläufer in Gasform aus der Re-

aktionskammer entfernt, während der Vorläufer, der an dem Wafer **10** haftet, zurückbleibt. Ein Zeitraum $\Delta TP3$ ist ausreichend lang, damit der gasförmige Vorläufer entsprechend entfernt werden kann. Bei einigen Ausführungsformen der vorliegenden Erfindung ist der Zeitraum $\Delta TP3$ länger als etwa 1 s und kann etwa 1 s bis etwa 20 s oder mehr betragen. Eine längere Spüldauer beeinträchtigt zwar das Ergebnis nicht, führt aber zu einer Reduzierung der Leistung.

[0025] Nach dem Ende des Zeitraums $\Delta TP3$ und zu einem Zeitpunkt TP4 wird Energie bereitgestellt, um ein Plasma aus dem Spülgas zu erzeugen, wie in dem Diagramm C gezeigt ist. Das Plasma führt zu einer Reaktion des adsorbierten Vorläufers, dessen Bindungen von den Siliziumatomen in dem Vorläufer gelöst werden, um Radikale (und Ionen), wie etwa Kohlenstoffradikale, Stickstoffradikale, Wasserstoffradikale usw., und die entsprechenden Ionen zu erzeugen. Die Siliziumatome bleiben an die Oberfläche des Wafers **10** gebunden. Die Radikale verbinden sich dann wieder mit Siliziumatomen zu einer Monolage aus einem Dielektrikum, wie etwa SiC, SiN, SiCN oder dergleichen. Die resultierende dielektrische Schicht ist nicht-konform, und der Mechanismus der Entstehung der nicht-konformen dielektrischen Schicht wird unter Bezugnahme auf **Fig. 16** näher erörtert.

[0026] Die Reaktion ist selbststoppend, da die Menge der adsorbierten Vorläufermoleküle begrenzt ist, und die Reaktion wird beendet, wenn die adsorbierten Vorläufermoleküle vollständig zur Reaktion gebracht worden sind. Dementsprechend wird ein Zeitraum $\Delta TP4$ so gewählt, dass er so lang ist, dass eine vollständige Reaktion der adsorbierten Vorläufermoleküle möglich ist, aber so kurz ist, dass die Leistung nicht beeinträchtigt wird. Bei einigen Ausführungsformen kann der Zeitraum $\Delta TP4$ länger als etwa 0,05 s sein und kann etwa 0,05 s bis etwa 10 s betragen. Die Energie zum Erzeugen des Plasmas kann etwa 10 W bis etwa 500 W betragen. Das Plasma kann mit einem ICP-Modus (ICP: induktiv gekoppeltes Plasma), einem CCP-Modus (CCP: kapazitiv gekoppeltes Plasma) oder dergleichen erzeugt werden. In einigen Beispielen beträgt die Frequenz der HF-Leistung 13,56 MHz, aber es können auch andere Frequenzen verwendet werden.

[0027] Nach dem Ende des Zeitraums $\Delta TP4$ wird das Plasma zu einem Zeitpunkt TP5 ausgeschaltet. Bei einigen Ausführungsformen der vorliegenden Erfindung ist ein Zeitraum $\Delta TP5$ vorgesehen, in dem das Spülgas stets eingeschaltet ist, während der Vorläufer (Diagramm A) und das Plasma (Diagramm C) ausgeschaltet sind. Der Zeitraum $\Delta TP5$ endet zu einem Zeitpunkt TP6. Es versteht sich, dass der Zeitpunkt TP6 auch der Zeitpunkt TP1 eines nächsten ALD-Zyklus ist, wenn ein weiterer Zyklus eines nicht-konformen ALD-Prozesses durchgeführt werden soll.

Dadurch wird ein nicht-konformer ALD-Zyklus beendet. Die nachfolgenden nicht-konformen ALD-Zyklen können eine Wiederholung der vorstehend erörterten nicht-konformen ALD-Zyklen sein. Die nicht-konformen ALD-Zyklen können so lange wiederholt werden, bis die gewünschte Dicke **T2 (Fig. 5B)** erreicht ist. Bei einigen Ausführungsformen der vorliegenden Erfindung kann die Anzahl der Zyklen 1 bis 1000 betragen. Die Gesamtanzahl von Zyklen hängt von dem speziellen Verwendungszweck der Ausführungsform ab.

[0028] Bei einigen Ausführungsformen der vorliegenden Erfindung ist der Gesamtzeitraum ($\Delta TP1 + \Delta TP5$) die Zeit zum Abführen der nicht zur Reaktion gebrachten Radikale, Ionen usw. zur Vorbereitung auf den nächsten nicht-konformen ALD-Zyklus. Bei einigen Ausführungsformen der vorliegenden Erfindung beträgt der Gesamtzeitraum ($\Delta TP1 + \Delta TP5$) etwa 0,1 s bis etwa 100 s. Bei anderen Ausführungsformen der vorliegenden Erfindung kann der Zeitraum $\Delta TP4$ ausreichend lang sein, sodass der Gesamtzeitraum ($\Delta TP1 + \Delta TP5$) auf 0 s reduziert werden kann. Dies bedeutet, dass wenn das Plasma lang genug eingeschaltet ist, zum Beispiel länger als etwa 1 s, die nicht zur Reaktion gebrachten Radikale, Ionen usw. des Vorläufers vollständig abgeführt werden, wenn das Plasma eingeschaltet ist. Somit kann unmittelbar nach dem Ausschalten des Plasmas mit der Vorläufer-Einleitung des nächsten Zyklus begonnen werden.

[0029] Um bessere Ergebnisse zu erzielen, ohne dass dies zu Lasten der Leistung geht, können die Zeiträume $\Delta TP1$, $\Delta TP2$, $\Delta TP3$, $\Delta TP4$ und $\Delta TP5$ optimiert werden. Zum Beispiel können die Zeiträume $\Delta TP2$ und $\Delta TP4$ möglichst kurz sein und können zum Beispiel etwa 0,1 s bis etwa 10 s betragen und in der Nähe von etwa 0,1 s liegen. Die Zeiträume $\Delta TP2$ und $\Delta TP4$ können dicht beieinander liegen oder gleichlang sein, wobei der Absolutwert der Differenz $(\Delta TP2 - \Delta TP4)/\Delta TP2$ kleiner als etwa 0,2 ist. Andererseits sind die Zeiträume $\Delta TP2$ und $\Delta TP4$ kürzer als die Zeiträume $\Delta TP3$ und $\Delta TP5$, sodass eine ausreichende Spülung in den Zeiträumen $\Delta TP3$ und $\Delta TP5$ durchgeführt wird.

[0030] Bei einigen Ausführungsformen wird nach einem oder mehreren nicht-konformen ALD-Zyklen ein Oxidationsprozess durchgeführt, um die abgeschiedene nicht-konforme Verkappungsschicht **40 (Fig. 4A und Fig. 4B)** zu oxidieren. Daher kann in Abhängigkeit von der Zusammensetzung der nicht-konformen Verkappungsschicht **40**, die aus SiC, SiN, SiCN oder dergleichen hergestellt werden kann oder dieses aufweisen kann, die resultierende oxidierte nicht-konforme Verkappungsschicht **40** aus SiOC, SiON, SiOCN oder dergleichen bestehen oder dieses aufweisen. Bei anderen Ausführungsformen kann der Oxidationsprozess weggelassen werden, und die re-

sultierende nicht-konforme Verkappungsschicht **40** weist SiC, SiN, SiCN oder dergleichen auf. Es versteht sich, dass die dielektrische Schicht **38** und die Verkappungsschicht **40** die gleichen Elemente aus der Gruppe Si, O, C, N und dergleichen aufweisen können (oder auch nicht), obwohl die dielektrische Schicht **38** und die nicht-konforme Verkappungsschicht **40** unabhängig davon, ob sie die gleichen Elemente aufweisen oder nicht, unterschiedliche Zusammensetzungen (mit unterschiedlichen Prozentsätzen der Elemente) haben können. Die **Fig. 18A** und **Fig. 18B** zeigen Diagramme zum Durchführen des Oxidationsprozesses.

[0031] Bei einigen Ausführungsformen kann, wenn die resultierende nicht-konforme Verkappungsschicht **40** SiCN ist, der Anteil von Kohlenstoff etwa 1 Atom-% bis etwa 50 Atom-% betragen, und der Anteil von Stickstoff kann ebenfalls etwa 1 Atom-% bis etwa 50 Atom-% betragen. Wenn die Verkappungsschicht **40** SiOCN ist, kann der Anteil von Sauerstoff etwa 1 Atom-% bis etwa 50 Atom-% betragen, der Anteil von Kohlenstoff kann etwa 1 Atom-% bis etwa 50 Atom-% betragen, und der Anteil von Stickstoff kann ebenfalls etwa 1 Atom-% bis etwa 50 Atom-% betragen.

[0032] **Fig. 18A** zeigt einen kontinuierlichen Oxidationsprozess mit einem einzigen Zyklus. Das obere Diagramm von **Fig. 18A** zeigt die Einleitung des Oxidations- und Spülgases als eine Funktion der Zeit, und das untere Diagramm zeigt das Plasma als eine Funktion der Zeit. Die Zeit in dem oberen Diagramm entspricht der Zeit in dem unteren Diagramm. Bei einigen Ausführungsformen der vorliegenden Erfindung umfasst das Oxidations- und Spülgas ein Oxidationsgas, das Sauerstoff (O_2), Ozon (O_3) und/oder dergleichen sein kann. Das Oxidations- und Spülgas kann auch ein Träger(spül)gas enthalten, das Stickstoff (N_2) und/oder ein Inertgas wie Argon, Helium oder dergleichen sein kann. Bei alternativen Ausführungsformen wird Stickstoff, aber kein Sauerstoff verwendet, und das Trägergas kann zugegeben werden. Der entsprechende Prozess in **Fig. 18** ist somit ein Nitrierungsprozess statt des Oxidationsprozesses. Der Durchsatz des Oxidationsgases kann etwa 1 Ncm³/min bis etwa 6000 Ncm³/min betragen, und der Durchsatz des Trägergases kann ebenfalls etwa 1 Ncm³/min bis etwa 6000 Ncm³/min betragen. Die Dauer der Oxidation kann etwa 0,1 s bis etwa 100 s betragen.

[0033] **Fig. 18B** zeigt einen Oxidationsprozess gemäß alternativen Ausführungsformen. In diesem Prozess wird das Plasma in einer Mehrzahl von Zyklen ein- und ausgeschaltet, statt es während der gesamten Zeit des Einleitens des Oxidations- und Spülgases eingeschaltet zu lassen. Der Durchsatz des Oxidations- und Spülgases kann dem ähnlich sein, der unter Bezugnahme auf **Fig. 18A** angegeben worden ist. Bei einigen Ausführungsformen kann ein Ein-

schalt-/Ausschalt-Verhältnis etwa 0,1 bis etwa 0,9 betragen. Die Gesamtanzahl von Plasma-Einschalt-/Ausschaltzyklen kann etwa 5 bis 10 betragen.

[0034] Nach dem in **Fig. 18A** gezeigten Einzyklus-Oxidationsprozess oder dem in **Fig. 18B** gezeigten Mehrzyklus-Oxidationsprozess kann das Verfahren zu dem nicht-konformen ALD-Zyklus oder -Zyklen zurückgehen, wie in **Fig. 17** gezeigt ist. Die Prozesse von **Fig. 17** und der Prozess von **Fig. 18A** (oder 18B) können auch gemeinsam einen zusammengesetzten Zyklus bilden, und dieser zusammengesetzte Zyklus kann wiederholt werden.

[0035] **Fig. 16** zeigt ein Beispiel, das chemische Zwischenstrukturen bei der Herstellung der nicht-konformen Verkappungsschicht **40** für den Fall zeigt, dass die nicht-konformen ALD-Zyklen an dem Wafer **10** durchgeführt werden. Das Beispiel ist für die Verwendung von DIPAS als Vorläufer gezeigt. Der beschriebene Mechanismus gilt jedoch auch für andere Arten von Vorläufern, wie etwa BDEAS. Die in **Fig. 16** gezeigten Zwischenstrukturen sind mit den Bezugszahlen **112**, **114**, **116**, **118** und **120** bezeichnet, um die auf unterschiedlichen Stufen erzeugten Zwischenstrukturen voneinander zu unterscheiden. Der Wafer **10** weist eine Basisschicht **110** auf, die die freigelegten Strukturelemente darstellen kann, die die dielektrische Schicht **38** und die STI-Bereiche **24**, die in den **Fig. 4A** und **Fig. 4B** gezeigt sind, umfassen, wenn die Strukturelemente zu Beginn des nicht-konformen ALD-Abscheidungsprozesses freigelegt werden. Es versteht sich, dass die in den **Fig. 4A** und **Fig. 4B** gezeigte Struktur lediglich ein Beispiel ist und die Ausführungsformen auch für andere Strukturen verwendet werden können.

[0036] Die Anfangsstruktur von **Fig. 16** wird als Struktur **112** bezeichnet. In dem dargestellten Beispiel ist die Basisschicht **110** als eine Schicht dargestellt, die Silizium enthält, das die Form von kristallinem Silizium, amorphem Silizium, Polysilizium oder einer siliziumhaltigen Verbindung haben kann, die unter anderem Siliziumoxid, Siliziumnitrid, Siliziumoxidcarbid, Siliziumoxidnitrid oder dergleichen umfasst. Bei einigen Ausführungsformen der vorliegenden Erfindung entstehen OH-Bindungen an der Oberfläche der siliziumhaltigen Schicht **110**, wobei die OH-Bindungen eine Bindung mit den Siliziumatomen an der Oberfläche der Basisschicht **110** eingehen können.

[0037] Bleiben wir bei der Struktur **112**. Der Vorläufer wird (zu dem Zeitpunkt TP2 wie in **Fig. 17**) eingeleitet und ist als ein Siliziumatom dargestellt, das eine Bindung mit zwei Wasserstoffatomen und zwei Liganden (funktionellen Gruppen), die mit „L“ bezeichnet sind, eingeht, wobei der Ligand L eine funktionelle Gruppe mit der chemischen Formel $N(C_2H_5)_2$ ist, wenn der Vorläufer DIPAS ist. Einige der Vorläufermolekü-

le werden auf dem freigelegten Wafer **10** adsorbiert, wie in der Struktur **112** gezeigt ist. Die freigelegten Oberflächen können mit einer Schutz-Monolage aus den Vorläufermolekülen bedeckt sein. Dann wird die Einleitung des Vorläufers gestoppt, und das Spülgas wird kontinuierlich eingeleitet, sodass die überschüssigen Vorläufermoleküle, die nicht adsorbiert werden, aus der Reaktionskammer gespült werden.

[0038] Kommen wir zu **Fig. 16** zurück. Das Plasma wird eingeschaltet (zu dem Zeitpunkt TP4 wie in **Fig. 17**), und aus der Struktur **112** entsteht eine Struktur **114**. Unterstellt man, dass Argon in dem Spülgas verwendet wird, so werden Argon-Ionen erzeugt, die die adsorbierten Vorläufermoleküle angreifen und die Bindungen zwischen OH und die Bindung zwischen H und Si in den Vorläufermolekülen lösen. Dadurch gehen die Siliziumatome in den Vorläufermolekülen eine Bindung mit den Sauerstoffatomen auf dem Wafer **10** ein. Die Siliziumatome können auch eine Bindung mit funktionellen Gruppen L oder mit Wasserstoffatomen eingehen, wie in der resultierenden Struktur **114** gezeigt ist.

[0039] Im Verlauf der Plasma-Erzeugung werden die funktionellen Gruppen L wie in der Struktur **114** weiter abgebaut, um Kohlenstoffradikale und -ionen, Stickstoffradikale und -ionen und Wasserstoffradikale und -ionen zu erzeugen, und die resultierende Struktur ist als Struktur **116** gezeigt. Diese Radikale und Ionen bilden ebenfalls Plasma, und die Erzeugung von Plasma, das die weiter aufgespaltenen Ionen und Radikale aufweist, wird als Plasmaregeneration bezeichnet. Das regenerierte Plasma weist Kohlenstoffradikale (C*), Stickstoffradikale (N*), Wasserstoffradikale (H*) und CN-Radikale (CN*) auf, wie in einer Struktur **118** gezeigt ist. Die Radikale und Ionen, die durch die Plasmaregeneration erzeugt werden, gehen dann eine Bindung mit Siliziumatomen ein, und es entsteht eine Struktur **120**. In dem dargestellten Beispiel weist die resultierende dielektrische Schicht **40** SiCN, SiOCN und dergleichen auf.

[0040] Nachdem die Struktur **120** hergestellt worden ist, wird der ALD-Zyklus, der in den **Fig. 16** und **Fig. 17** gezeigt ist, wiederholt, sodass eine Mehrzahl von Monolagen abgeschieden wird, um die dielektrische Schicht **40** herzustellen, wie in den **Fig. 5A** und **Fig. 5B** gezeigt ist. In nachfolgenden ALD-Zyklen können die Si-C-Bindungen, Si-N-Bindungen und Si-O-Bindungen, die in einem früheren ALD-Zyklus entstanden sind, gelöst werden, und es werden mehr Si-Atome in den Vorläufern, die in späteren ALD-Zyklen eingeleitet werden, gebunden, sodass mehr Si-C-Bindungen und Si-N-Bindungen entstehen. Der in **Fig. 16** gezeigte ALD-Zyklus wird so lange wiederholt, bis die resultierende dielektrische Schicht **40** eine gewünschte Dicke hat.

[0041] Bei einigen Ausführungsformen der vorliegenden Erfindung wird ein nicht-konformer ALD-Prozess verwendet, dessen Mechanismus nachstehend kurz erläutert wird. Kehren wir zu **Fig. 4B** zurück. Auf Grund der Kongregation des Plasmas an der Oberseite der Finnen sind das Plasma und die resultierenden Radikale in der Nähe der Oberseiten der überstehenden Finnen **36** konzentriert, und es ist weniger wahrscheinlich, dass sie sich in den Gräben zwischen den überstehenden Finnen **36** befinden, da die Oberseiten in dem Weg des Gasstroms liegen. Somit ist es wahrscheinlicher, dass die Kohlenstoffradikale C* und die Stickstoffradikale N* mit den offenen Bindungen der Siliziumatome in der Nähe der Oberseite der Finnen verbunden werden. Im Gegensatz dazu entsteht, wenn der Vorläufer in die Reaktionskammer eingeleitet wird oder in der Reaktionskammer verbleibt (anstatt adsorbiert zu werden), beim Einschalten des Plasmas eine konforme Schicht. In Abhängigkeit von den Vorläufern und den Prozessbedingungen kann SiC, SiN oder SiC als die dielektrische Schicht **40** entstehen. C*- und N*-Radikale sind aktiver als H*-Radikale, und daher weist die resultierende dielektrische Schicht **40** keinen Wasserstoff auf.

[0042] Damit die Kohlenstoffradikale C* und die Stickstoffradikale N* eine Bindung mit Siliziumatomen eingehen, müssen sich die Radikale zu den entsprechenden Positionen bewegen (diffundieren). Die Radikale sind jedoch sehr reaktionsfähig, und ihre Diffusionslänge ist klein, und die Wahrscheinlichkeit, dass sich die C*- und N*-Radikale von der Oberseite der Finnen **36** zu deren Mitte und Unterseite bewegen, ist gering. Und da das Plasma erst eingeschaltet wird, nachdem die überschüssigen Vorläufermoleküle weggespült worden sind, ist die Quelle für die C*- und N*-Radikale, die von dem adsorbierten Vorläufer stammen, spärlich, und die Gesamtanzahl der C*- und N*-Radikale ist niedrig. Die C*- und N*-Radikale werden lokal und praktischerweise mit Silizium an der Oberseite der Finnen zur Reaktion gebracht, und sie werden sich wahrscheinlich nicht zu den Siliziumatomen in der Mitte und an der Unterseite der überstehenden Finnen bewegen und eine Bindung mit diesen eingehen. Dadurch ist die abgeschiedene dielektrische Schicht **40** nicht-konform, wie in den **Fig. 5A** bis **Fig. 5D** gezeigt ist.

[0043] Bei einigen Ausführungsformen, die unter Bezugnahme auf **Fig. 17** erörtert werden, werden stark rekombinierende Gase, wie etwa Stickstoff (N₂) und/oder Wasserstoff (H₂), als Teil des Spülgases bereitgestellt. Diese Gase werden ebenfalls von dem Inertgas-Plasma in Radikale aufgespalten. Die stark rekombinierenden Gase haben hohe Rekombinationsraten, was bedeutet, dass ihre Radikale N* und H* sehr wahrscheinlich rekombinieren, sodass zum Beispiel wieder N₂ und H₂ entstehen. Zum Beispiel haben die stark rekombinierenden Gase höhe-

re Rekombinationsraten (und diffundieren in kürzeren Abständen) als Sauerstoffradikale O^* . Dementsprechend haben diese Gase eine kurze Diffusionslänge, und durch ihre Zugabe wird das nicht-konforme Verhalten verstärkt, sodass das Verhältnis $T_{\text{Side-Avg}}/T_{\text{Top-Avg}}$ noch kleiner wird.

[0044] Um dieses nicht-konforme Verhalten zu erzielen, werden auch die Prozessbedingungen angepasst. Es ist herausgefunden worden, dass ein höherer Druck des Spülgases (das N_2 sein kann) und die Radikale von dem adsorbierten Vorläufer zu einer höheren Rekombinationsrate führen, da mehr Radikale für die Rekombination zur Verfügung stehen, und somit führt ein höherer Druck zu einem stärker nicht-konformen Profil für die abgeschiedene dielektrische Schicht **40**, und umgekehrt. Wenn hingegen der Druck zu hoch ist, kann wegen der zu niedrigen Energie, die von den Radikalen übertragen wird, die Qualität der dielektrischen Schicht **40** gemindert werden. Bei einigen Ausführungsformen der vorliegenden Erfindung wird der Druck so geregelt, dass er etwa 1000 mTorr bis etwa 8000 mTorr beträgt.

[0045] Außerdem ist ein Reduzieren der Plasmaleistung zum Herstellen einer nicht-konformen Verkapplungsschicht **40** günstiger, da es weniger wahrscheinlich ist, dass die Radikale die Finnen-Unterseite erreichen, um hier anzuhaften. Wenn jedoch die Plasmaleistung zu niedrig (z. B. niedriger als 10 W), wird auch die Schichtqualität gemindert. Bei einigen Ausführungsformen der vorliegenden Erfindung wird die Plasmaleistung so geregelt, dass sie etwa 10 W bis etwa 500 W beträgt.

[0046] Durch den ALD-Zyklus, der in **Fig. 16** gezeigt ist, wird eine Monolage der dielektrischen Schicht **40** auf der Oberseite der überstehenden Strukturen abgeschieden, wie in den **Fig. 5A** bis **Fig. 5D** gezeigt ist, aber sie wird nicht auf den Seitenwänden (insbesondere auf den unteren Teilen der Seitenwände) der überstehenden Struktur und auf der Oberseite der STI-Bereiche **24** abgeschieden. Außerdem ist die Wahrscheinlichkeit, dass die dielektrische Schicht **40** auf den unteren Teilen der Seitenwände abgeschieden wird, niedriger, als dass sie auf deren jeweiligen oberen Teilen abgeschieden wird. Dadurch werden die Dicken der unteren Teile der Seitenwandteile **40B** der dielektrischen Schicht **40** immer kleiner (wie in den **Fig. 5C** und **Fig. 5D** gezeigt ist), oder sie werden einheitlich, aber dünner als die oberen Teile, wie in **Fig. 5B** gezeigt ist.

[0047] Die **Fig. 6A** und **Fig. 6B** zeigen die Abscheidung einer Dummy-Gate-Elektroden-schicht **42**. Der entsprechende Schritt ist als ein Schritt **412** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. **Fig. 6B** zeigt den Referenzquerschnitt **6B - 6B** von **Fig. 6A**. Die Dummy-Gate-Elektroden-schicht **42** kann aus Polysilizium oder amorphem Silizium her-

gestellt werden oder dieses aufweisen, aber es können auch andere Materialien verwendet werden. Der Herstellungsprozess kann einen Abscheidungsprozess und einen anschließenden Planarisierungsprozess umfassen. Dann wird eine Hartmaskenschicht **44** auf der Dummy-Gate-Elektroden-schicht **42** abgeschieden. Der entsprechende Schritt ist als ein Schritt **414** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Die Hartmaskenschicht **44** kann aus Siliziumnitrid, Siliziumoxid, Siliziumoxidcarbonitrid oder Multischichten davon hergestellt werden oder diese aufweisen.

[0048] Die **Fig. 7A** und **Fig. 7B** zeigen den Strukturierungsprozess zum Herstellen von Dummy-Gate-stapeln **45**. Der entsprechende Schritt ist als ein Schritt **416** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. **Fig. 7B** zeigt den Referenzquerschnitt **7B - 7B** von **Fig. 7A**. Bei einigen Ausführungsformen der vorliegenden Erfindung wird zunächst die Hartmaskenschicht **44** zum Beispiel unter Verwendung einer strukturierten Fotoresistschicht als eine Ätzmaske strukturiert. Die resultierenden Hartmasken werden als Hartmasken **44'** bezeichnet. Die strukturierten Hartmasken **44'** werden dann als eine Ätzmaske zum Ätzen der darunter befindlichen Dummy-Gate-Elektroden-schicht **42** und des Dummy-Gatedielektrikums **38** verwendet, um Dummy-Gate-elektroden **42'** bzw. Dummy-Gatedielektroden **38'** herzustellen. Die Ätzung erfolgt mit einem anisotropen Ätzprozess.

[0049] Die Ätzung der Dummy-Gate-Elektroden-schicht **42**, die aus Polysilizium hergestellt werden kann, kann unter Verwendung eines Prozessgases durchgeführt werden, das C_2F_6 , CF_4 oder SO_2 , ein Gemisch aus HBr , Cl_2 und O_2 , ein Gemisch aus HBr , Cl_2 und O_2 oder ein Gemisch aus HBr , Cl_2 , O_2 und CF_2 und dergleichen aufweist. In dem Ätzprozess für die Dummy-Gate-Elektroden-schicht **42** werden die nicht-konforme Verkapplungsschicht **40** und die dielektrische Dummy-Schicht **38** als eine Ätzstopp-schicht verwendet. Die nicht-konforme Verkapplungsschicht **40** trägt dazu bei, zu verhindern, dass die dielektrische Dummy-Schicht **38** bei der Ätzung der Dummy-Gate-Elektroden-schicht **42** durchgeätzt wird. Wenn hingegen die nicht-konforme Verkapplungsschicht **40** nicht hergestellt wird und die dielektrische Schicht **38** durchgeätzt wird, da die überstehenden Finnen **36** aus dem gleichen oder einem ähnlichen Material (z. B. Silizium) wie die Dummy-Gate-Elektroden-schicht **42** hergestellt sein können, werden die überstehenden Finnen **36** stark beschädigt oder sogar völlig entfernt. Die nicht-konforme Verkapplungsschicht **40**, die an der Oberseite der überstehenden Finnen **36** dicker ist, bietet einen verbesserten Schutz für die darunter befindliche dielektrische Schicht **38** und die überstehenden Finnen **36**.

[0050] Bei einigen Ausführungsformen werden nach dem Strukturieren der Dummy-Gate-Elektroden-schicht **42** die freigelegten Teile der nicht-konformen Verkappungsschicht **40** und die darunter befindlichen Teile der dielektrischen Schicht **38** geätzt, sodass die darunter befindlichen überstehenden Finnen **36** freigelegt werden. Bei alternativen Ausführungsformen der vorliegenden Erfindung wird die nicht-konforme Verkappungsschicht **40** geätzt, und die darunter befindlichen Teile der dielektrischen Schicht **38** werden unstrukturiert gelassen und werden nach der Herstellung der Gate-Abstandshalter strukturiert. Bei weiteren alternativen Ausführungsformen der vorliegenden Erfindung werden die nicht-konforme Verkappungsschicht **40** und die darunter befindlichen Teile der dielektrischen Schicht **38** unstrukturiert gelassen und werden nach der Herstellung der Gate-Abstandshalter strukturiert.

[0051] Wie in **Fig. 8** gezeigt ist, werden dann Gate-Abstandshalter **46** auf den Seitenwänden der Dummy-Gatestapel **45** hergestellt. Der entsprechende Schritt ist als ein Schritt **418** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Bei einigen Ausführungsformen der vorliegenden Erfindung werden die Gate-Abstandshalter **46** aus einem oder mehreren dielektrischen Materialien, wie etwa Siliziumnitrid, Siliziumcarbonitrid oder dergleichen, hergestellt, und sie können eine Einschichtstruktur oder einer Mehrschichtstruktur mit einer Mehrzahl von dielektrischen Schichten haben.

[0052] Dann wird ein Ätzprozess durchgeführt, um die freigelegten Teile der nicht-konformen Verkappungsschicht **40** und die darunter befindlichen Teile der dielektrischen Schicht **38** (wenn sie noch nicht strukturiert worden sind) zu ätzen. Der entsprechende Schritt ist als ein Schritt **420** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Es werden Strichlinien verwendet, um darzustellen, dass die Teile der dielektrischen Schicht **38** und der nicht-konformen Verkappungsschicht **40** direkt unter den Gate-Abstandshaltern **46** vorhanden sein können oder auch nicht, je nachdem, ob die freigelegten Teile in den vorhergehenden Prozessen geätzt worden sind oder nicht. Die Teile der überstehenden Finnen **36**, die nicht von den Dummy-Gatestapeln **45** und den Gate-Abstandshaltern **46** bedeckt sind, werden geätzt, sodass die in **Fig. 9** gezeigte Struktur entsteht. Das Aussparen kann anisotrop sein, und daher werden die Teile der Finnen **36** direkt unter den Dummy-Gatestapeln **45** und den Gate-Abstandshaltern **46** geschützt und werden nicht geätzt. Die Oberseiten der ausgesparten Halbleiterstreifen **26** können bei einigen Ausführungsformen niedriger als die Oberseiten **24A** der STI-Bereiche **24** sein. Dadurch entstehen Aussparungen **50**. Die Aussparungen **50** umfassen einige Teile, die sich auf gegenüberliegenden Seiten der Dummy-Gatestapel **45** befinden, und einige Teile

zwischen verbliebenen Teilen der überstehenden Finnen **36**.

[0053] Dann werden Epitaxiebereiche (Source-/Drain-Bereiche) **54** durch selektives Aufwachsen (durch Epitaxie) eines Halbleitermaterials in den Aussparungen **50** hergestellt, sodass die in **Fig. 10** gezeigte Struktur entsteht. Der entsprechende Schritt ist als ein Schritt **422** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. In Abhängigkeit davon, ob der resultierende FinFET ein p-FinFET oder ein n-FinFET ist, kann im Verlauf der Epitaxie ein p- oder ein n-Dotierungsstoff in situ dotiert werden. Wenn der resultierende FinFET zum Beispiel ein p-FinFET ist, kann Silizium-Germanium-Bor (SiGeB), Silizium-Bor (SiB) oder dergleichen aufgewachsen werden. Wenn der resultierende FinFET hingegen ein n-FinFET ist, kann Silizium-Phosphor (SiP), Silizium-Kohlenstoff-Phosphor (SiCP) oder dergleichen aufgewachsen werden. Bei alternativen Ausführungsformen der vorliegenden Erfindung weisen die Epitaxiebereiche **54** III-V-Verbindungshalbleiter wie GaAs, InP, GaN, InGaAs, InAlAs, GaSb, AlSb, AlAs, AlP, GaP, Kombinationen davon oder Multischichten davon auf. Nachdem die Aussparungen **50** mit den Epitaxiebereichen **54** gefüllt worden sind, führt das weitere epitaxiale Aufwachsen der Epitaxiebereiche **54** dazu, dass sie sich horizontal ausdehnen, und es können Abschrägungen entstehen. Durch das weitere Aufwachsen der Epitaxiebereiche **54** können auch benachbarte Epitaxiebereiche **54** miteinander verschmelzen. Es können Hohlräume (Luftspalte) **56** entstehen. Bei einigen Ausführungsformen der vorliegenden Erfindung kann die Herstellung der Epitaxiebereiche **54** beendet werden, wenn die Oberseite der Epitaxiebereiche **54** immer noch wellig ist oder aber wenn die Oberseite der verschmolzenen Epitaxiebereiche **54** planar geworden ist, was durch weiteres Aufwachsen der Epitaxiebereiche **54** erreicht wird, wie in **Fig. 6** gezeigt ist.

[0054] Nach dem Epitaxieprozess können die Epitaxiebereiche **54** weiter mit einem p- oder einem n-Dotierungsstoff dotiert werden, um Source- und Drain-Bereiche herzustellen, die ebenfalls mit der Bezugszahl **54** bezeichnet sind. Bei alternativen Ausführungsformen der vorliegenden Erfindung wird der Implantationsschritt ausgelassen, wenn die Epitaxiebereiche **54** während der Epitaxie in situ mit dem p- oder n-Dotierungsstoff dotiert werden.

[0055] **Fig. 11A** zeigt eine perspektivische Darstellung der Struktur nach der Herstellung einer Kontakt-Ätzstoppschicht (CESL) **58** und eines Zwischenschicht-Dielektrikums (ILD) **60**. Der entsprechende Schritt ist als ein Schritt **424** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Die CESL **58** kann aus Siliziumoxid, Siliziumnitrid, Siliziumcarbonitrid oder dergleichen durch CVD, ALD oder dergleichen hergestellt werden. Das ILD **60** kann ein

dielektrisches Material sein, das zum Beispiel durch FCVD, Schleuderbeschichtung, CVD oder mit einem anderen Abscheidungsverfahren abgeschieden wird. Das ILD **60** kann aus einem sauerstoffhaltigen dielektrischen Material hergestellt werden, das ein Siliziumoxid-basiertes Material sein kann, wie etwa TEOS-Oxid (TEOS: Tetraethylorthosilicat), Phosphorsilicatglas (PSG), Borsilicatglas (BSG), Borphosphorsilicatglas (BPSG) oder dergleichen. Ein Planarisierungsprozess, wie etwa ein CMP-Prozess oder ein mechanischer Schleifprozess, kann durchgeführt werden, um die Oberseiten des ILD **60**, der Dummy-Gatestapel **45** und der Gate-Abstandshalter **46** auf gleiche Höhe zu bringen. **Fig. 11B** zeigt den Referenzquerschnitt **11B - 11B** von **Fig. 11A**.

[0056] Dann werden die Hartmasken **44'**, die Dummy-Gateelektroden **42'**, die nicht-konforme Verkappungsschicht **40** und die dielektrischen Dummy-Schichten **38'** entfernt, sodass Gräben **62** zwischen den Gate-Abstandshaltern **46** entstehen, wie in den **Fig. 12A** und **Fig. 12B** gezeigt ist. **Fig. 12B** zeigt den Referenzquerschnitt **12B - 12B** von **Fig. 12A**. Bei einigen Ausführungsformen erfolgt das Entfernen der Dummy-Gateelektroden **42'** mit einem anisotropen Ätzprozess, der dem in den **Fig. 7A** und **Fig. 7B** gezeigten Strukturierungsprozess ähnlich ist. Bei alternativen Ausführungsformen erfolgt das Entfernen der Dummy-Gateelektroden **42'** mit einem Nassätzprozess. Die nicht-konforme Verkappungsschicht **40** kann die überstehenden Finnen **36** gegen eine unerwünschte Beschädigung während des Entferns der Dummy-Gateelektroden **42'** in dem Fall schützen, dass die Dummy-Gatedielektroden **38'** beschädigt werden. Nach dem Entfernen der Dummy-Gateelektroden **42'** ist die nicht-konforme Verkappungsschicht **40** durch die Gräben **62** freigelegt. Dann werden die nicht-konforme Verkappungsschicht **40** und die dielektrische Schicht **38** entfernt, und die resultierende Struktur ist in **Fig. 13** gezeigt.

[0057] Die **Fig. 14A** und **Fig. 14B** zeigen die Herstellung von Ersatz-Gatestapeln **64** und selbstjustierten Hartmasken **80**. **Fig. 14B** zeigt den Referenzquerschnitt **14B - 14B** von **Fig. 14A**. Wie in den **Fig. 14A** und **Fig. 14B** gezeigt ist, werden Ersatz-Gatestapel **64** hergestellt. Der entsprechende Schritt ist als ein Schritt **426** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Ein Ersatz-Gatestapel **64** umfasst ein Gatedielektrikum **70** und eine Gateelektrode **72**. Das Gatedielektrikum **70** kann eine Grenzflächenschicht (IL) **66** und eine dielektrische High-k-Schicht **68** (**Fig. 14B**) aufweisen. Die IL **66** wird auf den freigelegten Oberflächen der überstehenden Finnen **36** hergestellt und kann eine Oxidschicht, wie etwa eine Siliziumoxidschicht, umfassen, die durch thermische Oxidation der überstehenden Finnen **36**, einen chemischen Oxidationsprozess oder einen Abscheidungsprozess hergestellt wird. Die dielektrische High-k-Schicht **68** weist ein dielektrisches High-k-

Material auf, wie etwa Hafniumoxid, Lanthanoxid, Aluminiumoxid, Zirkoniumoxid oder dergleichen. Die Dielektrizitätskonstante (k-Wert) des dielektrischen High-k-Materials ist höher als 3,9 und kann höher als etwa 7,0 sein. Bei einigen Ausführungsformen der vorliegenden Erfindung wird die dielektrische High-k-Schicht **68** durch ALD, CVD oder dergleichen hergestellt.

[0058] Bleiben wir bei den **Fig. 14A** und **Fig. 14B**. Auf dem Gatedielektrikum **70** wird eine Gateelektrode **72** hergestellt. Die Gateelektrode **72** kann Stapelschichten **74** (**Fig. 14B**) aufweisen, die eine Diffusionssperrschicht (eine Verkappungsschicht) und eine oder mehrere Austrittsarbeits-schichten über der Diffusionssperrschicht umfassen können. Die Diffusionssperrschicht kann aus Titannitrid hergestellt werden, das mit Silizium dotiert werden kann (oder auch nicht). Wenn Titannitrid mit Silizium dotiert wird, kann es gelegentlich auch als Titan-Siliziumnitrid (Ti-Si-N oder TSN) bezeichnet werden. Die Austrittsarbeits-schicht bestimmt die Austrittsarbeit der Gateelektrode und umfasst mindestens eine Schicht oder eine Mehrzahl von Schichten, die aus unterschiedlichen Materialien hergestellt sind. Das spezielle Material für die Austrittsarbeits-schicht kann in Abhängigkeit davon gewählt werden, ob der jeweilige FinFET ein n- oder ein p-FinFET ist. Wenn der FinFET zum Beispiel ein n-FinFET ist, kann die Austrittsarbeits-schicht eine TaN-Schicht und eine Titan-Aluminium (TiAl)-Schicht über der TaN-Schicht umfassen. Wenn der FinFET ein p-FinFET ist, kann die Austrittsarbeits-schicht eine TaN-Schicht, eine TiN-Schicht über der TaN-Schicht und eine TiAl-Schicht über der TiN-Schicht umfassen. Nach der Abscheidung der Verkappungsschicht und der Austrittsarbeits-schicht kann eine Sperrschicht hergestellt werden, die eine weitere TiN-Schicht sein kann. Die Sperrschicht kann durch CVD hergestellt werden.

[0059] Dann wird ein Metallfüllbereich **76** abgeschieden. Die Herstellung des Metallfüllbereichs **76** kann durch CVD, ALD, physikalische Aufdampfung (PVD) oder dergleichen erfolgen, und der Metallfüllbereich **76** kann aus Cobalt, Wolfram, Legierungen davon oder einem anderen Metall oder anderen Metalllegierungen hergestellt werden oder diese aufweisen.

[0060] Dann wird ein Planarisierungsprozess, wie etwa ein CMP-Prozess oder ein mechanischer Schleifprozess, durchgeführt, sodass die Oberseite des Gatestapels **64** koplanar mit der Oberseite des ILD **60** ist. In einem nachfolgenden Prozess wird der Gatestapel **64** rückgeätzt, sodass eine Aussparung zwischen gegenüberliegenden Gate-Abstandshaltern **46** entsteht. Dann wird eine Hartmaske **80** über dem Ersatz-Gatestapel **64** hergestellt. Der entsprechende Schritt ist als ein Schritt **428** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Bei einigen Ausführungsformen der vorliegenden Er-

findung umfasst die Herstellung der Hartmaske **80** einen Abscheidungsprozess zum Abscheiden eines dielektrischen Schutzmaterials und einen Planarisierungsprozess zum Entfernen von überschüssigem dielektrischem Material über den Gate-Abstandshaltern **46** und dem ILD **60**. Die Hartmaske **80** kann zum Beispiel aus Siliziumnitrid oder anderen ähnlichen dielektrischen Materialien hergestellt werden.

[0061] In der Endstruktur können sich verbliebene Teile der konformen dielektrischen Schicht **38'** auf den überstehenden Finnen **36** befinden oder auch nicht, und verbliebene Teile der nicht-konformen Verkappungsschicht **40** können sich auf der konformen dielektrischen Schicht **38'** befinden oder auch nicht, wobei sich die verbliebenen Teile direkt unter den Gate-Abstandshaltern **46** befinden, wie in **Fig. 14B** gezeigt ist. Außerdem können die verbliebenen Teile der dielektrischen Schicht **38'** und der nicht-konformen Verkappungsschicht **40** direkt unter den Gate-Abstandshaltern **46** die gleichen Schnittansichten haben, wie in den **Fig. 5B**, **Fig. 5C** und **Fig. 5D** gezeigt ist.

[0062] **Fig. 15** zeigt einige der Strukturelemente, die in nachfolgenden Prozessen hergestellt werden und Source-/Drain-Kontaktstifte **84**, Source-/Drain-Silizidbereiche **86** und untere Teile von Gate-Kontaktstiften **82** umfassen können. Der entsprechende Schritt ist als ein Schritt **430** in dem Prozessablauf **400** angegeben, der in **Fig. 19** gezeigt ist. Die Einzelheiten der Prozesse werden hier nicht erörtert. Auf diese Weise wird ein FinFET **90** hergestellt.

[0063] Die Ausführungsformen der vorliegenden Erfindung haben einige Vorzüge. Durch Herstellen einer nicht-konformen Verkappungsschicht können die darunter befindlichen Schichten/Bereiche besser geschützt werden, wenn eine anisotrope Ätzung durchgeführt wird. Andererseits hat die nicht-konforme Verkappungsschicht eine sehr geringe Dicke, oder sie wird nicht auf den Seitenwänden der darunter befindlichen überstehenden Strukturelemente hergestellt und hat daher wenig Einfluss auf die späteren Prozesse.

[0064] Gemäß einigen Ausführungsformen der vorliegenden Erfindung weist ein Verfahren die folgenden Schritte auf: Herstellen einer überstehenden Struktur; und Herstellen einer nicht-konformen Schicht auf der überstehenden Struktur mit einem ALD-Prozess, wobei die nicht-konforme Schicht einen oberen Teil direkt über der überstehenden Struktur aufweist, wobei der obere Teil eine erste Dicke hat, und einen Seitenwandteil auf einer Seitenwand der überstehenden Struktur aufweist, wobei der Seitenwandteil eine zweite Dicke hat, die kleiner als die erste Dicke ist. Bei einer Ausführungsform umfasst der ALD-Prozess einen plasmaunterstützten ALD-Prozess, wobei während des ALD-Prozesses Plas-

ma eingeschaltet wird. Bei einer Ausführungsform umfasst das Verfahren weiterhin ein Herstellen einer Dummy-Gate-Elektrodenschicht über der nicht-konformen Schicht; und ein Strukturieren der Dummy-Gate-Elektrodenschicht. Bei einer Ausführungsform umfasst der ALD-Prozess einen Zyklus, wobei der Zyklus Folgendes umfasst: Einleiten eines siliziumhaltigen Vorläufers in eine Reaktionskammer; Stoppen des Einleitens des siliziumhaltigen Vorläufers; Abführen des siliziumhaltigen Vorläufers; und nach dem Abführen des siliziumhaltigen Vorläufers Einschalten des Plasmas. Bei einer Ausführungsform erfolgt das Abführen unter Verwendung eines Spülgases, wobei während eines Zeitraums, in dem das Plasma eingeschaltet ist, das Spülgas kontinuierlich in die Reaktionskammer eingeleitet wird. Bei einer Ausführungsform erfolgt das Abführen unter Verwendung eines Spülgases, wobei während eines Zeitraums von einem ersten Zeitpunkt, zu dem das Einleiten des siliziumhaltigen Vorläufers beendet wird, bis zu einem zweiten Zeitpunkt, zu dem das Plasma eingeschaltet wird, das Spülgas kontinuierlich in die Reaktionskammer eingeleitet wird. Bei einer Ausführungsform umfasst das Herstellen der überstehenden Struktur ein Herstellen einer überstehenden Halbleiterfinne; und ein Herstellen einer dielektrischen Schicht auf der überstehenden Halbleiterfinne, wobei die nicht-konforme Schicht auf der dielektrischen Schicht hergestellt wird. Bei einer Ausführungsform hat die nicht-konforme Schicht ein unteres Ende, das höher als eine mittlere Höhe der überstehenden Halbleiterfinne ist.

[0065] Gemäß einigen Ausführungsformen der vorliegenden Erfindung weist eine integrierte Schaltkreisstruktur Folgendes auf: ein Halbleitersubstrat; Isolationsbereiche, die sich in das Halbleitersubstrat erstrecken; eine Halbleiterfinne, die über Oberseiten der Isolationsbereiche übersteht, wobei sich die Isolationsbereiche auf gegenüberliegenden Seiten der Halbleiterfinne befinden; eine dielektrische Schicht auf einer Oberseite und Seitenwänden der Halbleiterfinne; und eine Verkappungsschicht mit einem ersten Teil direkt über der Halbleiterfinne, wobei die Verkappungsschicht Folgendes aufweist: einen oberen Teil über der dielektrischen Schicht, wobei der obere Teil eine erste Dicke hat, und einen Seitenwandteil auf einer Seitenwand eines oberen Teils der Halbleiterfinne, wobei der Seitenwandteil eine zweite Dicke hat, die kleiner als die erste Dicke ist. Bei einer Ausführungsform weist die integrierte Schaltkreisstruktur weiterhin Folgendes auf: einen Gate-Abstandshalter mit einem oberen Teil direkt über dem oberen Teil der Verkappungsschicht und mit unteren Teilen auf dem Seitenwandteil der Verkappungsschicht; und einen Gatestapel, der den Gate-Abstandshalter kontaktiert. Bei einer Ausführungsform hat der Seitenwandteil der Verkappungsschicht ein unteres Ende, das höher als eine mittlere Höhe der Halbleiterfinne ist. Bei einer Ausführungsform sind untere

Teile des Seitenwandteils der Verkappungsschicht dünner als jeweilige obere Teile des Seitenwandteils der Verkappungsschicht. Bei einer Ausführungsform nehmen Dicken des Seitenwandteils der Verkappungsschicht kontinuierlich von den unteren Teilen zu den jeweiligen oberen Teilen zu. Bei einer Ausführungsform sind die dielektrische Schicht und die Verkappungsschicht aus unterschiedlichen Materialien hergestellt. Bei einer Ausführungsform weisen die dielektrische Schicht und die Verkappungsschicht gleiche Elemente aus der Gruppe Si, O, N und C auf, wobei die dielektrische Schicht und die Verkappungsschicht unterschiedliche Zusammensetzungen haben. Bei einer Ausführungsform weist die Verkappungsschicht keine horizontalen Teile direkt über den Isolationsbereichen auf.

[0066] Gemäß einigen Ausführungsformen der vorliegenden Erfindung weist eine Struktur Folgendes auf: eine überstehende Struktur, die über Strukturelemente auf gegenüberliegenden Seiten der überstehenden Struktur übersteht, wobei die überstehende Struktur eine Oberseite und Seitenwandflächen aufweist; eine dielektrische Verkappungsschicht mit einem oberen Teil direkt über der überstehenden Struktur, wobei der obere Teil der dielektrischen Verkappungsschicht eine einheitliche Dicke hat und zumindest untere Teile der Seitenwandflächen der überstehenden Struktur keine darauf hergestellte dielektrische Verkappungsschicht aufweisen; und ein weiteres Strukturelement, das in Kontakt mit dem oberen Teil der dielektrischen Verkappungsschicht und mit unteren Teilen der Seitenwandflächen der überstehenden Struktur ist. Bei einer Ausführungsform weist die überstehende Struktur Folgendes auf: einen inneren Teil; und einen konformen äußeren Teil auf dem inneren Teil, wobei ein unterstes Ende der dielektrischen Verkappungsschicht im Wesentlichen auf gleicher Höhe wie eine Oberseite des inneren Teils ist. Bei einer Ausführungsform weist der innere Teil Polysilizium auf, und der konforme äußere Teil weist ein dielektrisches Material auf. Bei einer Ausführungsform hat der obere Teil der dielektrischen Verkappungsschicht eine Dicke von etwa 5 Å bis etwa 10 Å.

[0067] Vorstehend sind Merkmale verschiedener Ausführungsformen beschrieben worden, sodass Fachleute die Aspekte der vorliegenden Erfindung besser verstehen können. Fachleuten dürfte klar sein, dass sie die vorliegende Erfindung ohne Weiteres als eine Grundlage zum Gestalten oder Modifizieren anderer Verfahren und Strukturen zum Erreichen der gleichen Ziele und/oder zum Erzielen der gleichen Vorzüge wie bei den hier vorgestellten Ausführungsformen verwenden können. Fachleute dürften ebenfalls erkennen, dass solche äquivalenten Auslegungen nicht von dem Grundgedanken und Schutzzumfang der vorliegenden Erfindung abweichen und dass sie hier verschiedene Änderungen, Ersetzungen und Abwandlungen vornehmen können, ohne

von dem Grundgedanken und Schutzzumfang der vorliegenden Erfindung abzuweichen.

Patentansprüche

1. Verfahren mit den folgenden Schritten:
Herstellen einer überstehenden Struktur; und
Herstellen einer nicht-konformen Schicht auf der überstehenden Struktur mit einem ALD-Prozess (ALD: Atomlagenabscheidung), wobei die nicht-konforme Schicht Folgendes aufweist:
einen oberen Teil direkt über der überstehenden Struktur, wobei der obere Teil eine erste Dicke hat, und
einen Seitenwandteil auf einer Seitenwand der überstehenden Struktur, wobei der Seitenwandteil eine zweite Dicke hat, die kleiner als die erste Dicke ist.

2. Verfahren nach Anspruch 1, wobei der ALD-Prozess einen plasmaunterstützten ALD-Prozess umfasst, wobei während des ALD-Prozesses Plasma eingeschaltet wird.

3. Verfahren nach Anspruch 1 oder 2, das weiterhin Folgendes umfasst:
Herstellen einer Dummy-Gate-Elektrodenschicht über der nicht-konformen Schicht; und
Strukturieren der Dummy-Gate-Elektrodenschicht.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei der ALD-Prozess einen Zyklus umfasst, wobei der Zyklus Folgendes umfasst:
Einleiten eines siliziumhaltigen Vorläufers in eine Reaktionskammer;
Stoppen des Einleitens des siliziumhaltigen Vorläufers;
Abführen des siliziumhaltigen Vorläufers; und
nach dem Abführen des siliziumhaltigen Vorläufers Einschalten des Plasmas.

5. Verfahren nach Anspruch 4, wobei das Abführen unter Verwendung eines Spülgases erfolgt, wobei während eines Zeitraums, in dem das Plasma eingeschaltet ist, das Spülgas kontinuierlich in die Reaktionskammer eingeleitet wird.

6. Verfahren nach Anspruch 4, wobei das Abführen unter Verwendung eines Spülgases erfolgt und während eines Zeitraums von einem ersten Zeitpunkt, zu dem das Einleiten des siliziumhaltigen Vorläufers beendet wird, bis zu einem zweiten Zeitpunkt, zu dem das Plasma eingeschaltet wird, das Spülgas kontinuierlich in die Reaktionskammer eingeleitet wird.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Herstellen der überstehenden Struktur Folgendes umfasst:
Herstellen einer überstehenden Halbleiterfinne; und
Herstellen einer dielektrischen Schicht auf der überstehenden Halbleiterfinne, wobei die nicht-konfor-

me Schicht auf der dielektrischen Schicht hergestellt wird.

8. Verfahren nach Anspruch 7, wobei die nicht-konforme Schicht ein unteres Ende hat, das höher als eine mittlere Höhe der überstehenden Halbleiterfinne ist.

9. Integrierte Schaltkreisstruktur mit:
 einem Halbleitersubstrat;
 Isolationsbereichen, die sich in das Halbleitersubstrat erstrecken;
 einer Halbleiterfinne, die über Oberseiten der Isolationsbereiche übersteht, wobei sich die Isolationsbereiche auf gegenüberliegenden Seiten der Halbleiterfinne befinden;
 einer dielektrischen Schicht auf einer Oberseite und Seitenwänden der Halbleiterfinne; und
 einer Verkappungsschicht mit einem ersten Teil direkt über der Halbleiterfinne, wobei die Verkappungsschicht Folgendes aufweist:
 einen oberen Teil über der dielektrischen Schicht, wobei der obere Teil eine erste Dicke hat, und
 einen Seitenwandteil auf einer Seitenwand eines oberen Teils der Halbleiterfinne, wobei der Seitenwandteil eine zweite Dicke hat, die kleiner als die erste Dicke ist.

10. Integrierte Schaltkreisstruktur nach Anspruch 9, die weiterhin Folgendes aufweist:
 einen Gate-Abstandshalter mit einem oberen Teil direkt über dem oberen Teil der Verkappungsschicht und mit unteren Teilen auf dem Seitenwandteil der Verkappungsschicht; und
 einen Gatestapel, der den Gate-Abstandshalter kontaktiert.

11. Integrierte Schaltkreisstruktur nach Anspruch 9 oder 10, wobei der Seitenwandteil der Verkappungsschicht ein unteres Ende hat, das höher als eine mittlere Höhe der Halbleiterfinne ist.

12. Integrierte Schaltkreisstruktur nach einem der Ansprüche 9 bis 11, wobei untere Teile des Seitenwandteils der Verkappungsschicht dünner als jeweilige obere Teile des Seitenwandteils der Verkappungsschicht sind.

13. Integrierte Schaltkreisstruktur nach Anspruch 12, wobei Dicken des Seitenwandteils der Verkappungsschicht kontinuierlich von den unteren Teilen zu den jeweiligen oberen Teilen zunehmen.

14. Integrierte Schaltkreisstruktur nach einem der Ansprüche 9 bis 13, wobei die dielektrische Schicht und die Verkappungsschicht aus unterschiedlichen Materialien hergestellt sind.

15. Integrierte Schaltkreisstruktur nach einem der Ansprüche 9 bis 14, wobei die dielektrische Schicht

und die Verkappungsschicht gleiche Elemente aus der Gruppe Si, O, N und C aufweisen und die dielektrische Schicht und die Verkappungsschicht unterschiedliche Zusammensetzungen haben.

16. Integrierte Schaltkreisstruktur nach einem der Ansprüche 9 bis 15, wobei die Verkappungsschicht keine horizontalen Teile direkt über den Isolationsbereichen aufweist.

17. Struktur mit:
 einer überstehenden Struktur, die über Strukturelemente auf gegenüberliegenden Seiten der überstehenden Struktur übersteht, wobei die überstehende Struktur eine Oberseite und Seitenwandflächen aufweist;
 einer dielektrischen Verkappungsschicht mit einem oberen Teil direkt über der überstehenden Struktur, wobei der obere Teil der dielektrischen Verkappungsschicht eine einheitliche Dicke hat und zumindest untere Teile der Seitenwandflächen der überstehenden Struktur keine darauf hergestellte dielektrische Verkappungsschicht aufweisen; und
 einem weiteren Strukturelement, das in Kontakt mit dem oberen Teil der dielektrischen Verkappungsschicht und mit unteren Teilen der Seitenwandflächen der überstehenden Struktur ist.

18. Struktur nach Anspruch 17, wobei die überstehende Struktur Folgendes aufweist:
 einen inneren Teil; und
 einen konformen äußeren Teil auf dem inneren Teil, wobei ein unterstes Ende der dielektrischen Verkappungsschicht im Wesentlichen auf gleicher Höhe wie eine Oberseite des inneren Teils ist.

19. Struktur nach Anspruch 18, wobei der innere Teil Polysilizium aufweist und der konforme äußere Teil ein dielektrisches Material aufweist.

20. Struktur nach einem der Ansprüche 17 bis 19, wobei der obere Teil der dielektrischen Verkappungsschicht eine Dicke von etwa 5 Å bis etwa 10 Å hat.

Es folgen 28 Seiten Zeichnungen

Anhängende Zeichnungen

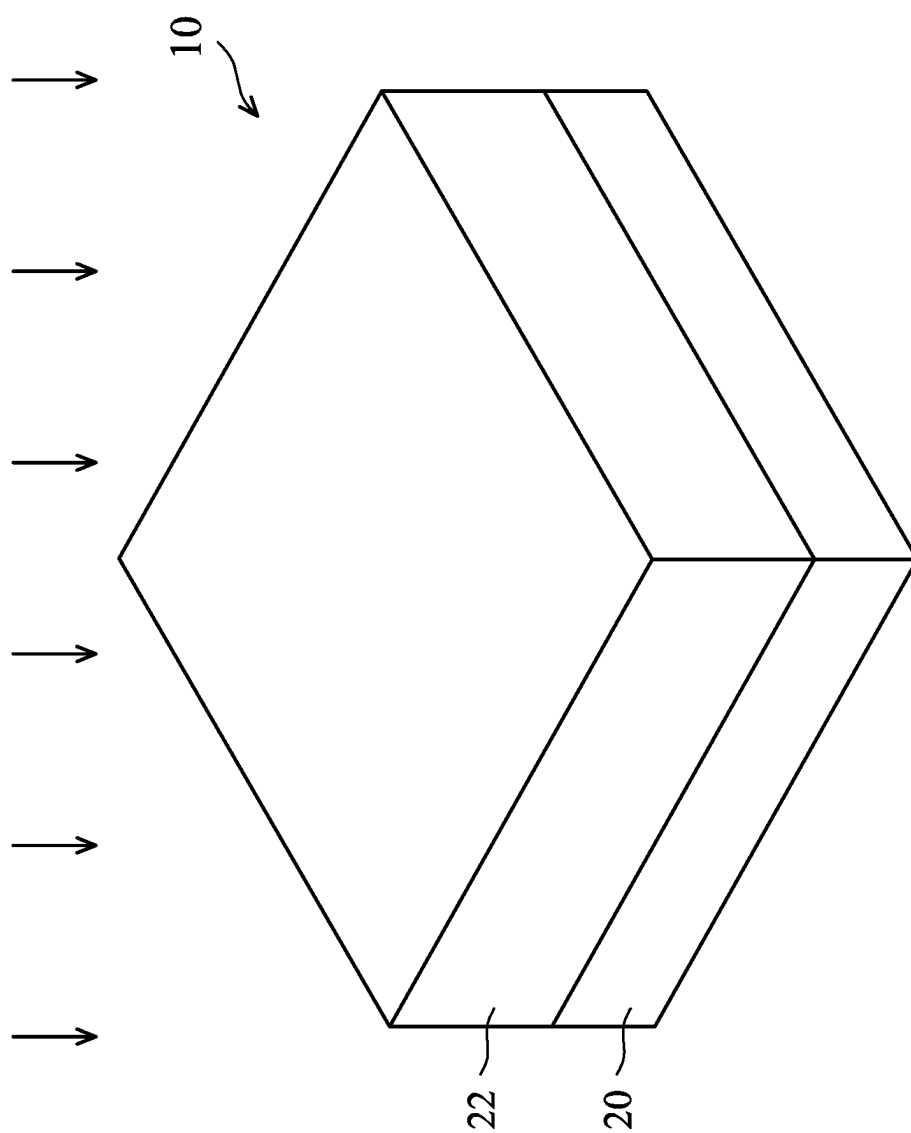
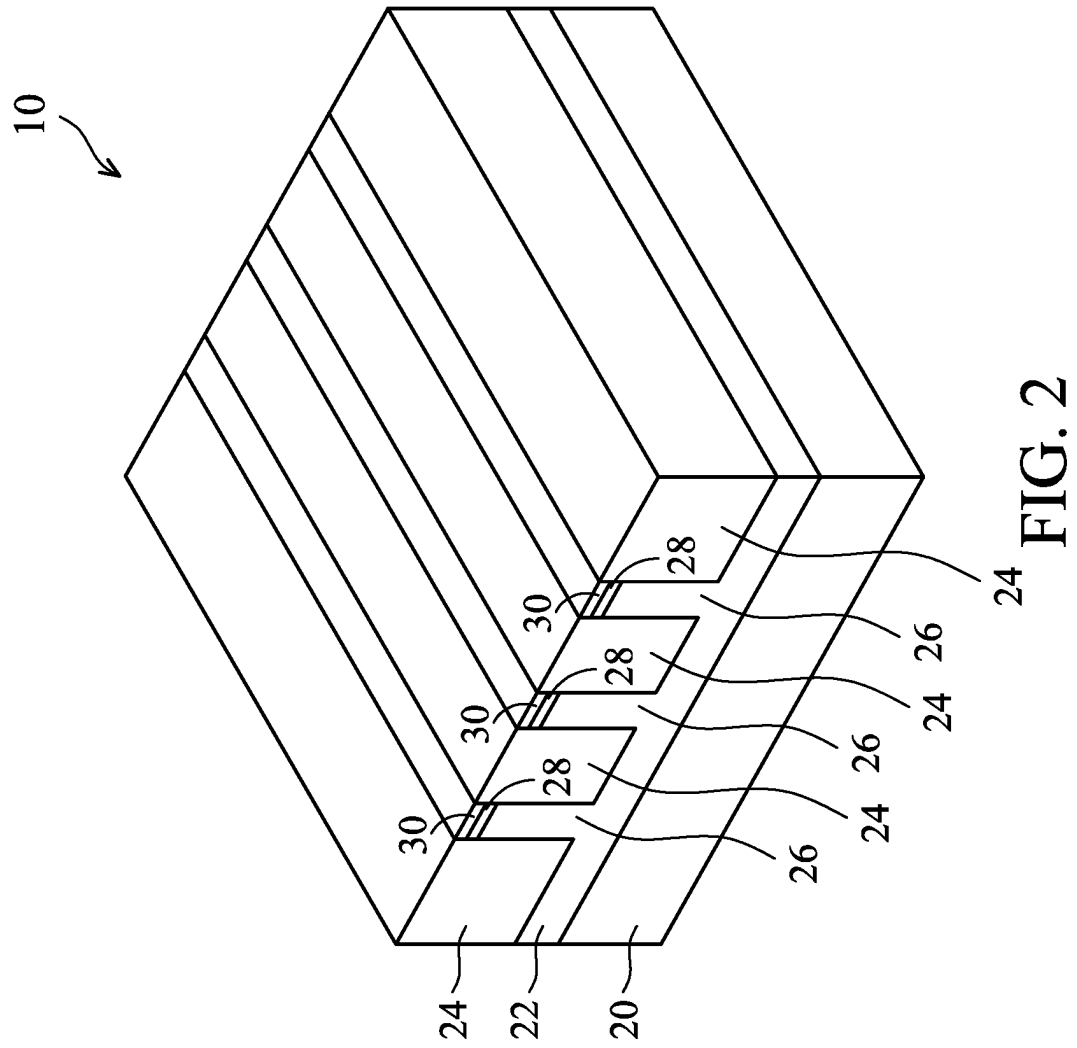


FIG. 1



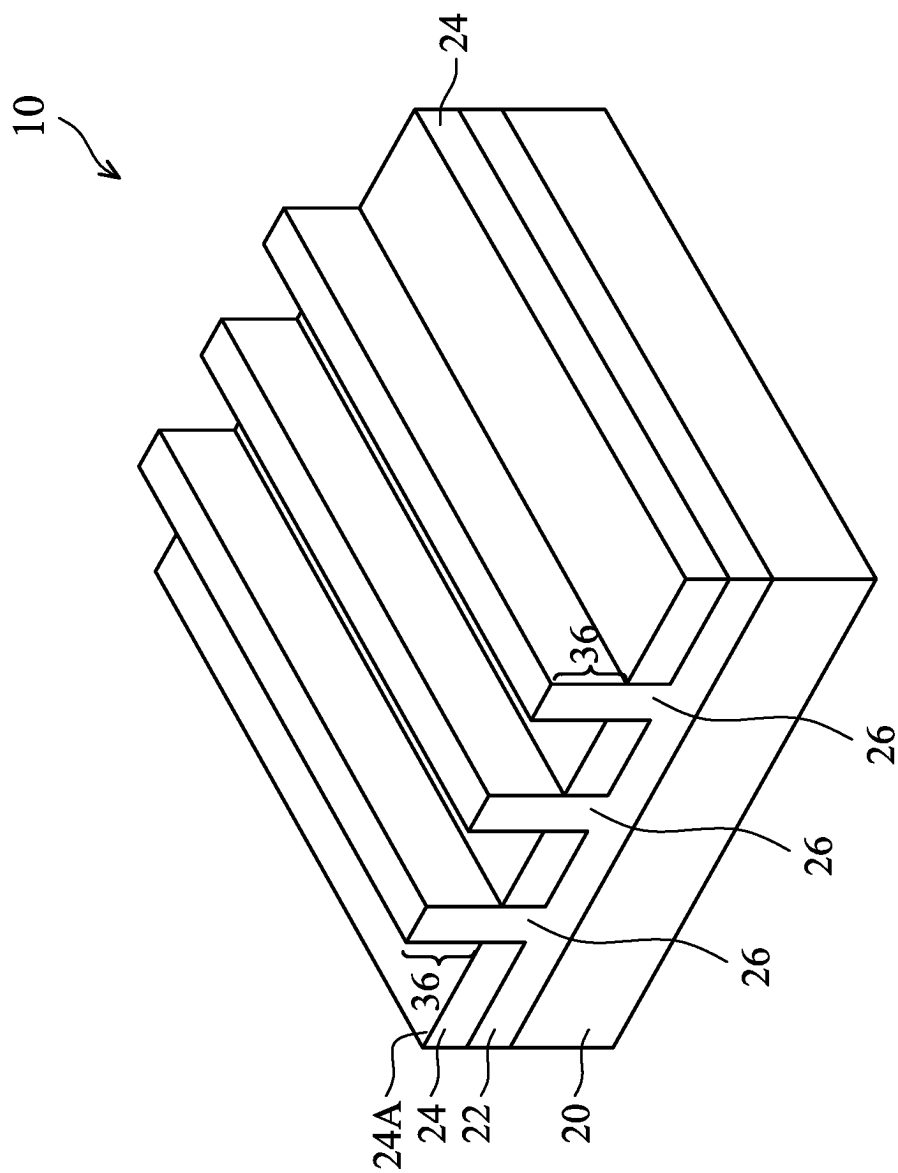


FIG. 3

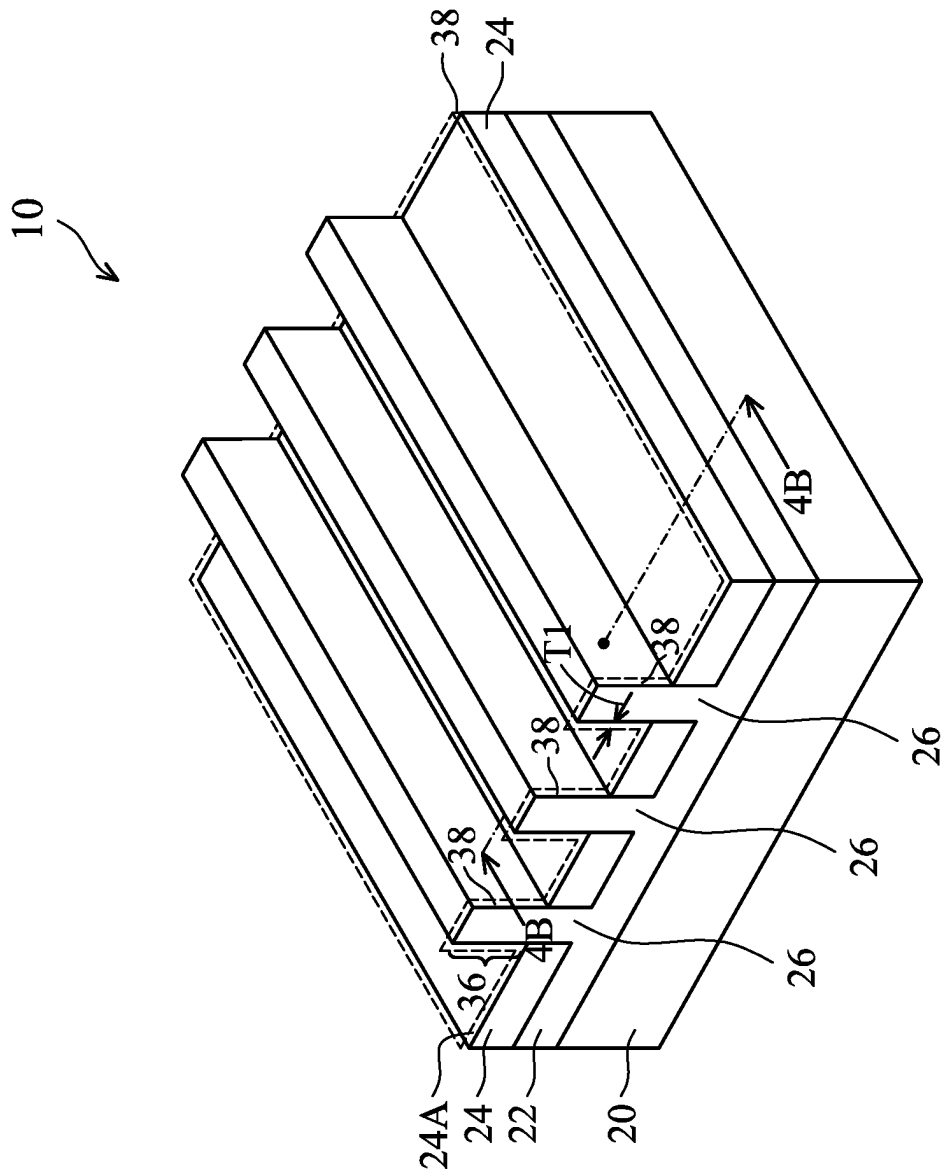


FIG. 4A

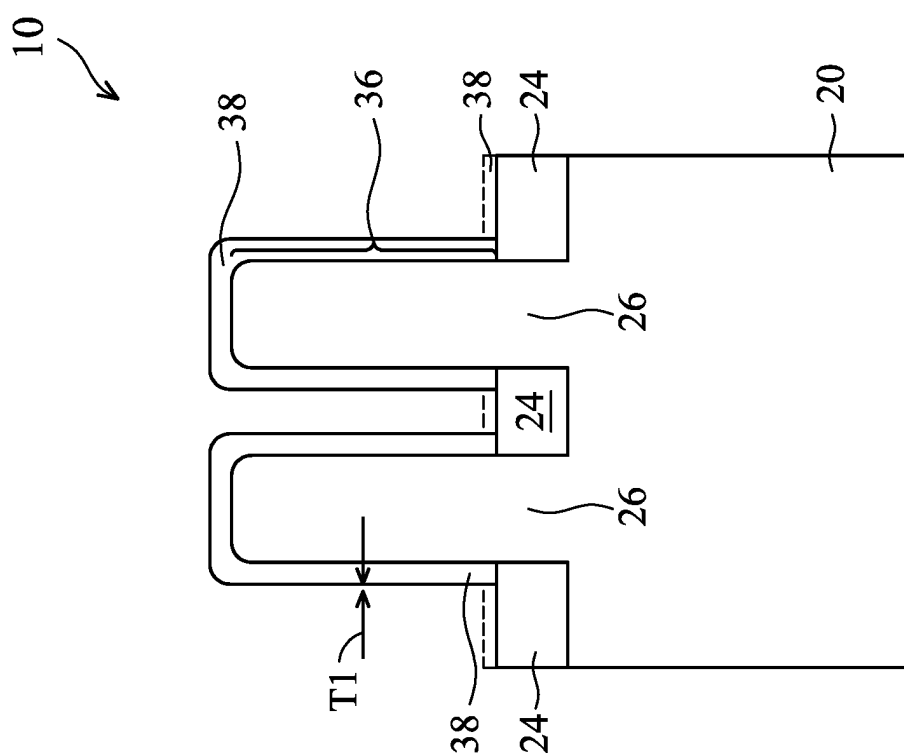


FIG. 4B

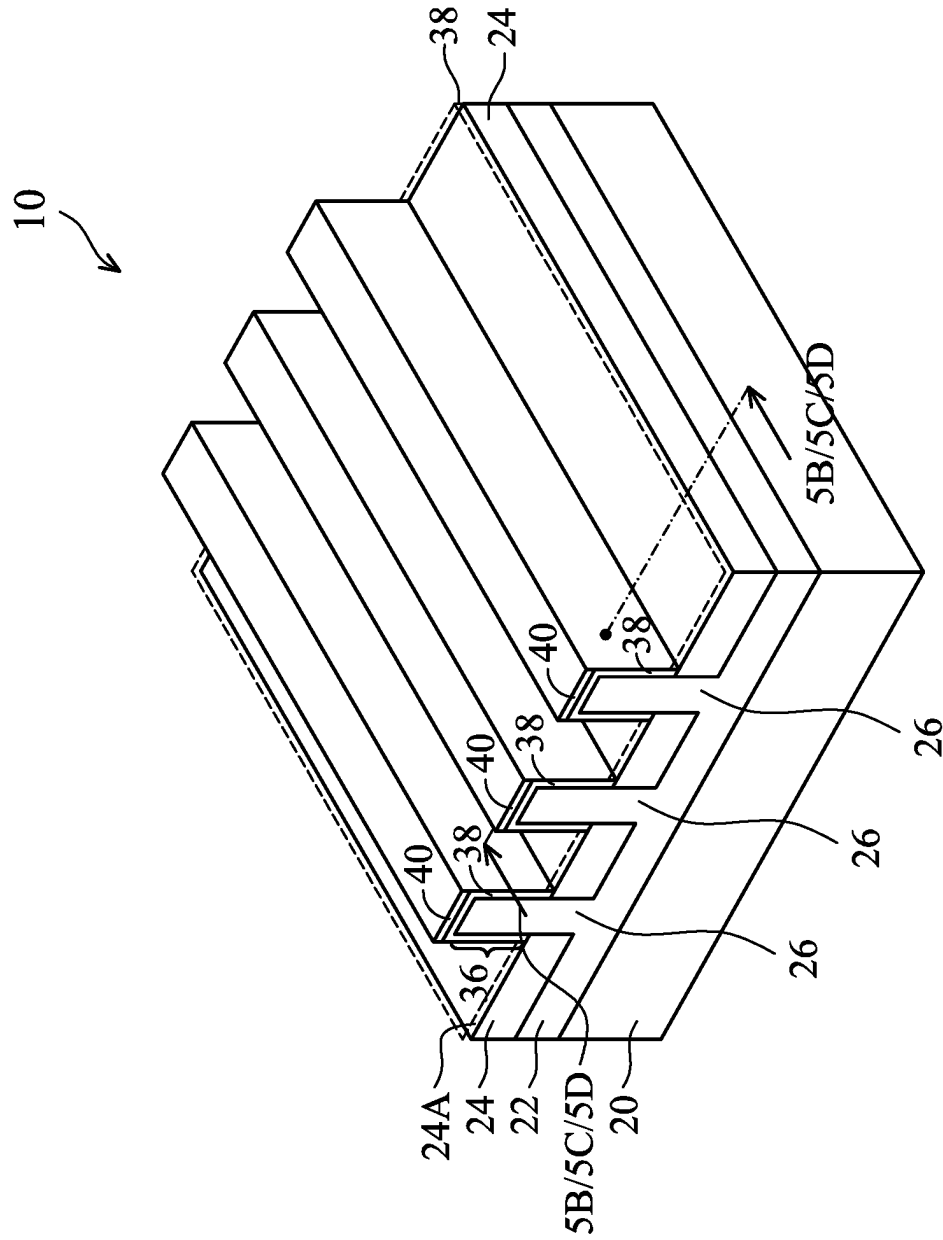


FIG. 5A

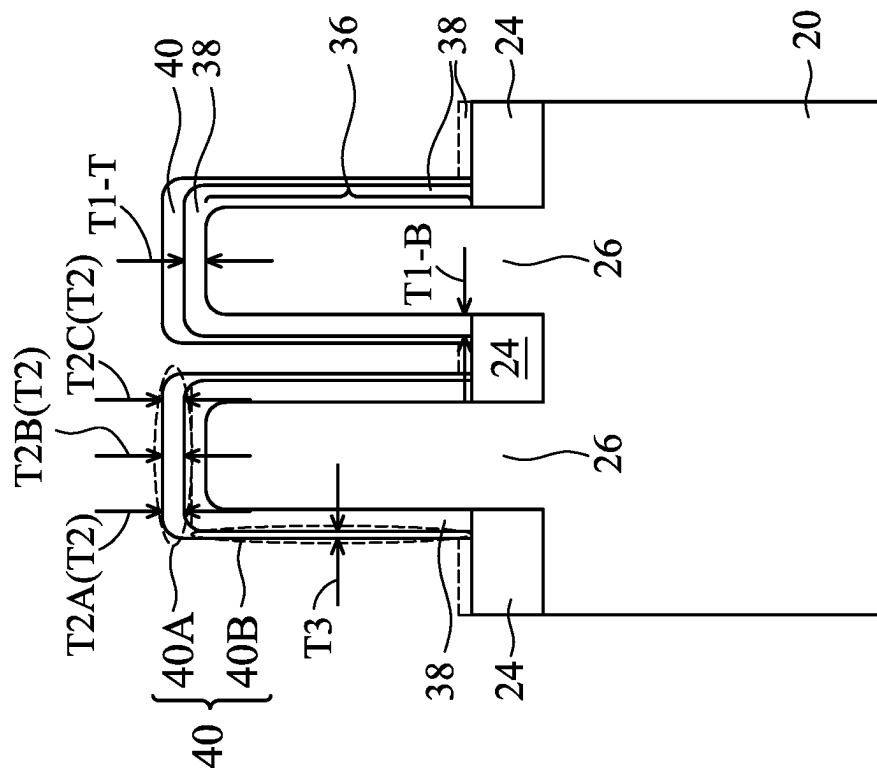


FIG. 5B

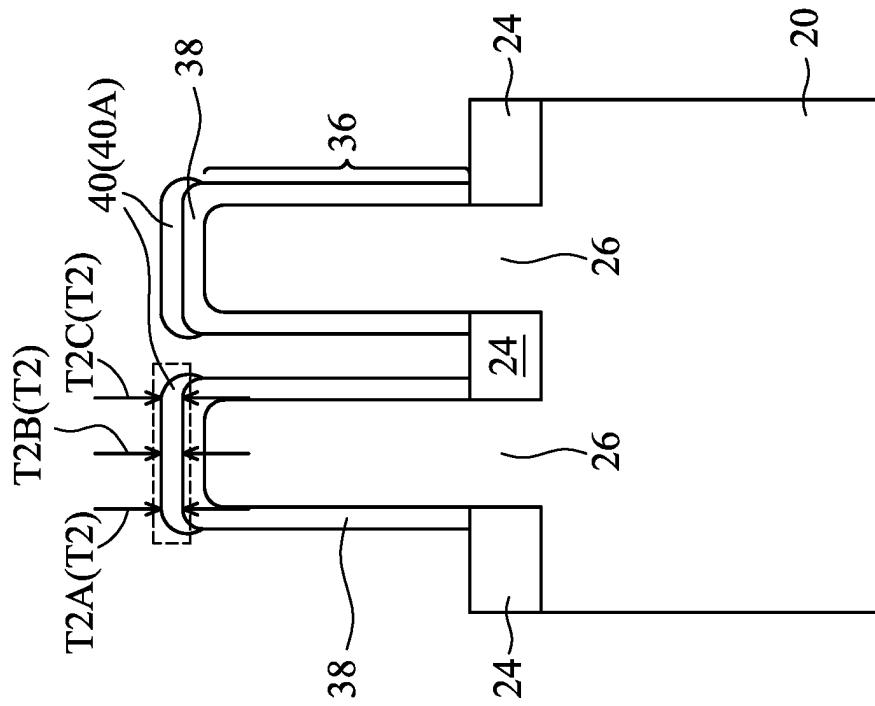


FIG. 5C

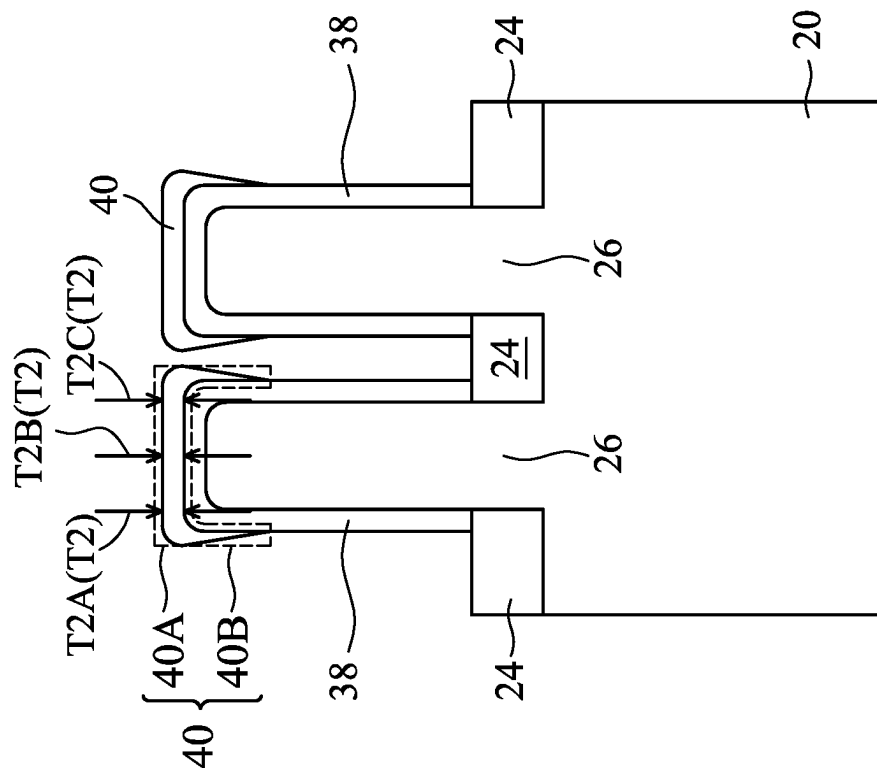


FIG. 5D

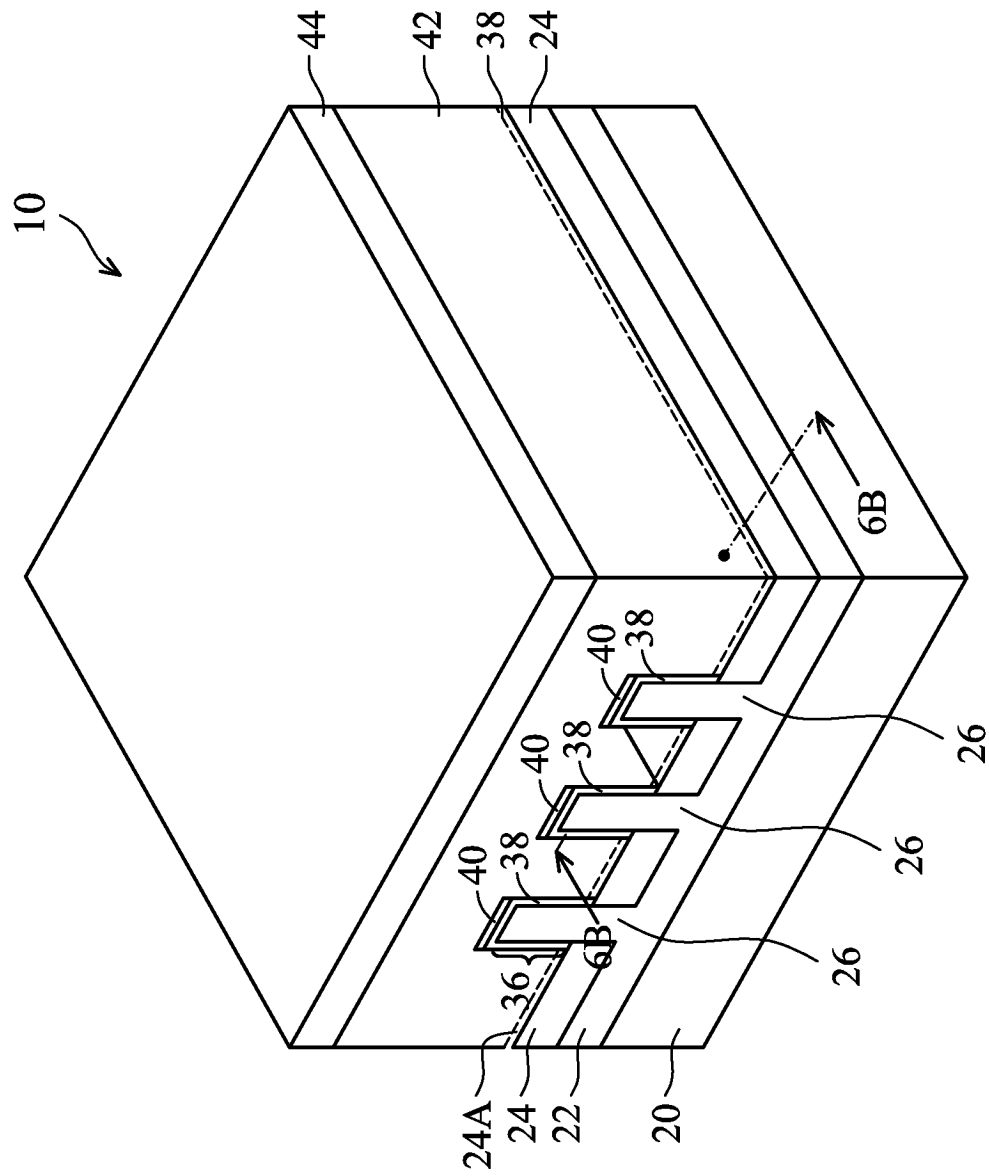


FIG. 6A

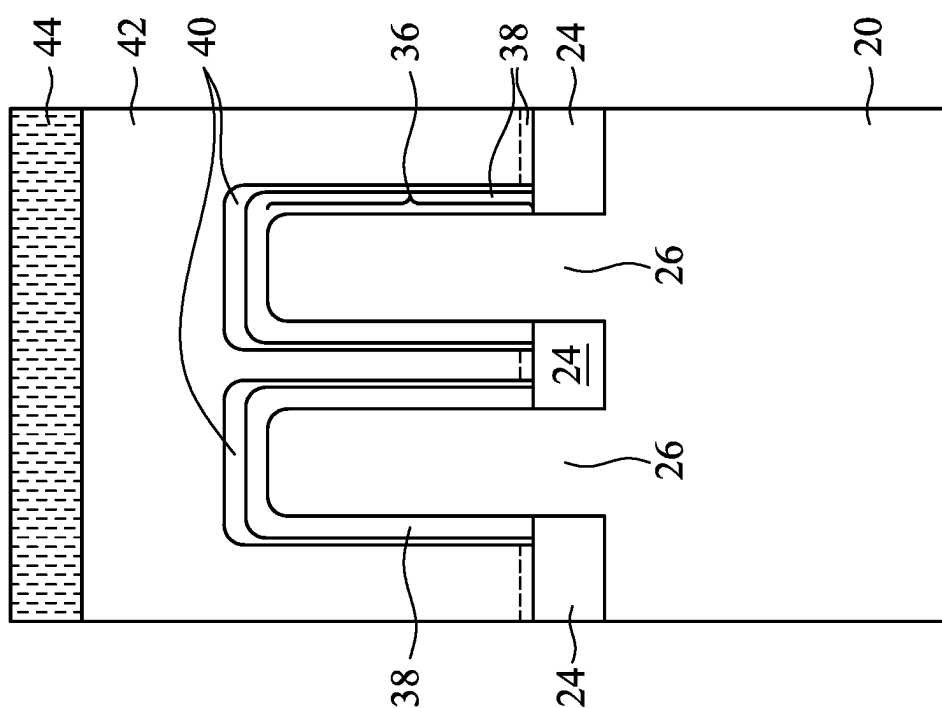


FIG. 6B

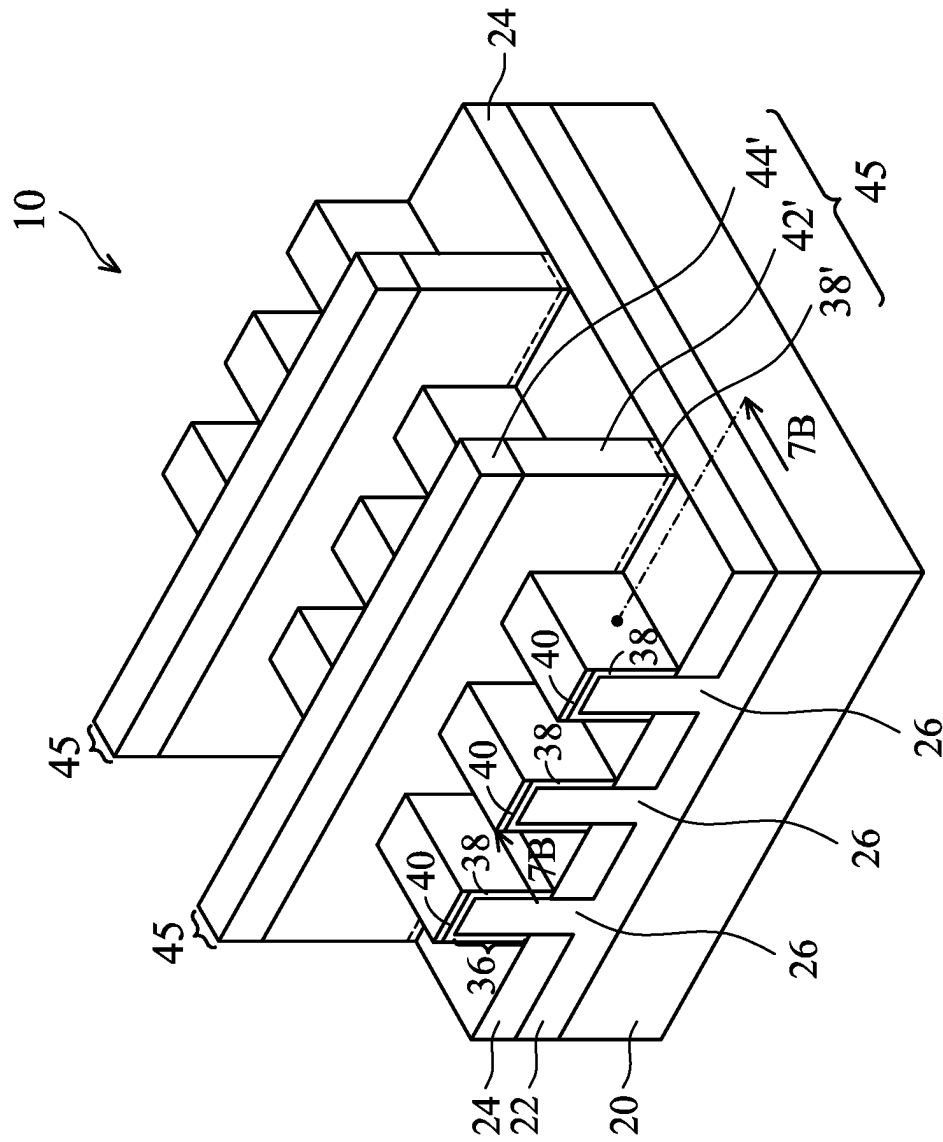


FIG. 7A

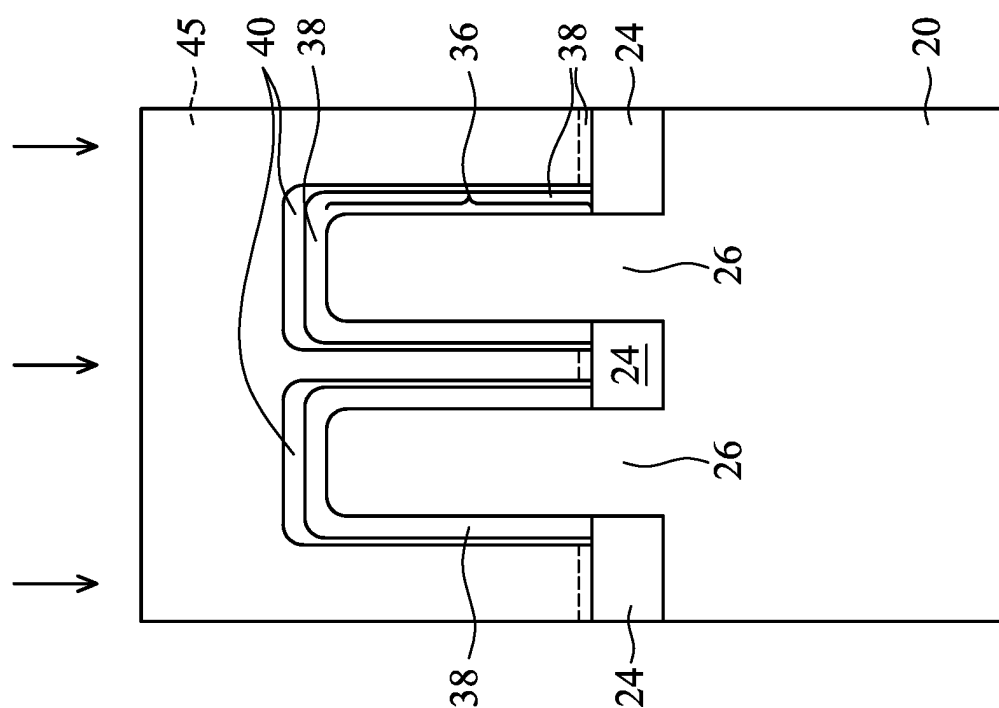


FIG. 7B

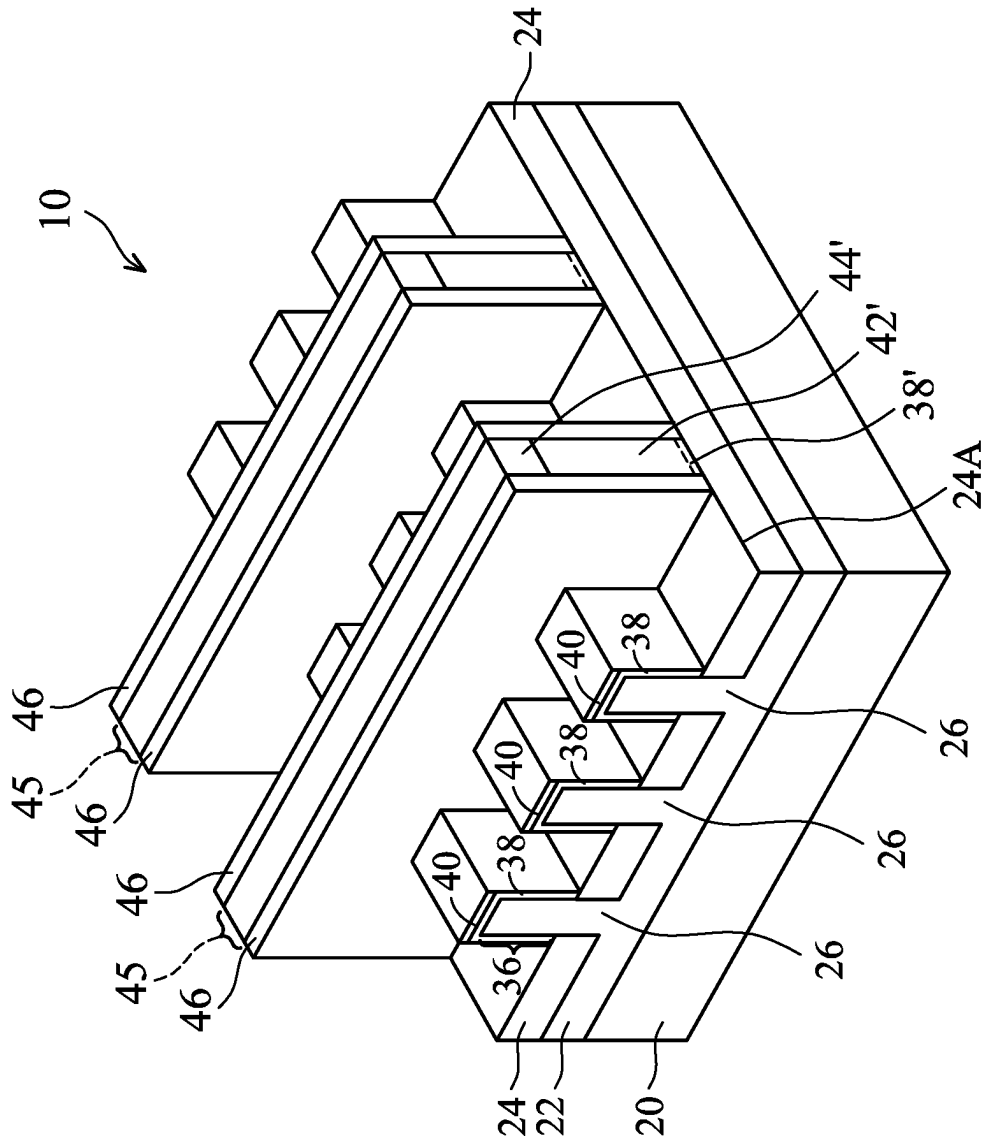


FIG. 8

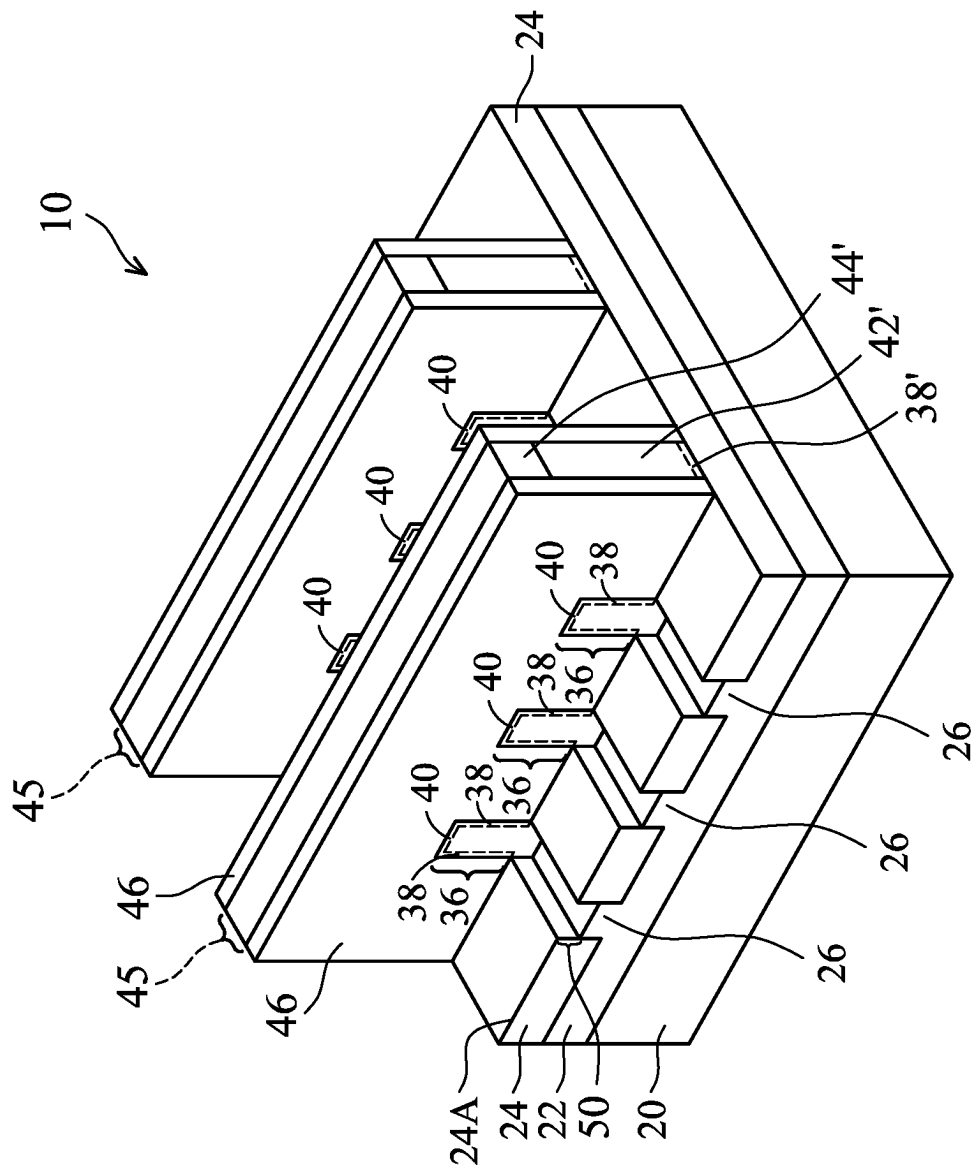


FIG. 9

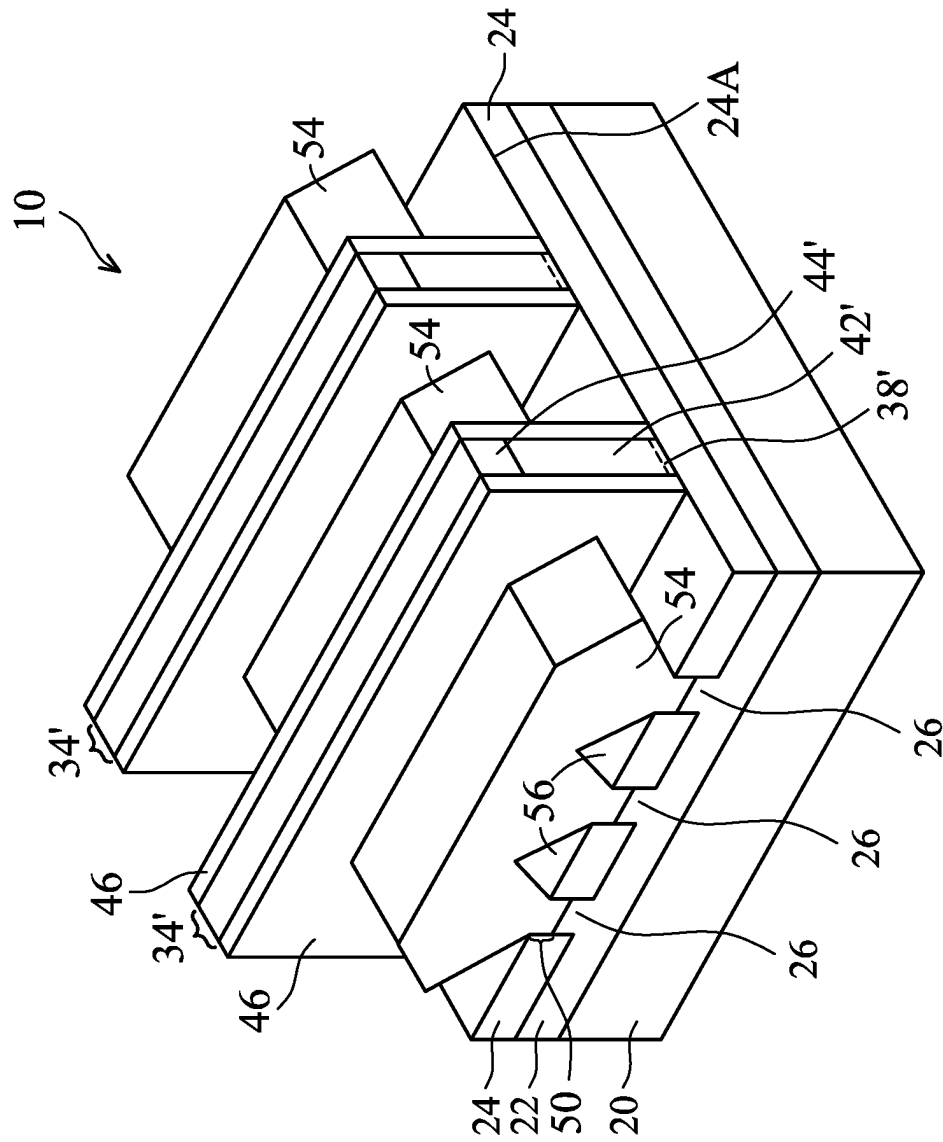


FIG. 10

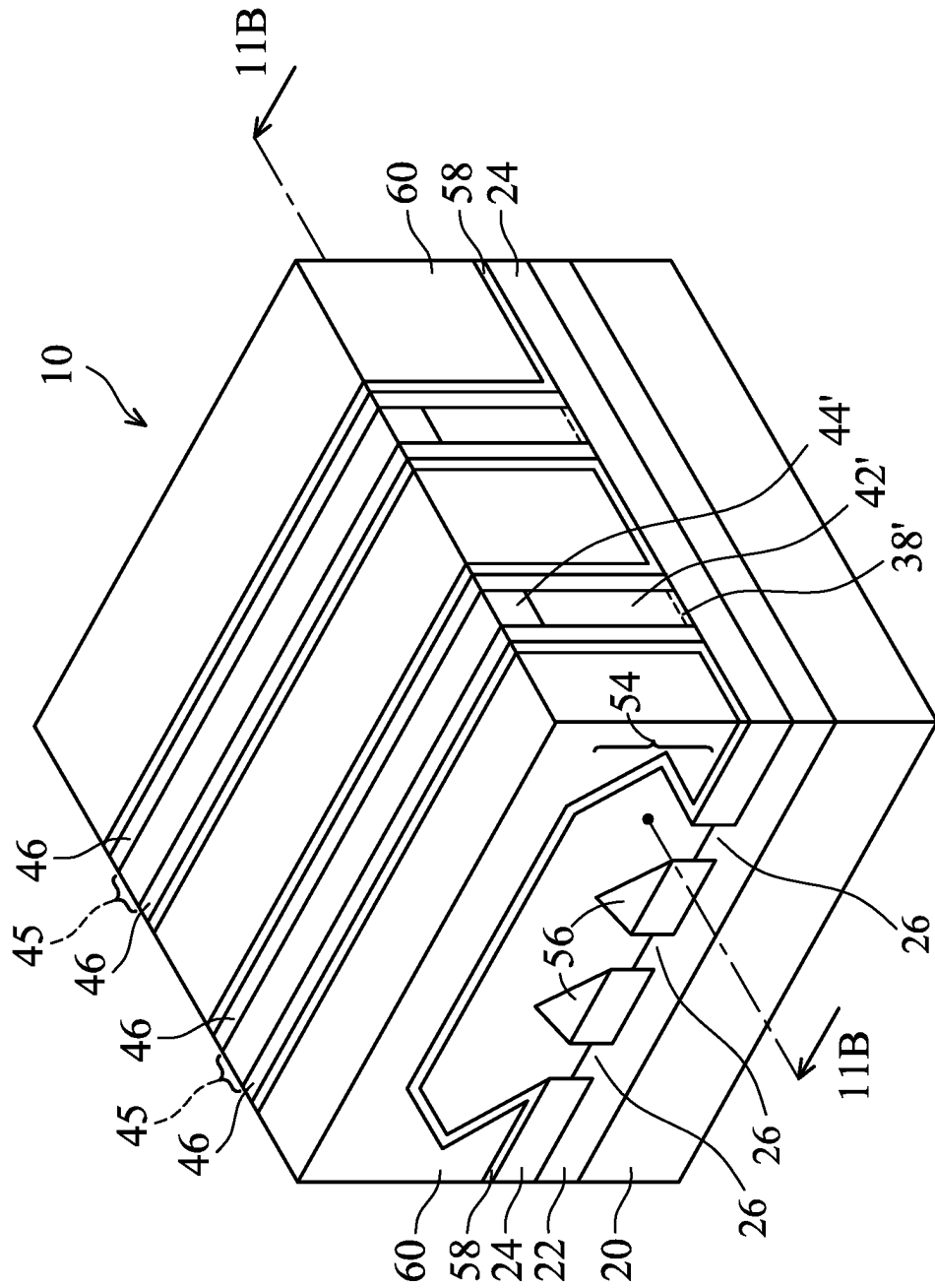


FIG. 11A

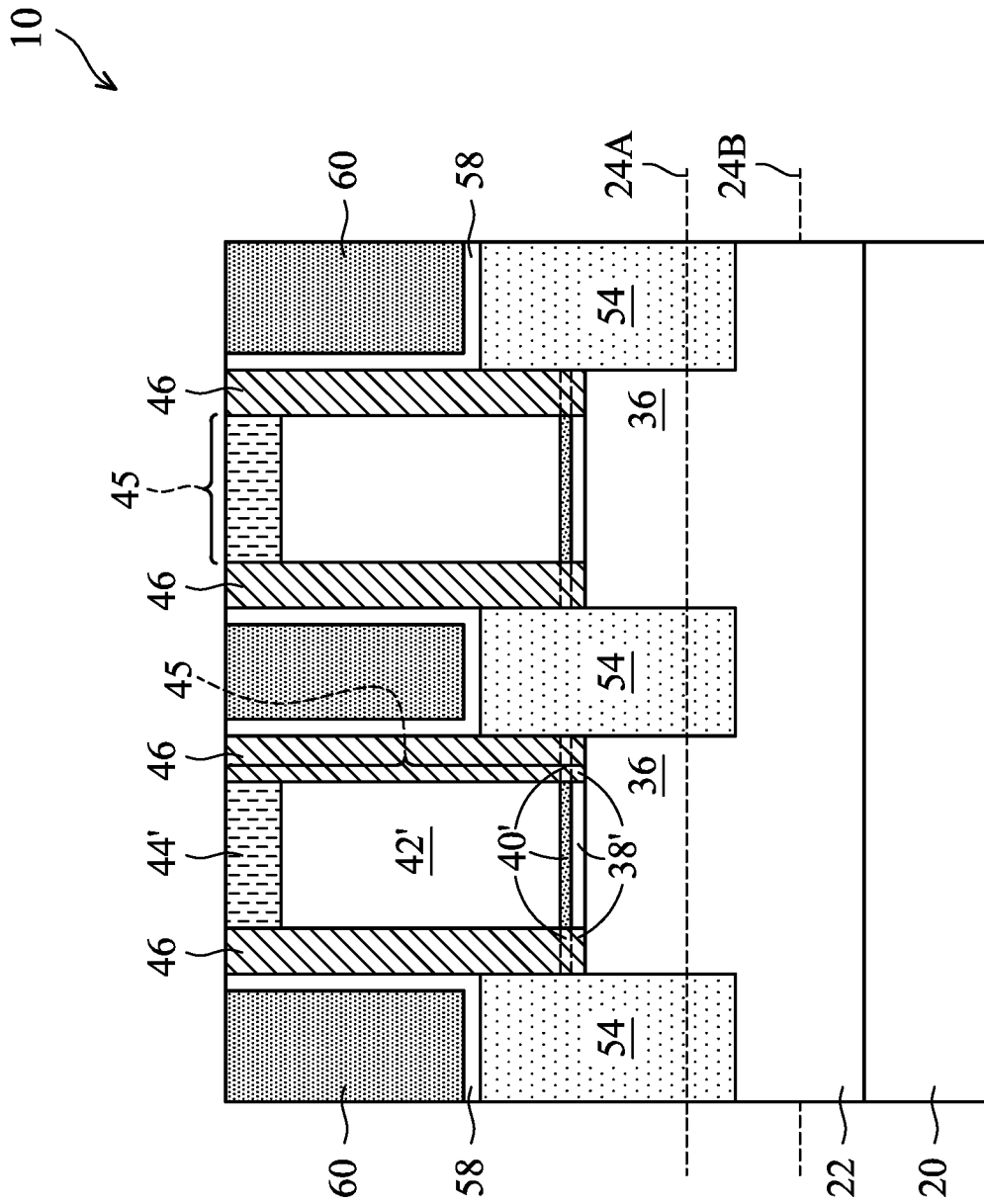


FIG. 11B

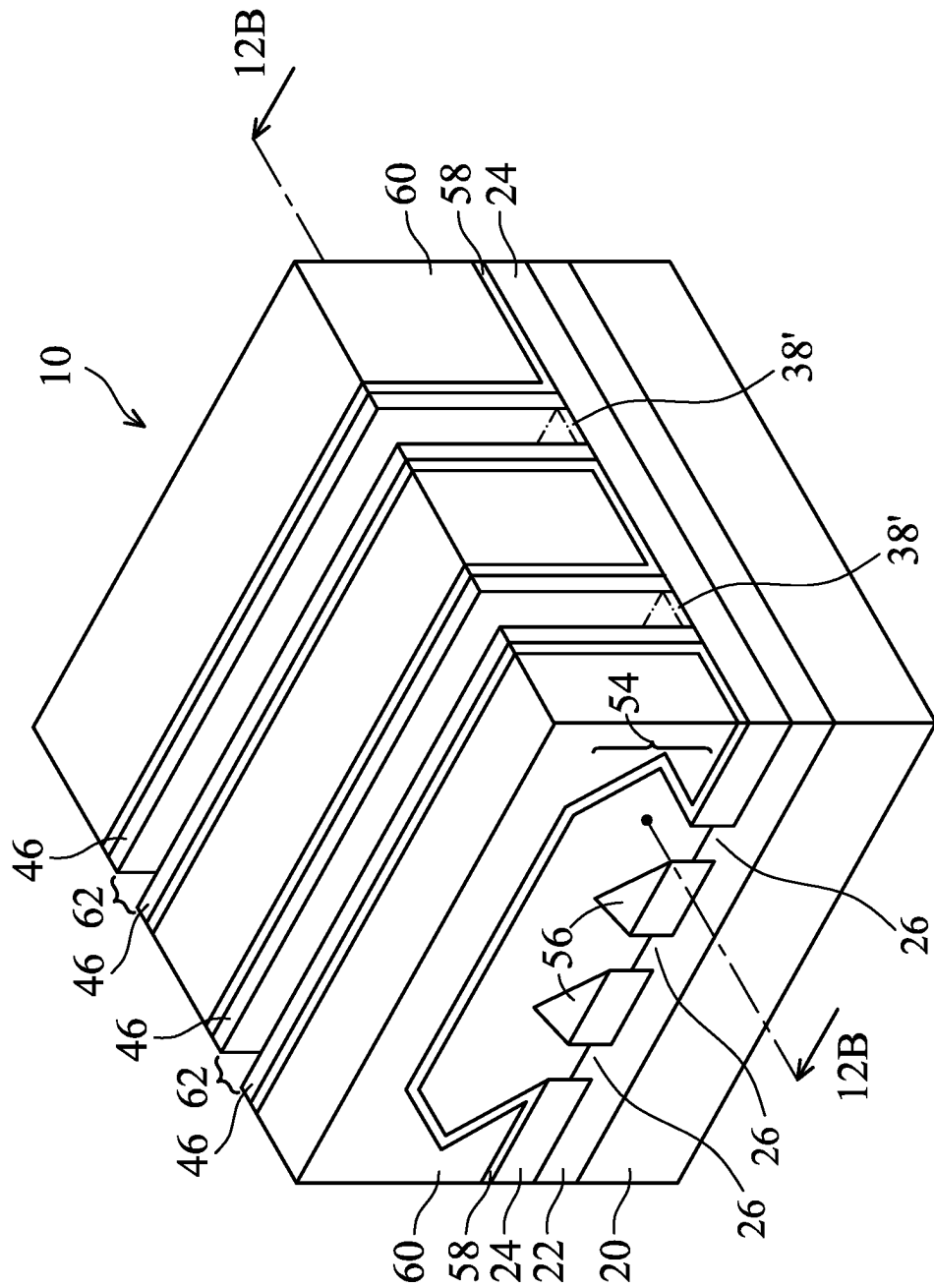


FIG. 12A

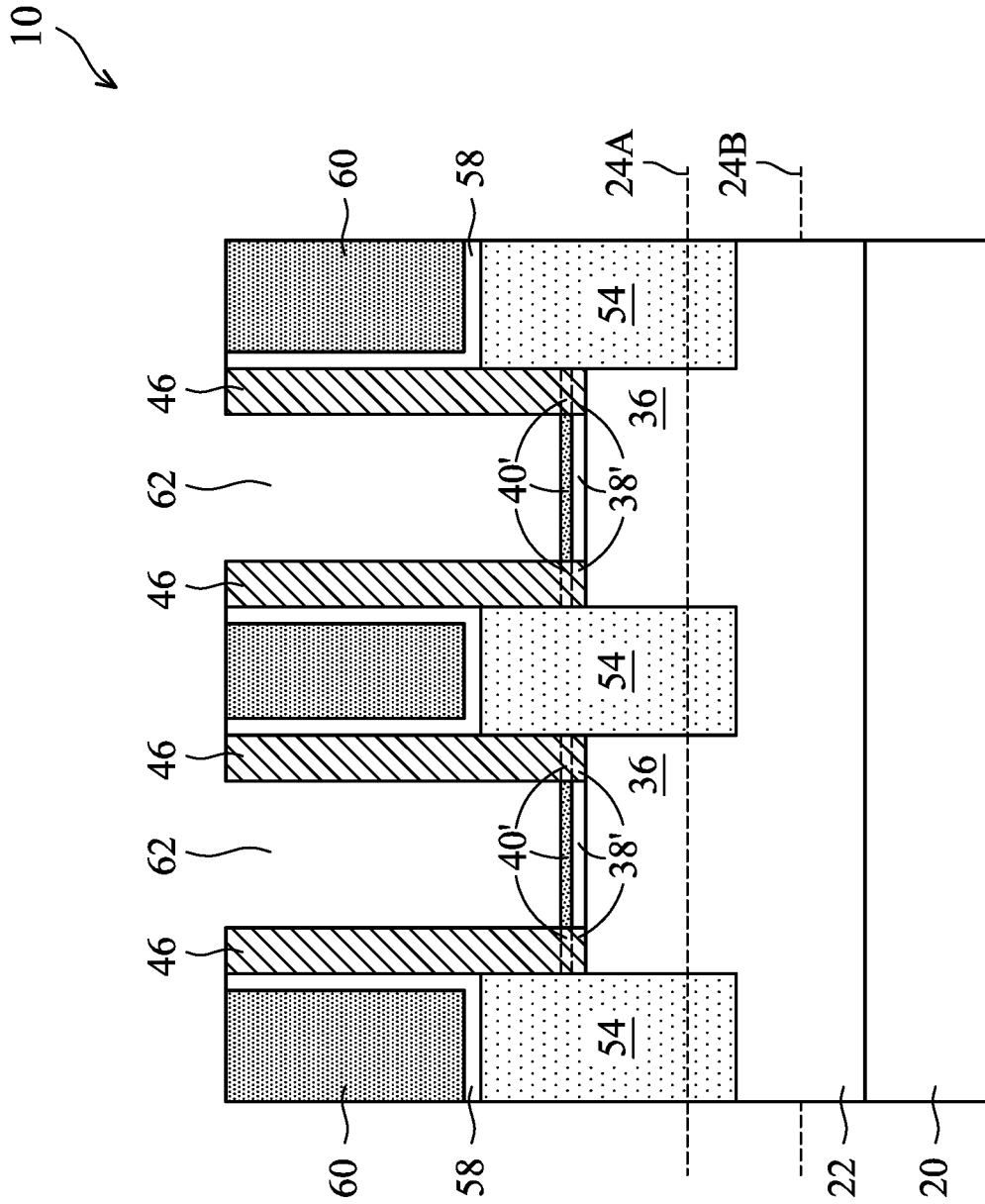


FIG. 12B

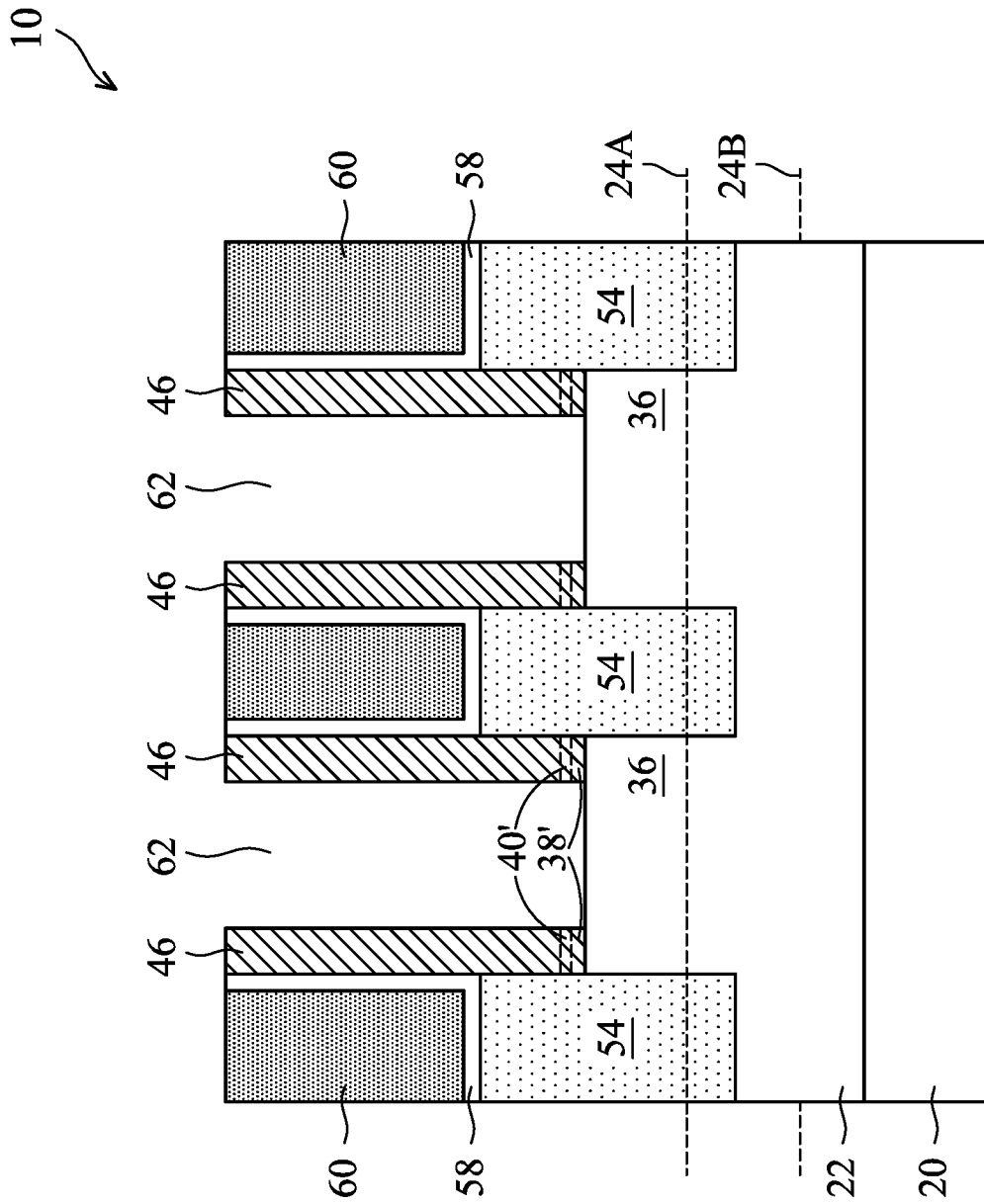


FIG. 13

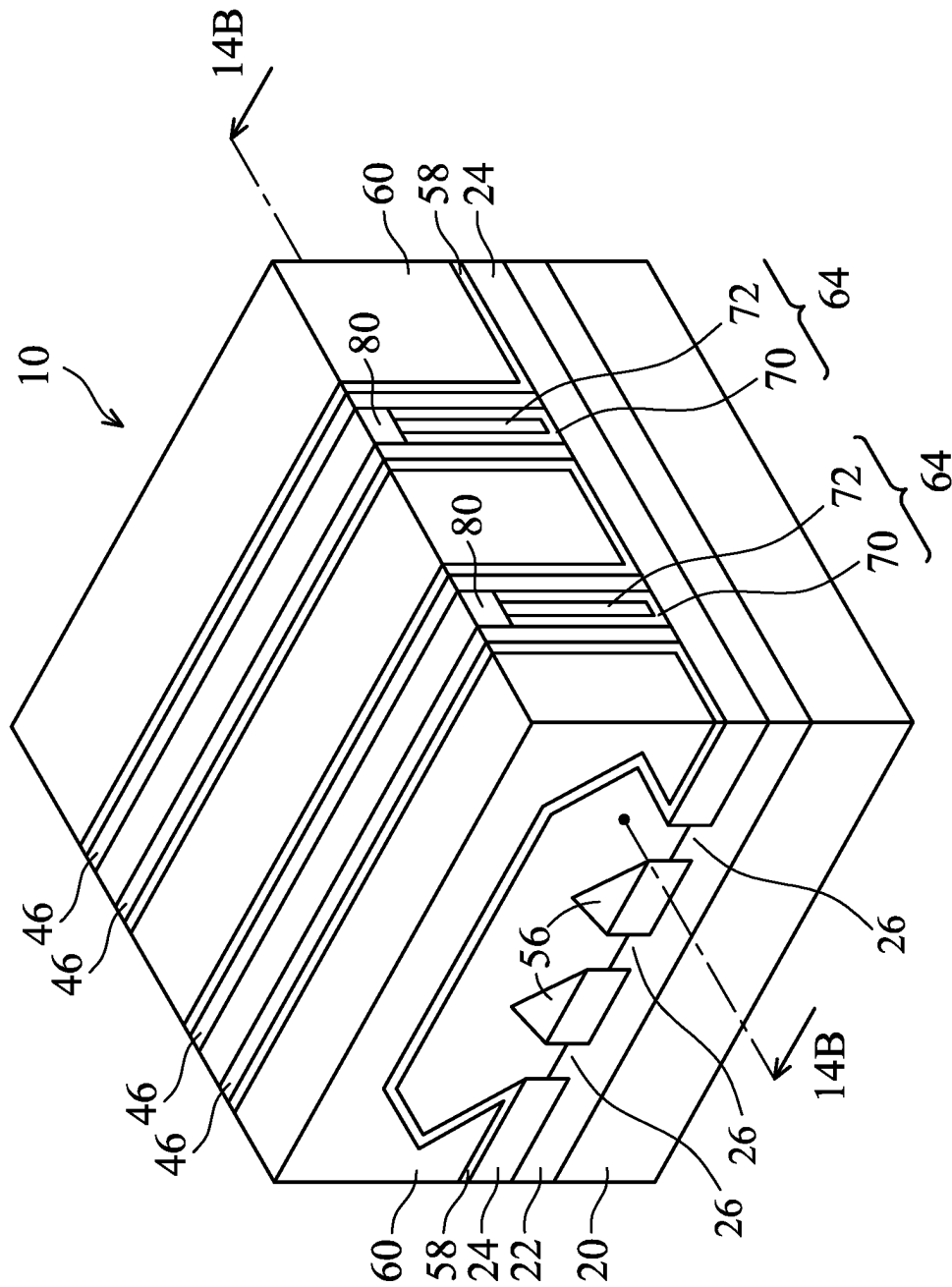


FIG. 14A

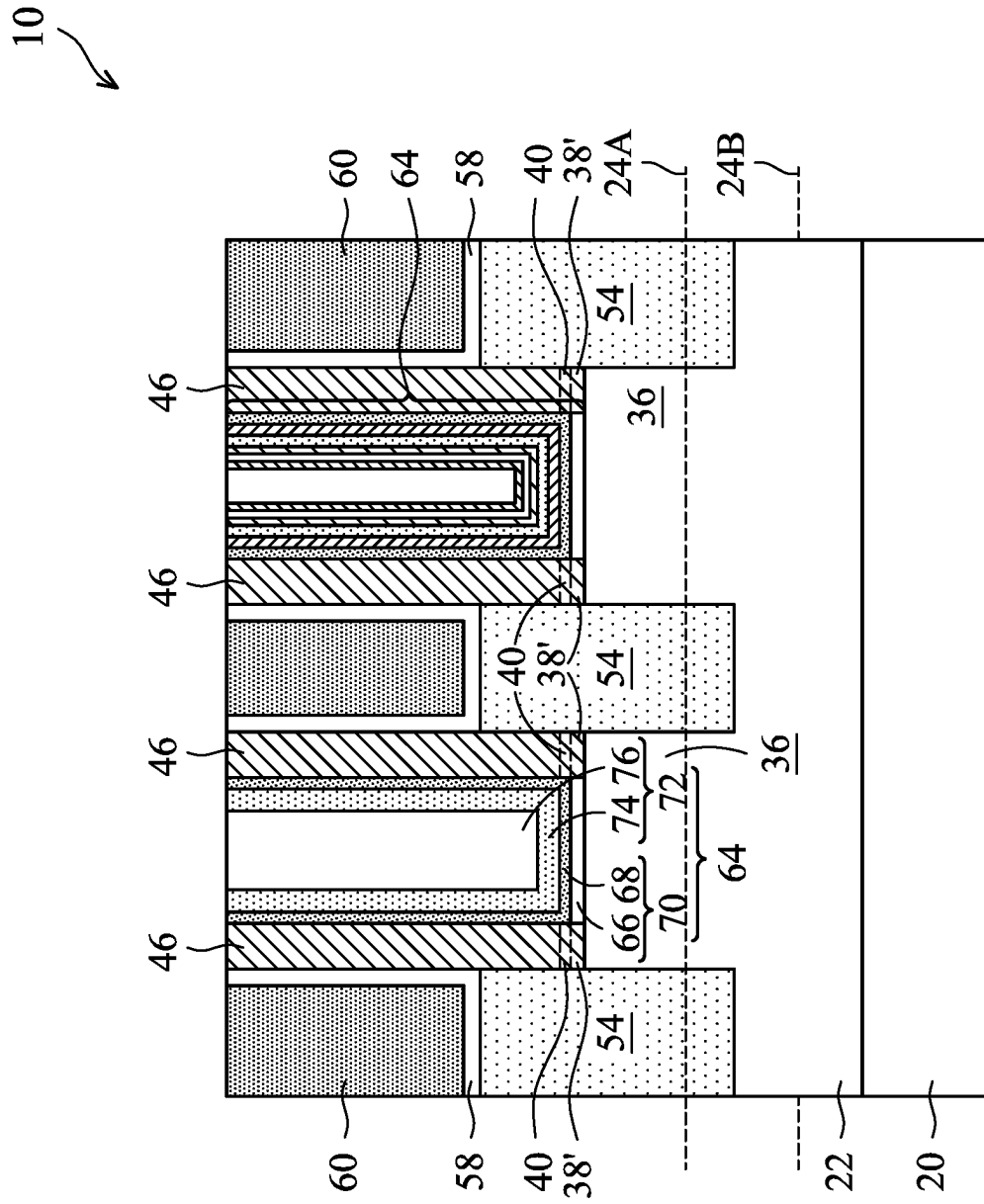


FIG. 14B

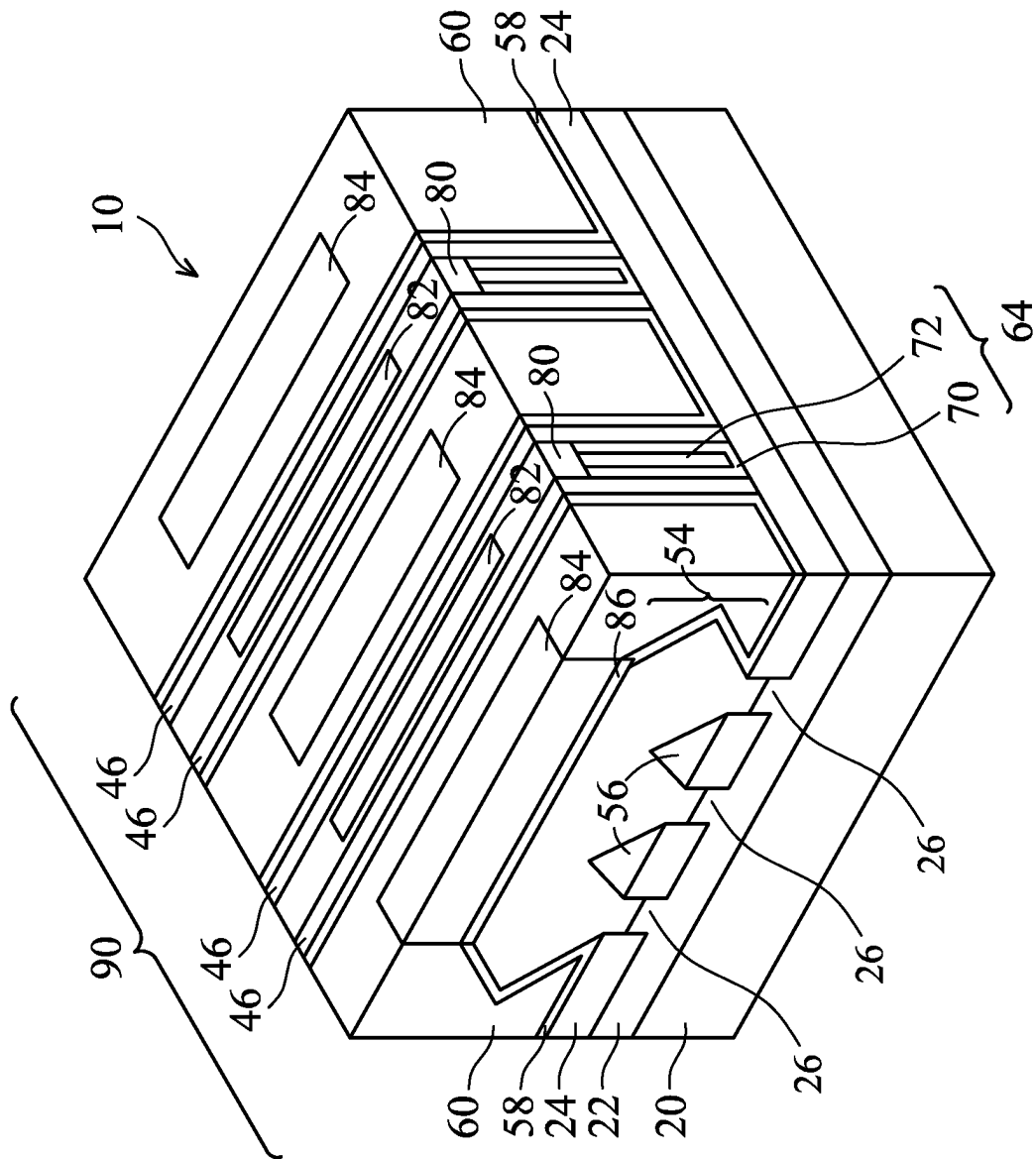


FIG. 15

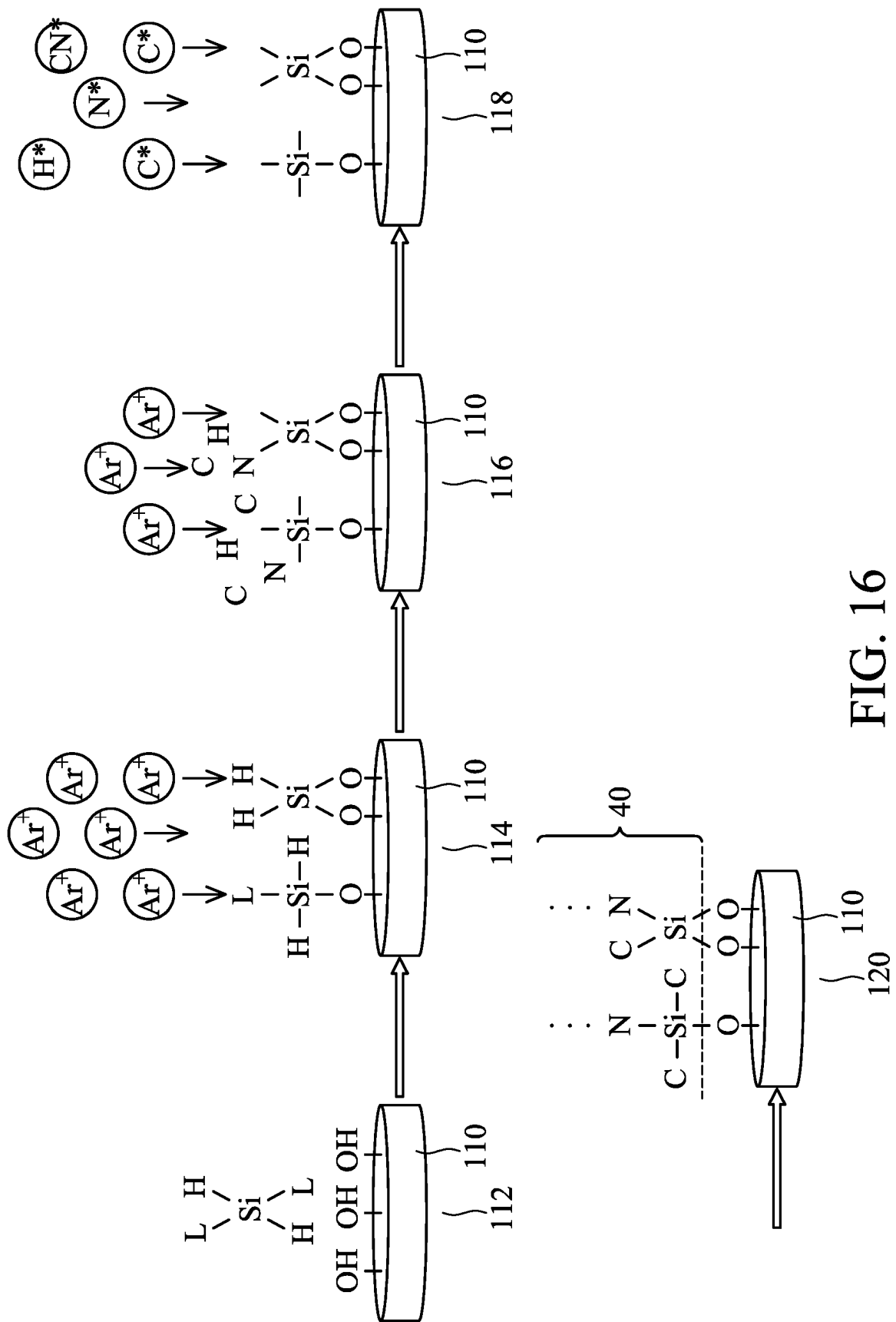


FIG. 16

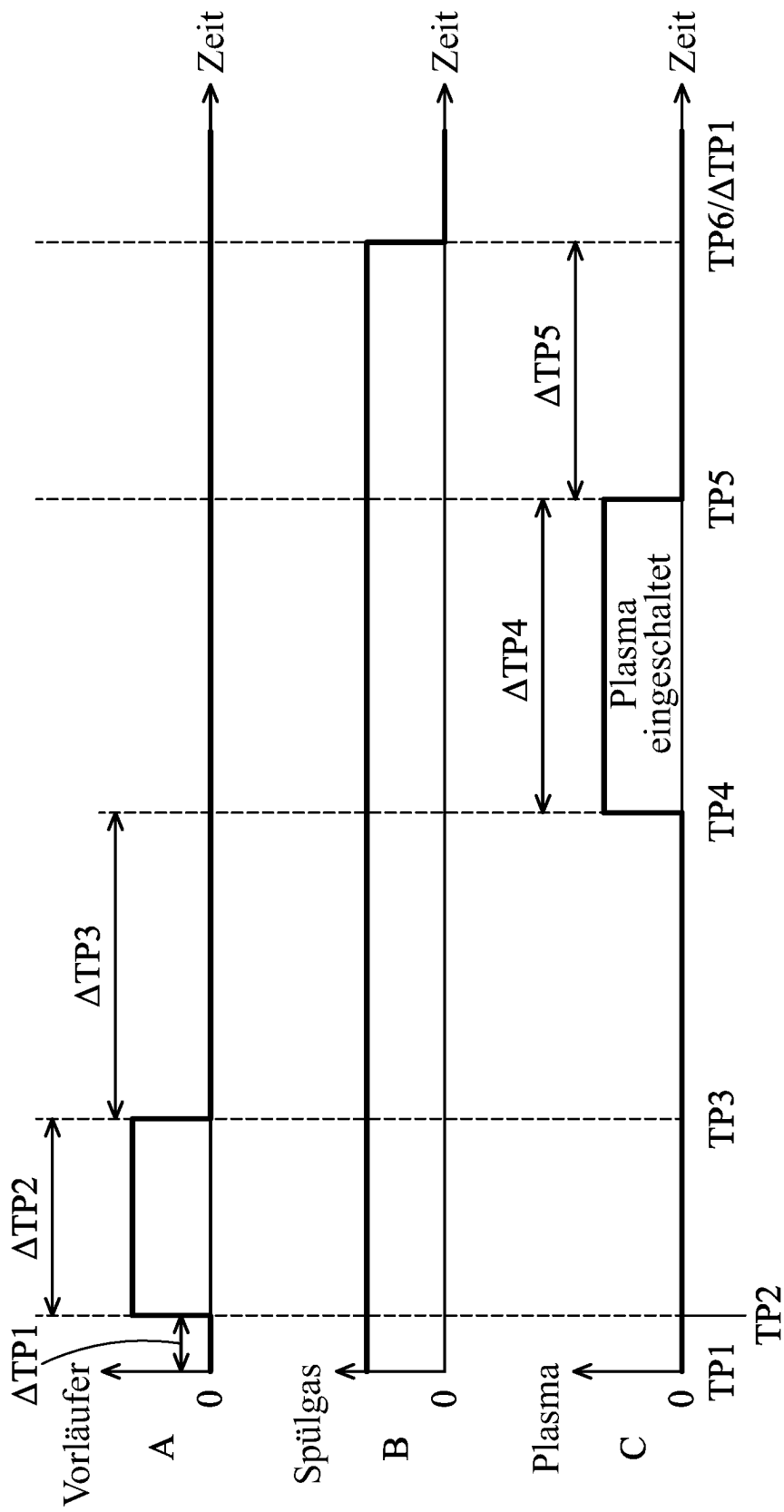


FIG. 17

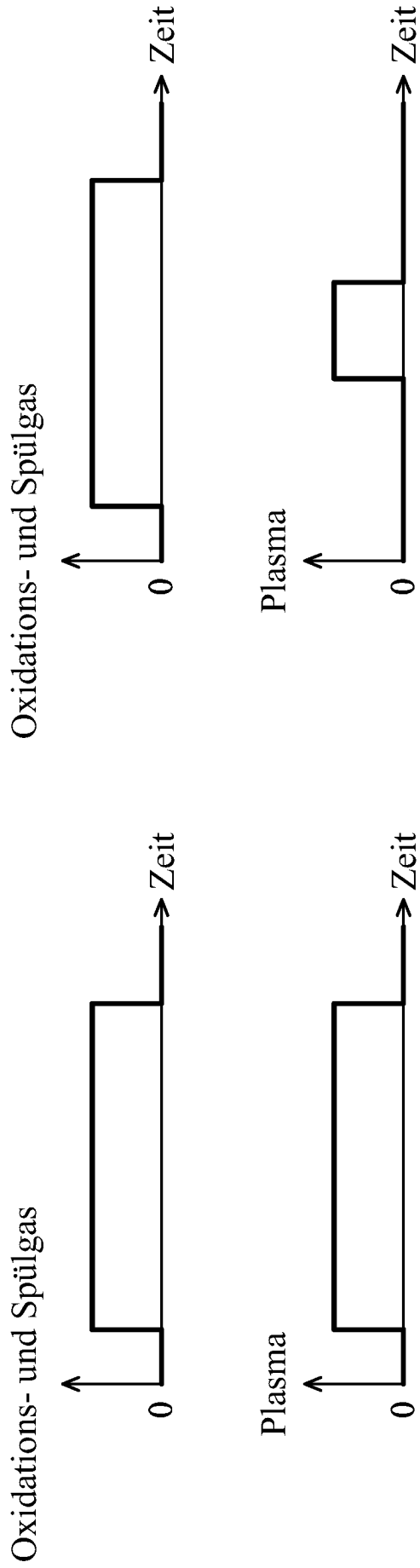


FIG. 18A

FIG. 18B

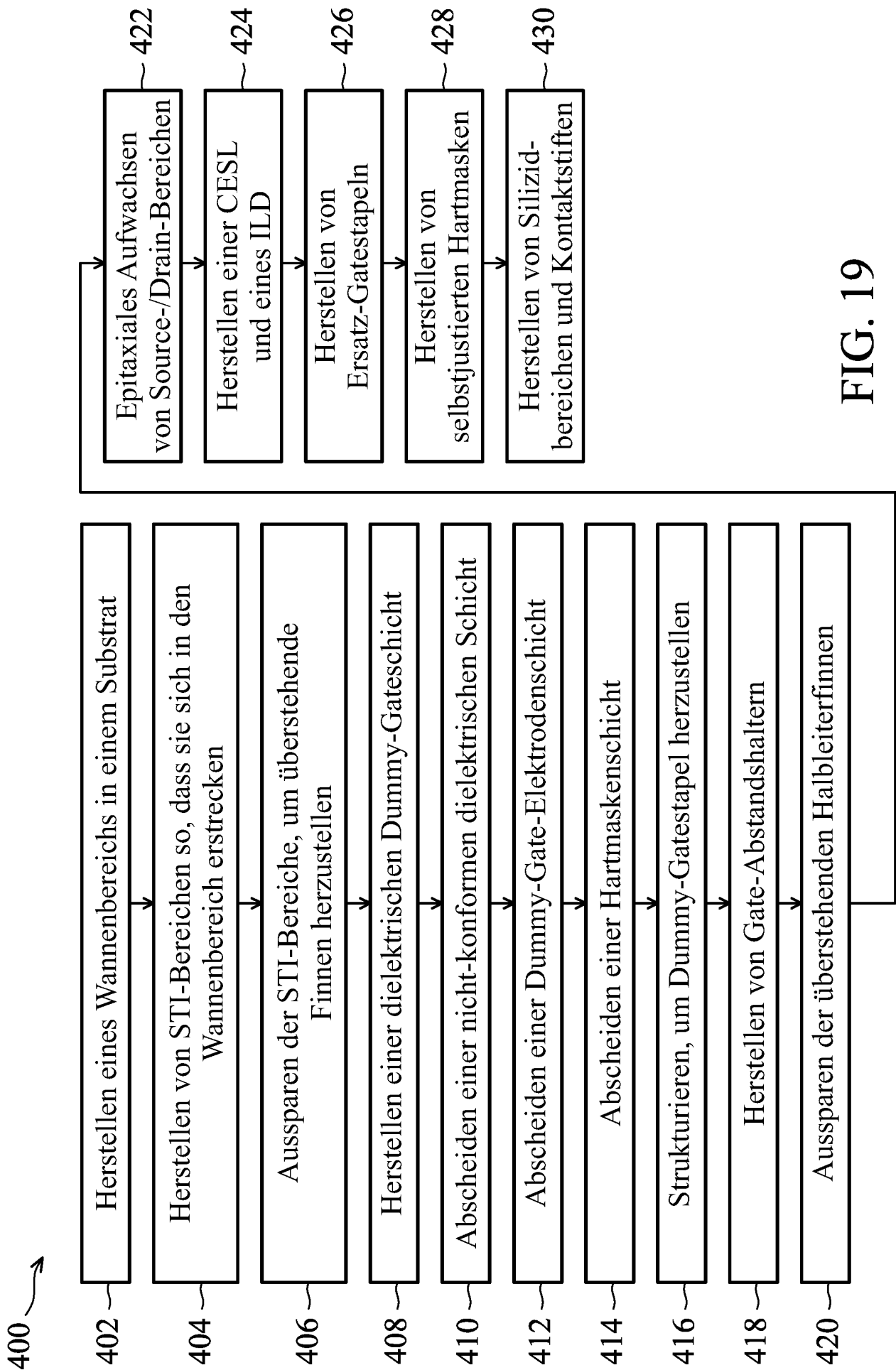


FIG. 19