

**ANSPRÜCHE:**

## 1. Verfahren, umfassend:

Ausbilden einer vorstehenden Finne;

Ausbilden einer ersten dielektrischen Schicht, aufweisend:

einen ersten oberen Abschnitt auf einer oberen Fläche der vorstehenden Finne;

und

einen ersten Seitenwandabschnitt auf einer Seitenwand der vorstehenden Finne;

Ausbilden einer zweiten dielektrischen Schicht über dem ersten oberen Abschnitt der ersten dielektrischen Schicht und der oberen Fläche der vorstehenden Finne, wobei die zweite dielektrische Schicht unter Verwendung eines anisotropen Abscheidungsprozesses ausgebildet wird;

Ausbilden einer Dummy-Gateelektrode auf der zweiten dielektrischen Schicht;

Ausbilden eines Gateabstandshalters auf einer Seitenwand der Dummy-Gateelektrode;

Entfernen der Dummy-Gateelektrode; und

Ausbilden einer Ersatz-Gateelektrode in einem Raum, der von der Dummy-Gateelektrode hinterlassen wird.

2. Verfahren nach Anspruch 1, wobei die zweite dielektrische Schicht frei von Abschnitten auf dem ersten Seitenwandabschnitt der ersten dielektrischen Schicht ist.

3. Verfahren nach Anspruch 1 oder 2, wobei die erste dielektrische Schicht und die zweite dielektrische Schicht unter Verwendung unterschiedlicher Abscheidungsverfahren ausgebildet werden.

4. Verfahren nach einem der vorhergehenden Ansprüche, wobei die erste dielektrische Schicht unter Verwendung eines konformen Abscheidungsverfahrens abgeschieden wird.

5. Verfahren nach einem der vorhergehenden Ansprüche, wobei die zweite dielektrische Schicht unter Verwendung einer plasmaunterstützten Atomlagenabscheidung abgeschieden wird, wobei eine Vorspannung angelegt wird.
6. Verfahren nach einem der vorhergehenden Ansprüche, ferner umfassend, nachdem die Dummy-Gateelektrode entfernt wurde und bevor die Ersatz-Gateelektrode ausgebildet wird, ein Ätzen freiliegender Abschnitte der ersten dielektrischen Schicht und der zweiten dielektrischen Schicht.
7. Verfahren nach Anspruch 6, wobei, nachdem die freiliegenden Abschnitte der ersten dielektrischen Schicht und der zweiten dielektrischen Schicht geätzt wurden, ein erster Abschnitt der ersten dielektrischen Schicht und ein zweiter Abschnitt der zweiten dielektrischen Schicht direkt unter dem Gateabstandshalter verbleiben.
8. Verfahren nach Anspruch 7, wobei der zweite Abschnitt der zweiten dielektrischen Schicht, der direkt unter dem Gateabstandshalter liegt, nicht konform ist.
9. Verfahren nach einem der vorhergehenden Ansprüche, wobei die vorstehende Finne mehrere Halbleiternanostrukturen aufweist, die gestapelt und voneinander beabstandet sind, und wobei sich die Ersatz-Gateelektrode in Räume zwischen den mehreren Halbleiternanostrukturen erstreckt.
10. Verfahren nach einem der vorhergehenden Ansprüche, wobei das Ausbilden der Dummy-Gateelektrode ein Abscheiden einer Polysiliziumschicht auf der zweiten dielektrischen Schicht und Strukturieren der Polysiliziumschicht umfasst, wobei das Strukturieren auf der zweiten dielektrischen Schicht anhält.

11. Verfahren nach einem der vorhergehenden Ansprüche, wobei die zweite dielektrische Schicht einen zweiten Seitenwandabschnitt auf dem ersten Seitenwandabschnitt aufweist, und wobei der zweite Seitenwandabschnitt in einem Reinigungsprozess entfernt wird, der durchgeführt wird, bevor der Gateabstandshalter ausgebildet wird.

12. Struktur, aufweisend:

einen dielektrischen Isolierbereich;

mehrere Halbleiternanostrukturen neben dem dielektrischen Isolierbereich und höher als dieser, wobei höhere der mehreren Halbleiternanostrukturen entsprechende niedrigere der mehreren Halbleiternanostrukturen überlappen;

einen Gatestapel, aufweisend:

einen ersten Abschnitt über einer oberen Nanostruktur der mehreren Halbleiternanostrukturen; und

zweite Abschnitte zwischen benachbarten der mehreren Halbleiternanostrukturen, wobei die zweiten Abschnitte des Gatestapels und die mehreren Halbleiternanostrukturen gemeinsam eine vorstehende Finne bilden;

eine erste dielektrische Schicht auf einer oberen Fläche und einer Seitenwand der vorstehenden Finne;

eine zweite dielektrische Schicht, die einen ersten Teil über der ersten dielektrischen Schicht aufweist, wobei die zweite dielektrische Schicht weniger konform als die erste dielektrische Schicht ist, und wobei zumindest ein oberer Abschnitt des ersten Teils höher als eine obere Nanostruktur der mehreren Halbleiternanostrukturen liegt; und

einen Gateabstandshalter über der zweiten dielektrischen Schicht.

13. Struktur nach Anspruch 12, wobei die erste dielektrische Schicht konform ist und der erste Teil der zweiten dielektrischen Schicht ein unterstes Ende aufweist, das im Wesentlichen auf gleicher Höhe mit einer obersten Fläche der oberen Nanostruktur liegt.
14. Struktur nach Anspruch 12 oder 13, wobei die zweite dielektrische Schicht ferner einen zweiten Abschnitt aufweist, der den dielektrischen Isolierbereich überlappt, wobei der erste Abschnitt und der zweite Abschnitt getrennte Abschnitte der zweiten dielektrischen Schicht sind.
15. Struktur nach einem der Ansprüche 12 bis 14, wobei der erste Abschnitt der zweiten dielektrischen Schicht ferner einen zweiten Teil an einer Seitenwand der vorstehenden Finne aufweist, wobei der zweite Teil dünner als der erste Teil ist.
16. Struktur nach Anspruch 15, wobei ein unterstes Ende des zweiten Teils höher als eine Mitte der Höhe der vorstehenden Finne liegt.
17. Struktur, aufweisend:  
ein Halbleitersubstrat;  
einen ersten dielektrischen Isolierbereich und einen zweiten dielektrischen Isolierbereich in dem Halbleitersubstrat;  
eine vorstehende Finne zwischen dem ersten dielektrischen Isolierbereich und dem zweiten dielektrischen Isolierbereich und höher als diese;  
eine erste dielektrische Schicht auf einer oberen Fläche und einer Seitenwand der vorstehenden Finne;  
eine zweite dielektrische Schicht über der ersten dielektrischen Schicht, wobei die zweite dielektrische Schicht aufweist:  
einen ersten Abschnitt, der die vorstehende Finne überlappt; und

einen zweiten Abschnitt, der den ersten dielektrischen Isolierbereich überlappt, wobei der erste Abschnitt und der zweite Abschnitt getrennte Abschnitte der zweiten dielektrischen Schicht sind; und

einen Gateabstandshalter über der zweiten dielektrischen Schicht.

18. Struktur nach Anspruch 17, wobei der Gateabstandshalter physisch einen Seitenwandteil der ersten dielektrischen Schicht berührt und durch den ersten Abschnitt der zweiten dielektrischen Schicht von einem oberen Teil der ersten dielektrischen Schicht beabstandet ist.

19. Struktur nach Anspruch 17 oder 18, wobei die erste dielektrische Schicht Siliziumoxid enthält und die zweite dielektrische Schicht Silizium enthält und ein Element, das aus der Gruppe bestehend aus N, C und Kombinationen davon ausgewählt ist.

20. Struktur nach Anspruch 17, 18 oder 19, wobei die zweite dielektrische Schicht ferner einen ersten vertikalen Abschnitt auf einem zweiten vertikalen Abschnitt der ersten dielektrischen Schicht aufweist, und wobei der zweite vertikale Abschnitt auf der Seitenwand der vorstehenden Finne liegt.