



(10) DE 10 2021 120 584 A1 2022.12.01

(12)

Offenlegungsschrift

(21) Aktenzeichen: 10 2021 120 584.0

(51) Int Cl.: H01L 21/336 (2006.01)

(22) Anmelddatag: 09.08.2021

H01L 21/762 (2006.01)

(43) Offenlegungstag: 01.12.2022

H01L 29/423 (2006.01)

H01L 21/283 (2006.01)

H01L 21/311 (2006.01)

H01L 29/78 (2006.01)

(30) Unionspriorität:

63/193,866 27.05.2021 US
17/393,584 04.08.2021 US

(72) Erfinder:

Lin, Cheng-I, Hsinchu, TW; Lin, Ming-Ho, Hsinchu, TW; Chen, Chun-Heng, Hsinchu, TW; Lu, Yung-Cheng, Hsinchu, TW

(71) Anmelder:

Taiwan Semiconductor Manufacturing Co., Ltd.,
Hsinchu, TW

(56) Ermittelter Stand der Technik:

DE 10 2020 114 865 A1
US 2021 / 0 098 458 A1

(74) Vertreter:

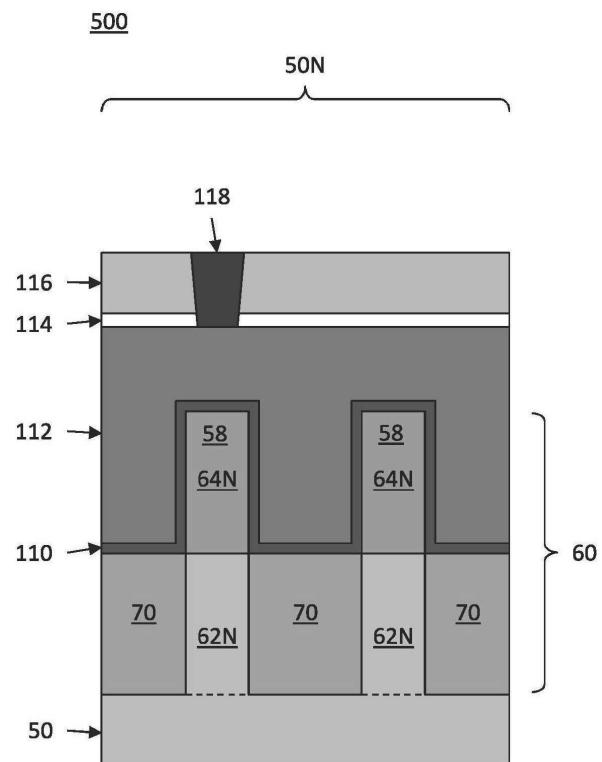
BOEHMERT & BOEHMERT Anwaltspartnerschaft
mbB - Patentanwälte Rechtsanwälte, 28209
Bremen, DE

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: DIELEKTRISCHE SCHICHT AUF HALBLEITERVORRICHTUNG UND VERFAHREN ZUM BILDEN DERSELBEN

(57) Zusammenfassung: Ein Verfahren zum Bilden einer Halbleitervorrichtung umfasst Bilden einer ersten Schicht auf einer Halbleiterfinne; Bilden einer Maske auf der ersten Schicht, wobei die Maske auf einer Oberseite der Halbleiterfinne dicker ist als entlang einer Seitenwand der Halbleiterfinne. Die erste Schicht wird unter Verwendung der Maske entlang der Seitenwand der Halbleiterfinne gedünnt. Eine zweite Schicht wird auf der Halbleiterfinne gebildet, wobei die zweite Schicht die Maske und die erste Schicht bedeckt. Eine Dummy-Gate-Schicht wird auf der Halbleiterfinne gebildet und strukturiert, um eine obere Fläche der Halbleiterfinne freizulegen.



Beschreibung**PRIORITÄTSANSPRUCH UND QUERVERWEIS**

[0001] Diese Anmeldung beansprucht die Priorität der vorläufigen US-Patentanmeldung Nr. 63/193,866, eingereicht am 27. Mai 2021, die durch Bezugnahme in die vorliegende Anmeldung aufgenommen wird.

HINTERGRUND

[0002] Halbleiterbauelemente werden in einer Vielfalt von elektronischen Anwendungen verwendet, wie zum Beispiel PCs, Mobiltelefonen, Digitalkameras und anderen elektronischen Geräten. Halbleiterbauelemente werden typischerweise durch aufeinanderfolgendes Abscheiden von isolierenden oder dielektrischen Schichten, leitfähigen Schichten und Halbleitermaterialschichten über einem Halbleitersubstrat und Strukturieren der verschiedenen Materialschichten unter Verwendung von Lithografie, um Schaltungskomponenten und -elemente darauf zu bilden, gefertigt.

[0003] Die Halbleiterindustrie verbessert kontinuierlich die Integrationsdichte von verschiedenen elektronischen Komponenten (z. B. Transistoren, Dioden, Widerständen, Kondensatoren usw.) durch kontinuierliche Verringerungen der minimalen Strukturelementgröße, was mehr Komponenten erlaubt, in eine gegebene Fläche integriert zu werden.

Figurenliste

[0004] Aspekte der vorliegenden Offenbarung lassen sich am besten anhand der folgenden detaillierten Beschreibung in Verbindung mit den beiliegenden Zeichnungen verstehen. Es ist zu beachten, dass gemäß der branchenüblichen Praxis verschiedene Merkmale nicht maßstabsgetreu dargestellt sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale zugunsten einer klaren Erläuterung willkürlich vergrößert oder verkleinert sein.

Fig. 1 veranschaulicht in einer dreidimensionalen Ansicht ein Beispiel für einen FinFET gemäß einigen Ausführungsformen.

Fig. 2, Fig. 3, Fig. 4, Fig. 5, Fig. 6, Fig. 7, Fig. 8, Fig. 9, Fig. 10, Fig. 11A, Fig. 11B, Fig. 12A, Fig. 12B, Fig. 13A, Fig. 13B, Fig. 14A, Fig. 14B, Fig. 15A, Fig. 15B, Fig. 16A, Fig. 16B, Fig. 17A, Fig. 17B, Fig. 17C, Fig. 17D, Fig. 18A, Fig. 18B, Fig. 19A, Fig. 19B, Fig. 20A, Fig. 20B, Fig. 20C, Fig. 20D, Fig. 21A, Fig. 21B, Fig. 21C, Fig. 21D, Fig. 21E, Fig. 21F, Fig. 22A, Fig. 22B, Fig. 22C, Fig. 22D, Fig. 23A, Fig. 23B, Fig. 23C, Fig. 23D, Fig. 24A, Fig. 24B, Fig. 24C und Fig. 24D sind gemäß

einigen Ausführungsformen Querschnittsansichten bei Zwischenstufen in der Herstellung von FinFETs.

DETAILLIERTE BESCHREIBUNG

[0005] Die folgende Offenbarung stellt viele unterschiedliche Ausführungsformen bzw. Beispiele zum Implementieren unterschiedlicher Merkmale der Erfindung bereit. Um die vorliegende Offenbarung zu vereinfachen, werden nachstehend konkrete Beispiele für Komponenten und Anordnungen beschrieben. Diese sind selbstverständlich lediglich Beispiele und sollen nicht einschränkend sein. Zum Beispiel kann die Bildung eines ersten Strukturelements über oder auf einem zweiten Strukturelement in der folgenden Beschreibung Ausführungsformen umfassen, in denen das erste und das zweite Strukturelement in direktem Kontakt gebildet werden, und auch Ausführungsformen umfassen, in denen zusätzliche Strukturelemente derart zwischen dem ersten und dem zweiten Strukturelement gebildet werden können, dass das erste und das zweite Strukturelement nicht in direktem Kontakt sein können. Zusätzlich kann die vorliegende Offenbarung in den verschiedenen Beispielen Bezugszeichen und/oder Buchstaben wiederholen. Diese Wiederholung dient der Einfachheit und Klarheit und gibt an sich keine Beziehung zwischen den verschiedenen erörterten Ausführungsformen und/oder Ausgestaltungen vor.

[0006] Ferner können räumlich relative Begriffe wie „unterhalb“, „unter“ „untere/r/s“, „oberhalb“, „ober-e/r/s“ und dergleichen hierin zur Vereinfachung der Beschreibung verwendet werden, um die Beziehung eines Elementes oder Merkmals zu einem anderen Element (anderen Elementen) oder Merkmal(en), wie in den Figuren veranschaulicht, zu beschreiben. Die räumlich relativen Begriffe sollen zusätzlich zu der in den Figuren gezeigten Ausrichtung unterschiedliche Ausrichtungen der Bauelemente im Gebrauch oder Betrieb umfassen. Der Gegenstand kann anders ausgerichtet sein (um 90 Grad gedreht oder in anderen Ausrichtungen), und die hierin verwendeten räumlich relativen Beschreibungen können ebenso dementsprechend interpretiert werden.

[0007] Gemäß einigen Ausführungsformen werden vor Bilden der Dummy-Gates über den Finnen dielektrische Schichten über den Halbleiterstrukturelementen, z. B. Finnen, gebildet. Die dielektrischen Schichten weisen eine Maskenschicht, die es ermöglicht, eine größere Dicke von dielektrischem Material über der Oberseite der Finnen als über den Seitenwänden der Finnen zu bilden, auf. Die dielektrischen Schichten können den Verlust der Finne von der oberen Fläche der Finnen während nachfolgenden Strukturierungsprozesses des Dummy-Gates reduzieren, was die Leistung des Bauelements durch Reduzieren des Kontaktwiderstands steigern kann.

Der Prozess zum Bilden der dielektrischen Schichten kann mit einem oxidativen Abscheidungsprozess integriert werden und kann gefolgt von einem oxidativen Abscheidungsprozess erfolgen, der kostengünstig ist und hohe Waferzahlen pro Stunde erzielt.

[0008] **Fig. 1** veranschaulicht in einer dreidimensionalen Ansicht ein Beispiel für einen FinFET gemäß einigen Ausführungsformen. Ein FinFET weist eine Finne 60, die sich von einem Substrat 50 (z. B. einem Halbleitersubstrat) aus erstreckt, auf Isolationsbereiche 70 sind über dem Substrat 50 angeordnet, und die Finne 60 steht oberhalb benachbarter Isolationsbereiche 70 und dazwischen hervor. Obwohl die Isolationsbereiche 70 als vom Substrat 50 getrennt beschrieben/veranschaulicht sind, kann der Begriff „Substrat“, wie hierin verwendet, verwendet werden, um sich auf das Halbleitersubstrat alleine oder auf ein Halbleitersubstrat mit Isolationsbereichen zu beziehen. Obwohl die Finne 60 als ein einziges, durchgängiges Material als Substrat 50 veranschaulicht ist, können die Finne 60 und/oder das Substrat 50 zusätzlich ein einziges Material oder eine Mehrzahl von Materialien enthalten. In diesem Zusammenhang bezieht sich die Finne 60 auf den Abschnitt, der sich zwischen den benachbarten Isolationsbereichen 70 erstreckt.

[0009] Eine Gate-Dielektrikum-Schicht 110 befindet sich entlang von Seitenwänden und über einer oberen Fläche der Finne 60, und eine Gate-Elektrode 112 befindet sich über der Gate-Dielektrikum-Schicht 110. Source-/Drain-Bereiche 102 sind bezüglich der Gate-Dielektrikum-Schicht 110 und der Gate-Elektrode 112 auf entgegengesetzten Seiten der Finne 60 angeordnet. **Fig. 1** veranschaulicht ferner Referenzquerschnitte, die in nachfolgenden Figuren verwendet werden. Querschnitt A-A verläuft entlang einer Längsachse der Gate-Elektrode 112 und in einer Richtung, die zum Beispiel senkrecht zur Richtung eines Stromflusses zwischen den Source-/Drain-Bereichen 102 des FinFET ist. Querschnitt B-B ist senkrecht zu Querschnitt A-A und verläuft entlang einer Längsachse der Finne 60 und in einer Richtung zum Beispiel eines Stromflusses zwischen den Source-/Drain-Bereichen 102 des FinFET. Querschnitt C-C verläuft parallel zu Querschnitt A-A und erstreckt sich durch einen Source-/Drain-Bereich des FinFET. Der Klarheit halber nehmen nachfolgende Figuren auf diese Referenzquerschnitte Bezug.

[0010] Einige hierin erörterten Ausführungsformen werden im Zusammenhang mit FinFETs erörtert, die unter Verwendung eines Gate-Last-Prozesses gebildet werden. In anderen Ausführungsformen kann ein Gate-First-Prozess verwendet werden. Auch berücksichtigen einige Ausführungsformen Aspekte, die in planaren Bauelementen verwendet werden, wie planaren FETs, Nanostruktur- (z. B. Nanoblatt-, Nano-

draht-, Gate-All-Around- oder dergleichen) Feldefekttransistoren (NSFETs) oder dergleichen.

[0011] **Fig. 2** bis **Fig. 23B** sind Querschnittsansichten von Zwischenstufen beim Herstellen von FinFETs gemäß einigen Ausführungsformen. **Fig. 2**, **Fig. 3**, **Fig. 4**, **Fig. 5**, **Fig. 6**, **Fig. 7**, **Fig. 8**, **Fig. 9** und **Fig. 10** veranschaulichen einen Referenzquerschnitt A-A, der, abgesehen von mehreren Finnen-/FinFETs, in **Fig. 1** veranschaulicht ist. **Fig. 11A**, **Fig. 12A**, **Fig. 13A**, **Fig. 14A**, **Fig. 15A**, **Fig. 16A**, **Fig. 17A**, **Fig. 18A**, **Fig. 19A**, **Fig. 20A**, **Fig. 20C**, **Fig. 21A**, **Fig. 21D**, **Fig. 22A**, **Fig. 22C**, **Fig. 23A**, **Fig. 23C**, **Fig. 24A** und **Fig. 24C** sind entlang dem in **Fig. 1** veranschaulichten Referenzquerschnitt A-A veranschaulicht, und **Fig. 11B**, **Fig. 12B**, **Fig. 13B**, **Fig. 14B**, **Fig. 15B**, **Fig. 16B**, **Fig. 17B**, **Fig. 18B**, **Fig. 19B**, **Fig. 20B**, **Fig. 20D**, **Fig. 21B**, **Fig. 21C**, **Fig. 21E**, **Fig. 21F**, **Fig. 22B**, **Fig. 22D**, **Fig. 23B**, **Fig. 23D**, **Fig. 24B** und **Fig. 24D** sind entlang einem ähnlichen in **Fig. 1** veranschaulichten Querschnitt B-B veranschaulicht, abgesehen von mehreren Finnen/FinFETs. **Fig. 17C** und **Fig. 17D** sind entlang von Referenzquerschnitt C/D-C/D veranschaulicht, der, abgesehen von mehreren Finnen-/FinFETs, in **Fig. 1** veranschaulicht ist.

[0012] In **Fig. 2** ist ein Substrat 50 bereitgestellt. Das Substrat 50 kann ein Halbleitersubstrat sein, wie ein Bulk-Halbleiter, ein Halbleiter-auf-Isolator-Substrat (SOI-Substrat) oder dergleichen, welches dotiert (z. B. mit einem p- oder einem n-Dotierstoff) oder undotiert sein kann. Das Substrat 50 kann ein Wafer sein, wie ein Siliziumwafer. Im Allgemeinen ist ein SOI-Substrat eine Schicht aus einem Halbleitermaterial, die auf einer Isolationsschicht ausgebildet ist. Die Isolationsschicht kann zum Beispiel eine vergrabene Oxidschicht (BOX-Schicht - buried oxide layer), eine Siliziumoxidschicht oder dergleichen sein. Die Isolationsschicht wird auf einem Substrat, typischerweise einem Silizium- oder Glassubstrat bereitgestellt. Andere Substrate, wie ein mehrschichtiges Substrat oder ein Gradientensubstrat, können ebenfalls verwendet werden. In einigen Ausführungsformen kann das Halbleitermaterial des Substrats 50 Silizium; Germanium; einen Verbindungshalbleiter, einschließlich Siliziumcarbid, Galliumarsenid, Galliumphosphid, Indiumphosphid, Indiumarsenid und/oder Indiumantimonid; einen Legierungshalbleiter, einschließlich Siliziumgermanium, Galliumarsenidphosphid, Aluminiumindiumarsenid, Aluminiumgalliumarsenid, Galliumindiumarsenid, Galliumindiumphosphid und/oder Galliumindiumarsenidphosphid; oder Kombinationen davon enthalten.

[0013] Das Substrat 50 weist einen n-Bereich 50N und einen p-Bereich 50P auf. Der n-Bereich 50N kann zum Bilden von n-Bauelementen dienen, wie NMOS-Transistoren, z. B. n-FinFETs. Der p-Bereich

50P kann zum Bilden von p-Bauelementen dienen, wie PMOS-Transistoren, z. B. p-FinFETs. Der n-Bereich 50N kann physisch von dem p-Bereich 50P getrennt sein (wie durch Teiler 51 veranschaulicht), und eine beliebige Anzahl von Bauelementstrukturelementen (z. B. andere aktive Bauelemente, dotierte Bereiche, Isolationsstrukturen usw.) können zwischen dem n-Bereich 50N und dem p-Bereich 50P angeordnet sein.

[0014] Angemessene Wannen (nicht gezeigt) können in dem Substrat 50 gebildet werden. In der gezeigten Ausführungsform wird eine p-Wanne in dem n-Bereich 50N gebildet und wird eine n-Wanne in dem p-Bereich 50P gebildet. Die Wannen werden durch Implantieren des n-Bereichs 50N und des p-Bereichs 50P mit p- und/oder n-Fremdstoffen gebildet. Nach der Implantation der n-Bereiche 50N und der p-Bereiche 50P kann ein Tempern durchgeführt werden, um die implantierten p- und/oder n-Fremdstoffe zu aktivieren.

[0015] In Ausführungsformen mit unterschiedlichen Wannentypen können unterschiedliche Implantationsschritte für den n-Bereich 50N und den p-Bereich 50P unter Verwendung eines Fotolacks oder anderer Masken (nicht gezeigt) erzielt werden. Zum Beispiel kann ein Fotolack über dem n-Bereich 50N des Substrats 50 gebildet werden. Der Fotolack wird strukturiert, um den p-Bereich 50P des Substrats 50, wie einen PMOS-Bereich, freizulegen. Der Fotolack kann unter Verwendung einer Aufschleudertechnik gebildet und unter Verwendung von annehmbaren Fotolithografietechniken strukturiert werden. Sobald der Fotolack strukturiert ist, wird eine n-Fremdstoffimplantation in dem p-Bereich 50P durchgeführt, und der Fotolack kann als Maske dienen, die im Wesentlichen verhindert, dass n-Fremdstoffe in den n-Bereich 50N, wie einen NMOS-Bereich, implantiert werden. Die n-Fremdstoffe können Phosphor, Arsen, Antimon oder dergleichen sein, die in den Bereich mit einer Konzentration von gleich oder kleiner als 10^{18} cm^{-3} , wie zwischen etwa 10^{17} cm^{-3} und etwa 10^{18} cm^{-3} , implantiert werden. Nach der Implantation wird der Fotolack entfernt, wie durch einen annehmbaren Veraschungsprozess.

[0016] Nach der Implantation des p-Bereichs 50P wird ein Fotolack über dem p-Bereich 50P des Substrats 50 gebildet. Der Fotolack wird strukturiert, um den n-Bereich 50N des Substrats 50, wie den NMOS-Bereich, freizulegen. Der Fotolack kann unter Verwendung einer Aufschleudertechnik gebildet und unter Verwendung von annehmbaren Fotolithografietechniken strukturiert werden. Sobald der Fotolack strukturiert ist, kann eine p-Fremdstoffimplantation in dem n-Bereich 50N durchgeführt werden, und der Fotolack kann als Maske dienen, die im Wesentlichen verhindert, dass p-Fremdstoffe in

den p-Bereich 50P, wie einen PMOS-Bereich, implantiert werden. Die p-Fremdstoffe können Bor, BF₂, Indium oder dergleichen sein, die in den Bereich mit einer Konzentration von gleich oder kleiner als 10^{18} cm^{-3} , wie zwischen etwa 10^{17} cm^{-3} und etwa 10^{18} cm^{-3} , implantiert werden. Nach der Implantation kann der Fotolack entfernt werden, wie durch einen annehmbaren Veraschungsprozess.

[0017] Ein erster Halbleiterbereich 52 wird über dem Substrat 50 gebildet. Der erste Halbleiterbereich 52 ist ein Halbleitermaterial, wie Silizium, Siliziumcarbid, ein III-V-Verbindungshalbleiter, ein II-VI-Verbindungshalbleiter oder dergleichen. Zum Beispiel schließen die verfügbaren Materialien zum Bilden von III-V-Verbindungshalbleitern InAs, AlAs, GaAs, InP, GaN, InGaAs, InAlAs, GaSb, AlSb, AlP, GaP und dergleichen ein, sind jedoch nicht darauf beschränkt. In einigen Ausführungsformen ist der erste Halbleiterbereich 52 Silizium. Der erste Halbleiterbereich 52 wird epitaktisch auf dem Substrat 50 aufgewachsen. Wie nachstehend ferner erörtert, wird der erste Halbleiterbereich 52 strukturiert, um Finnen in dem n-Bereich 50N zu bilden.

[0018] In **Fig. 3** ist ein zweiter Halbleiterbereich 54 über dem Substrat 50 ausgebildet. Der zweite Halbleiterbereich 54 sind ein Halbleitermaterial, wie Siliziumgermanium (z. B. Si_xGe_{1-x}, wobei x im Bereich von 0 bis 1 liegen kann), reines oder im Wesentlichen reines Germanium, ein III-V-Verbindungshalbleiter, ein II-VI-Verbindungshalbleiter oder dergleichen. Zum Beispiel schließen die verfügbaren Materialien zum Bilden von III-V-Verbindungshalbleitern InAs, AlAs, GaAs, InP, GaN, InGaAs, InAlAs, GaSb, AlSb, AlP, GaP und dergleichen ein, sind jedoch nicht darauf beschränkt. In einigen Ausführungsformen ist der zweite Halbleiterbereich 54 Siliziumgermanium. Der zweite Halbleiterbereich 54 wird epitaktisch auf dem Substrat 50 aufgewachsen. Als Beispiel für Bilden des zweiten Halbleiterbereichs 54 kann eine Öffnung in dem ersten Halbleiterbereich 52 über dem p-Bereich 50P des Substrats gebildet werden. Die Öffnung kann durch einen oder mehrere Ätzprozess(e) unter Verwendung eines Fotolacks als Ätzmaske gebildet werden. Der/die Ätzprozess(e) kann/können Nassätzen, Trockenätzen, reaktives Ionenätzen (RIE), neutrales Strahlätzen (NBE), eine Kombinationen davon oder dergleichen umfassen und kann/können anisotrop sein. Der zweite Halbleiterbereich wird dann auf dem Substrat 50 in der Öffnung epitaktisch aufgewachsen.

[0019] Silizium und Siliziumgermanium weisen unterschiedliche Gitterkonstanten auf. Folglich weisen der zweite Halbleiterbereich 54 und das Substrat 50 fehlangepasste Gitterkonstanten auf. Die Fehlpassung der Gitterkonstanten hängt von der Konzentration des Germaniums des zweiten Halbleiterbereichs 54 ab, wobei eine höhere

Germaniumkonzentration zu einer größeren Fehlpassung der Gitterkonstanten führt. Die Fehlpassung der Gitterkonstanten verursacht eine Druckbelastung in dem zweiten Halbleiterbereich 54, die die Trägermobilität des zweiten Halbleiterbereichs 54 erhöhen kann, was die Kanalbereichsmobilität der anschließend gebildeten p-Bauelemente verbessern kann. Die in dem zweiten Halbleiterbereich gebildeten Kanalbereiche können teilweise oder vollständig verspannte Kanalbereiche sein.

[0020] In einigen Ausführungsformen werden der erste Halbleiterbereich 52 und der zweite Halbleiterbereich 54 in situ während des Aufwachsens dotiert, um angemessene dotierte Bereiche (z. B. Wannen) aufzuweisen. Die dotierten Bereiche des ersten Halbleiterbereichs 52 und des zweiten Halbleiterbereichs 54 können vom gleichen Dotierungstyp sein wie die darunterliegenden dotierten Bereiche des Substrats 50. Die dotierten Bereiche des ersten Halbleiterbereichs 52 und des zweiten Halbleiterbereichs 54 können die gleiche Dotierungskonzentration wie die darunterliegenden dotierten Bereiche des Substrats 50 aufweisen, oder können unterschiedliche Dotierungskonzentrationen aufweisen. In einigen Ausführungsformen kann das Dotieren des ersten Halbleiterbereichs 52 und des zweiten Halbleiterbereichs 54 die Implantationen im Substrat 50 vermeiden, obwohl eine In-situ- und Implantationsdotierung zusammen verwendet werden können.

[0021] In **Fig. 4** sind Gräben 56 in dem ersten Halbleiterbereich 52 und dem zweiten Halbleiterbereich 54 (und optional in dem Substrat 50) ausgebildet. Die Gräben 56 können durch einen oder mehrere Ätzprozess(e) unter Verwendung eines Fotolacks als Ätzmaske gebildet werden. Der/die Ätzprozess (e) kann/können Nassätzen, Trockenätzen, reaktives Ionenätzen (RIE), neutrales Strahlätzen (NBE), eine Kombinationen davon oder dergleichen umfassen und kann/können anisotrop sein. Die Gräben 56 können sich teilweise in den ersten Halbleiterbereich 52 und den zweiten Halbleiterbereich 54 erstrecken oder sich durch die Halbleiterbereiche und in das Substrat 50 erstrecken. Abschnitte des ersten Halbleiterbereichs 52 und des zweiten Halbleiterbereichs 54 (und optional des Substrats 50), die zwischen den Gräben 56 verbleiben, werden als Finnen 60 bezeichnet. Die Finnen 60 weisen jeweils einen unteren Abschnitt 62 und einen oberen Abschnitt 64 auf. Die unteren Abschnitte 62 weisen untere Abschnitte 62N und 62P auf, mit den unteren Abschnitten 62N, die die verbleibenden Abschnitte des n-Bereichs 50N des Substrats 50 aufweisen und den unteren Abschnitten 62P, die die verbleibenden Abschnitte des p-Bereichs 50P des Substrats 50 aufweisen. Die oberen Abschnitte 64 weisen obere Abschnitte 64N und 64P auf, mit den oberen Abschnitten 64N, die die verbleibenden Abschnitte des ersten Halblei-

terbereichs 52 aufweisen und den unteren Abschnitten 64P, die die verbleibenden Abschnitte des zweiten Halbleiterbereichs 54 aufweisen. Die Finnen 60 werden mit einer ersten Breite W_1 gebildet. In einigen Ausführungsformen liegt die erste Breite W_1 in einem Bereich von 5 nm bis 15 nm. Eine derartige Finnenbreite kann es der Finne ermöglichen, eine ausreichende Dicke nach nachfolgenden/m Ätzprozess (en) (nachstehend beschrieben) beizubehalten.

[0022] Die Finnen können durch ein beliebiges geeignetes Verfahren strukturiert werden. Die Finnen 60 können zum Beispiel unter Verwendung eines oder mehrerer Fotolithografieprozesse strukturiert werden, einschließlich Doppel- oder Mehrfachstrukturierungsprozesse. Im Allgemeinen kombinieren Doppelstrukturierungs- oder Mehrfachstrukturierungsprozesse Fotolithografie und selbstausrichtende Prozesse, was Strukturen, die zum Beispiel kleinere Abstände aufweisen als was anderweitig unter Verwendung eines einzigen direkten Fotolithografieprozesses erhaltbar ist, erlaubt, geschaffen zu werden. Zum Beispiel wird in einer Ausführungsform eine Opferschicht über einem Substrat gebildet und unter Verwendung eines Fotolithografieprozesses strukturiert. Abstandshalter werden unter Verwendung eines selbstausrichtenden Prozesses neben der strukturierten Opferschicht gebildet. Die Opferschicht wird dann entfernt, und die verbleibenden Abstandshalter können dann verwendet werden, um die Finnen zu strukturieren. In einigen Ausführungsformen kann die Maske (oder andere Schicht) auf den Finnen 60 verbleiben.

[0023] In **Fig. 5** ist ein Isolationsmaterial 68 über dem Substrat 50 und zwischen benachbarten Finnen 60 ausgebildet. Das Isolationsmaterial 68 kann so gebildet werden, dass überschüssige Abschnitte des Isolationsmaterials 68 die Finnen 60 bedecken. Das Isolationsmaterial 68 kann ein Oxid sein, wie Siliziumoxid, ein Nitrid, dergleichen oder eine Kombination davon, und kann durch eine chemische Gasphasenabscheidung mit hochdichtem Plasma (HDP-CVD), eine fließfähige chemische Gasphasenabscheidung (FCVD) (z. B. eine auf chemische Gasphasenabscheidung (CVD) basierte Materialabscheidung in einem Remote-Plasmasystem und Nach-Aushärten zur Umwandlung in ein anderes Material, wie ein Oxid), dergleichen oder eine Kombination davon gebildet werden. Andere Isolationsmaterialien, die durch einen beliebigen annehmbaren Prozess gebildet werden, können verwendet werden. In der veranschaulichten Ausführungsform ist das Isolationsmaterial 68 Siliziumoxid, das durch einen FCVD-Prozess gebildet wird. Sobald das Isolationsmaterial ausgebildet ist, kann ein Temperprozess durchgeführt werden. Obwohl das Isolationsmaterial 68 als eine einzige Schicht veranschaulicht ist, können einige Ausführungsformen mehrere Schichten verwenden. Zum Beispiel kann in einigen

Ausführungsformen zuerst eine Auskleidung (nicht gezeigt) entlang einer Fläche des Substrats 50 und der Finnen 60 gebildet werden. Danach kann ein Füllmaterial, wie die solche, die vorstehend erörtert wurden, über der Auskleidung gebildet werden.

[0024] In **Fig. 6** ist das Isolationsmaterial 68 vertieft, um flache Grabenisolationsbereiche (STI-Bereiche) 70 zu bilden. Das Isolationsmaterial 68 wird vertieft, sodass die oberen Abschnitte 64 der Finnen 60 zwischen benachbarten STI-Bereichen 70 hervorsteht. Das Isolationsmaterial 68 kann vertieft werden, indem ein Planarisierungsprozess durchgeführt wird, gefolgt von einem annehmbaren Ätzprozess. In einigen Ausführungsformen umfasst der Planarisierungsprozess ein chemisch-mechanisches Polieren (CMP), einen Rückätzprozess, Kombinationen davon oder dergleichen. Der Planarisierungsprozess legt die Finnen 60 frei. Nach dem Planarisierungsprozess sind obere Flächen der Finnen 60 und das Isolationsmaterial 68 bündig. Die STI-Bereiche 70 können dann unter Verwendung eines annehmbaren Ätzprozesses vertieft werden, wie eines Ätzprozesses, der gegenüber dem Material des Isolationsmaterials 68 selektiv ist. Zum Beispiel kann eine Entfernung chemischer Oxide unter Verwendung einer Wasserstoffquelle (z. B. Ammoniak) mit einer Fluorquelle (z. B. Stickstofftrifluorid) oder eine Entfernung chemischer Oxide unter Verwendung verdünnter Fluorwasserstoffsäure (dHF) verwendet werden. Die oberen Flächen der STI-Bereiche 70 können durch einen Ätzprozess flach, konkav und/oder konvex gebildet werden. Die freigelegten Abschnitte der Finnen 60 weisen eine erste Höhe H_1 auf. In einigen Ausführungsformen liegt die erste Höhe H_1 in einem Bereich von 40 nm bis 60 nm.

[0025] In der gezeigten Ausführungsform sind obere Flächen der STI-Bereiche 70 bündig mit oberen Flächen der unteren Abschnitte 62 der Finnen 60, sodass die oberen Abschnitte 64 der Finnen 60 vollständig freigelegt sind. In einigen Ausführungsformen sind die oberen Flächen des STI-Bereichs 70 oberhalb von oberen Flächen der unteren Abschnitte 62 der Finnen 60 angeordnet, sodass die oberen Abschnitte 64 der Finnen 60 teilweise freigelegt sind. In einigen Ausführungsformen sind obere Flächen des STI-Bereichs 70 unterhalb oberer Flächen der unteren Abschnitte 62 der Finnen 60 angeordnet, sodass die oberen Abschnitte 64 der Finnen 60 vollständig freigelegt sind, und die unteren Abschnitte 62 der Finnen 60 teilweise freigelegt sind.

[0026] In einigen Ausführungsformen werden Schutzkappen (nicht veranschaulicht) auf den freigelegten Abschnitten der Finnen 60 gebildet. Germanium oxidiert leichter als Silizium, und daher besteht ein größeres Risiko einer Oxidation an den oberen Abschnitten 64P der Finnen 60, die das Germanium enthalten. Bilden der Schutzkappen kann dabei hel-

fen, eine Oxidation während der nachfolgenden Verarbeitung zu vermeiden/zu reduzieren. Die Schutzkappen kann ein Halbleitermaterial, wie Silizium, Siliziumcarbid, ein III-V-Verbindungshalbleiter, ein II-VI-Verbindungshalbleiter oder dergleichen sein. In einigen Ausführungsformen sind die Schutzkappen Silizium und werden auf den freigelegten Abschnitten der Finnen 60 epitaktisch aufgewachsen.

[0027] **Fig. 7** bis **Fig. 10** veranschaulichen die Bildung einer Dummy-Dielektrikum-Schicht 80 über den Finnen 60 gemäß einigen Ausführungsformen. Die Dummy-Dielektrikum-Schicht 80 weist dielektrische Unterschichten auf und weist eine Dicke des dielektrischen Materials auf, das über der Oberseite der Finnen 60 ausgebildet ist, die größer ist als über den Seitenwänden der Finnen 60 (siehe nachstehend, **Fig. 10**). Die größere Dicke auf der Oberseite der Dummy-Dielektrikum-Schicht 80 kann den Verlust der Finne von der oberen Fläche der Finnen 60 während nachfolgenden Entfernungsprozessen der über den Finnen 60 gebildeten Dummy-Gates (siehe nachstehend, **Fig. 12A** und **Fig. 12B**) reduzieren, ohne die Dicke der dielektrischen Unterschicht 80A auf den Seitenwänden der Finnen 60 zu erhöhen, was zu unerwünschtem Zusammenwachsen von anschließend gebildeten Abschnitten der Dummy-Dielektrikum-Schicht 80 auf benachbarten Finnen 60 und/oder zu unerwünschten Hohlräumen in anschließend gebildeten Abschnitten einer Dummy-Gate-Schicht zwischen benachbarten Finnen 60 (siehe nachstehend, **Fig. 11A-11B**) führen kann.

[0028] In **Fig. 7** ist eine erste dielektrische Unterschicht 80A über den oberen Abschnitten 64 der Finnen 60 und über freigelegten Abschnitten der STI-Bereiche 70 ausgebildet. Die erste dielektrische Unterschicht 80A kann einen Großteil der Abschnitte der anschließend gebildeten Dummy-Dielektrikum-Schicht 80 auf oberen Flächen der Finnen 60 aufweisen. Die erste dielektrische Unterschicht 80A kann eine oder mehrere Oxid-(z. B. Siliziumoxid) und/oder Nitridschichten (z. B. Siliziumnitrid) aufweisen und kann durch einen geeigneten Prozess, wie CVD, PECVD, PVD, ALD, PEALD oder dergleichen gebildet werden. In einigen Ausführungsformen weist die erste dielektrische Unterschicht 80A Siliziumoxid auf und wird durch PEALD mit einer Plasmaerzeugungsleistung in einem Bereich von 15 W bis 200 W gebildet. In einigen Ausführungsformen wird die erste dielektrische Unterschicht 80A mit einer ersten Dicke T1 in einem Bereich von 15 Å bis 35 Å gebildet, was vorteilhaft ist, um den Verlust der Finne während eines nachfolgenden Strukturierungsprozesses eines Dummy-Gates zu reduzieren (siehe nachstehend **Fig. 12A-13B**). Bilden der ersten dielektrischen Unterschicht 80A mit einer Dicke von weniger als 15 Å kann zu einem unerwünschten Verlust der Finne während des nachfolgenden Strukturierungsprozes-

ses des Dummy-Gates führen. Bilden der ersten dielektrischen Unterschicht 80A mit einer Dicke von mehr als 35 Å kann zu unerwünschtem Zusammenwachsen von nachfolgend gebildeten Abschnitten der Dummy-Dielektrikum-Schicht 80 auf benachbarten Finnen 60 und/oder zu unerwünschten Hohlräumen in anschließend gebildeten Abschnitten einer Dummy-Gate-Schicht (siehe nachstehend, **Fig. 11A-11B**) zwischen benachbarten Finnen 60 führen.

[0029] Nach der Bildung der ersten dielektrischen Unterschicht 80A kann eine Plasmabehandlung (z. B. eine O₂-Plasmabehandlung) an der ersten dielektrischen Unterschicht 80A durchgeführt werden. Die Plasmabehandlung kann ferner das Material der ersten dielektrischen Unterschicht 80A oxidieren, was den Verlust der Finne während eines nachfolgenden Strukturierungsprozesses eines Dummy-Gates reduzieren kann. Die Plasmabehandlung kann unter Verwendung einer Plasmaerzeugungsleistung in einem Bereich von 400 W bis 600 W durchgeführt werden.

[0030] In **Fig. 8** ist eine Masken-Unterschicht 80B auf oberen Flächen der ersten dielektrischen Unterschicht 80A über den Finnen 60 ausgebildet. Die Masken-Unterschicht 80B schützt Abschnitte der ersten dielektrischen Unterschicht 80A während eines nachfolgenden Rückätzprozesses (siehe nachstehend, **Fig. 9**). Eine Masken-Unterschicht 80B wird gebildet, um obere Flächen der Abschnitte der ersten dielektrischen Unterschicht 80A über den Finnen 60 zu bedecken. In einigen Ausführungsformen legt die Masken-Unterschicht 80B obere Flächen von Abschnitten der ersten dielektrischen Unterschicht 80A auf den STI-Bereichen 70 frei. In einigen Ausführungsformen erstrecken sich Seitenwandabschnitte der Masken-Unterschicht 80B entlang oberen Abschnitten der Seitenwände der ersten dielektrischen Unterschicht 80A. Die Seitenwandabschnitte der Masken-Unterschicht 80B können sich entlang den oberen Abschnitten der Seitenwände der ersten dielektrischen Unterschicht 80A in Dicke verjüngen. Zum Beispiel können in Ausführungsformen, wie in **Fig. 8** veranschaulicht, unterer Abschnitt der Seitenwände der ersten dielektrischen Unterschicht 80A freigelegt werden, und eine Dicke der Masken-Unterschicht 80B kann sich verjüngen, wobei die Dicke zunimmt, wenn sich die Masken-Unterschicht 80B weiter von dem Substrat 50 erstreckt. In einigen Ausführungsformen, in denen die erste dielektrische Unterschicht 80A zum Beispiel Siliziumoxid enthält, kann die Masken-Unterschicht 80B Kohlenstoff und/oder Stickstoff enthalten und kann mit einem geeigneten Prozess, wie CVD, PECVD, PVD, ALD, PEALD oder dergleichen gebildet werden. In Ausführungsformen wie diejenigen, in denen die erste dielektrische Unterschicht 80A Siliziumoxid enthält und die Masken-Unter-

schicht 80B Nitrid, Carbid oder dergleichen enthält, weist die Masken-Unterschicht 80B eine niedrigere Ätzrate als die erste dielektrische Unterschicht 80A auf und wirkt dadurch als Ätzmaske in einem nachfolgenden Rückätzprozess, um zu ermöglichen, dass unbedeckte Abschnitte der ersten dielektrischen Unterschicht 80A (z. B. auf Seitenwänden der Finnen 60) geätzt wird, während die Oberseite der ersten dielektrischen Unterschicht 80A geschützt wird. Zum Beispiel ist die Masken-Unterschicht 80B in einigen Ausführungsformen Siliziumnitrid, Siliziumcarbonitrid, Siliziumoxicarbonitrid, dergleichen oder eine Kombination davon und wird unter Verwendung von Bis(diethylamino)silan (BDEAS), SiH₃-N(CH₂CH₃)₂, dergleichen oder einer Kombination davon als Vorläufer gebildet.

[0031] In einigen Ausführungsformen wird die Masken-Unterschicht 80B durch einen geeigneten Prozess, wie ALD gebildet, wobei der Prozess Zyklen mit relativ hohem Druck, kurzer Spülzeit und kurzer Plasmabehandlungszeit aufweist. Der hohe Druck, die kurze Spülzeit und die kurze Plasmabehandlungszeit können zu einer geringeren Adsorption von Vorläufern an den Seitenwänden der ersten dielektrischen Unterschicht 80A und zu einer größeren Adsorption von Vorläufern an aufoberen Flächen der ersten dielektrischen Unterschicht 80A führen. Dies kann dazu führen, dass ein Profil der Masken-Unterschicht 80B auf oberen Flächen der ersten dielektrischen Unterschicht 80A mehr Material als auf den Seitenwänden der ersten dielektrischen Unterschicht 80A enthält, z. B. kann sich die Dicke der Masken-Unterschicht 80B verjüngen, wobei die Dicke zunimmt, wenn sich die Masken-Unterschicht 80B weiter von dem Substrat 50 erstreckt. In einigen Ausführungsformen verwendet der ALD-Prozess mehrere Abscheidungszyklen mit abwechselnden Vorläufergasen. Zum Beispiel kann der ALD-Prozess ein zyklisches Abscheiden sein, das z. B. einen ersten Zyklus unter Verwendung eines ersten Vorläufers, wie Bis(diethylamino)silan (BDEAS), gefolgt von einem zweiten Zyklus unter Verwendung eines zweiten Vorläufers, wie SiH₃-N(CH₂CH₃)₂ umfasst. In einigen Ausführungsformen können Silizium und Sauerstoff, die in dem ersten Zyklus abgeschieden wurden, mit Silizium, Kohlenstoff und Stickstoff reagieren, die in dem zweiten Zyklus abgeschieden wurden, um ein Material zu bilden, das Silizium, Sauerstoff, Kohlenstoff und Stickstoff enthält. Abwechselnde erste und zweite Zyklen können wiederholt werden, bis die Masken-Unterschicht eine gewünschte Dicke von z. B. Siliziumoxicarbonitrid erreicht. Die Masken-Unterschicht 80B kann mit einer Plasmaerzeugungsleistung in einem Bereich von 15 W bis 150 W gebildet werden. Die Masken-Unterschicht 80B kann unter einem Druck in einem Bereich von 1500 Torr bis 3500 Torr gebildet werden. Die Masken-Unterschicht 80B kann mit einer Spülzeit für jeden Zyklus der ALD in einem Bereich von

0,05 s bis 0,25 s und einer Plasmabehandlungszeit für jeden Zyklus der ALD in einem Bereich von 0,05 s bis 0,25 s gebildet werden.

[0032] In einigen Ausführungsformen wird eine Masken-Unterschicht 80B mit einer zweiten Dicke T2 in einem Bereich von 5 Å bis 10 Å über oberen Flächen der ersten dielektrischen Unterschicht 80A über den Finnen 60 gebildet, was vorteilhaft ist, um eine ausreichende Dicke der Masken-Unterschicht 80B nach einem nachfolgenden Rückätzprozess beizubehalten, um obere Abschnitte der ersten dielektrischen Unterschicht 80A zu schützen. Bilden der Masken-Unterschicht 80B mit einer Dicke von weniger als 5 Å kann nachteilig sein, weil keine ausreichende Dicke bereitgestellt wird, um obere Abschnitte der ersten dielektrischen Unterschicht 80A zu schützen. Bilden der Masken-Unterschicht 80B mit einer Dicke von mehr als 10 Å kann nachteilig sein, weil es zu unerwünschtem Zusammenwachsen von anschließend gebildeten Abschnitten der Dummy-Dielektrikum-Schicht 80 auf benachbarten Finnen 60 und/oder zu unerwünschten Hohlräumen in anschließend gebildeten Abschnitten einer Dummy-Gate-Schicht (siehe nachstehend, **Fig. 11A-11B**) zwischen benachbarten Finnen 60 führt.

[0033] In **Fig. 9** ist ein Strukturierungsprozess, wie ein Rückätzprozess, durchgeführt worden, um Abschnitte der ersten dielektrischen Unterschicht 80A und der Masken-Unterschicht 80B auf Seitenwänden der Finnen 60 zu entfernen. Durch Entfernen der Seitenwandabschnitte der ersten dielektrischen Unterschicht 80A und der Masken-Unterschicht 80B kann der Rückätzprozess das Prozessfenster für nachfolgende Prozesse, wie Bildung einer Dummy-Gate-Schicht zwischen den Finnen 60, durch Vergrößern eines Abstands zwischen benachbarten Strukturen (z. B. zwischen benachbarten Finnen) vergrößern. Durch Vergrößern des Abstands wird die Wahrscheinlichkeit unerwünschtes Zusammenwachsens von anschließend gebildeten Abschnitten der Dummy-Dielektrikum-Schicht 80 auf benachbarten Finnen 60 und/oder unerwünschter Hohlräume in anschließend gebildeten Abschnitten der Dummy-Gate-Schicht (siehe nachstehend, **Fig. 11A-11B**) zwischen benachbarten Finnen 60 reduziert. Die Masken-Unterschicht 80B dient als Ätzstoppschicht, um obere Abschnitte der ersten dielektrischen Unterschicht 80A auf oberen Flächen der Finnen 60 vor dem Rückätzprozess zu schützen. Der Rückätzprozess kann ein zyklisches Ätzen sein, das Nassätzprozesse, Trockenätzprozesse oder eine Kombination davon umfasst. In einigen Ausführungsformen umfasst der Rückätzprozess ein Nassätzen unter Verwendung von verdünnter Fluorwasserstoffsäure, Chlorwasserstoffsäure oder dergleichen oder einer Kombination davon als Ätzmittel. In einigen Ausführungsformen umfasst der Rückätzprozess ein Tro-

ckenätzen unter Verwendung von NH₃, HF, dergleichen oder einer Kombination davon als Ätzmittel. Wenn die Seitenwandabschnitte der ersten dielektrischen Unterschicht 80A entfernt werden, kann der Rückätzprozess gestoppt werden, wodurch Seitenwände der oberen Abschnitte 64 der Finnen 60 freigelegt werden.

[0034] Nach dem Rückätzprozess verbleiben obere Abschnitte der ersten dielektrischen Unterschicht 80A auf oberen Flächen der Finnen 60, bedeckt durch die verbleibenden Abschnitte der Masken-Unterschicht 80B. In einigen Ausführungsformen weisen die verbleibenden Abschnitte der Masken-Unterschicht 80B eine dritte Dicke T3 in einem Bereich von 2 Å bis 5 Å auf, was vorteilhaft für den Rückätzprozess ist, um Seitenwandabschnitte der ersten dielektrischen Unterschicht 80A und der Masken-Unterschicht 80B zu entfernen. Die verbleibenden Abschnitte der Masken-Unterschicht 80B, die eine Dicke von weniger als 2 Å aufweisen, können zu einem Ätzen der ersten dielektrischen Unterschicht 80A führen, was einen unerwünschten nachfolgenden Verlust der Finne bewirken kann. Die verbleibenden Abschnitte der Masken-Unterschicht 80B, die eine Dicke von mehr als 5 Å aufweisen, können dazu führen, dass Seitenwandabschnitte der ersten dielektrischen Unterschicht 80A auf den Finnen 60 verbleiben, wodurch das Prozessfenster für nachfolgende Prozesse, wie Bildung eines Dummy-Gates, verringert werden kann.

[0035] In **Fig. 10** ist eine zweite dielektrische Unterschicht 80C über den oberen Abschnitten 64 der Finnen 60 und über freigelegten Abschnitten der STI-Bereiche 70 ausgebildet, wobei die verbleibenden Abschnitte der ersten dielektrischen Unterschicht 80A und der Masken-Unterschicht 80B bedeckt sind. Die verbleibenden Abschnitte der ersten dielektrischen Unterschicht 80A und der Masken-Unterschicht 80B und die zweite dielektrische Unterschicht 80C bilden zusammen eine Dummy-Dielektrikum-Schicht 80, wobei die Dicke des dielektrischen Materials, das über der Oberseite der Finnen 60 gebildet wird, größer ist als über den Seitenwänden der Finnen 60. Dies kann den Verlust der Finne von der oberen Fläche der Finne 60 während nachfolgenden Entfernungsprozessen der über den Finnen 60 gebildeten Dummy-Gates reduzieren (siehe nachstehend, **Fig. 12A** und **Fig. 12B**). In einigen Ausführungsformen wird die zweite dielektrische Unterschicht 80C aus ähnlichen Materialien und durch ähnliche Verfahren wie die erste dielektrische Unterschicht 80A gebildet (siehe vorstehend, **Fig. 7**). Es ist zu beachten, dass nur zu Veranschaulichungszwecken die zweite dielektrische Unterschicht 80C so gezeigt ist, dass sie die STI-Bereiche 70 bedeckt. In einigen Ausführungsformen bedeckt die zweite dielektrische Unterschicht 80C nur die Finnen 60.

[0036] In einigen Ausführungsformen wird die zweite dielektrische Unterschicht 80C mit einer vierten Dicke T4 in einem Bereich von 15 Å bis 35 Å auf den Seitenwänden und über oberen Flächen den Finnen 60 gebildet, was vorteilhaft ist, um den Verlust der Finne während eines nachfolgenden Strukturierungsprozesses eines Dummy-Gates zu reduzieren (siehe nachstehend, **Fig. 12A-13B**). Bilden der zweiten dielektrischen Unterschicht 80C mit einer Dicke von weniger als 15 Å kann zu unerwünschtem Verlust der Finne während des nachfolgenden Strukturierungsprozesses des Dummy-Gates führen. Bilden der zweiten dielektrischen Unterschicht 80C mit einer Dicke von mehr als 35 Å kann zu unerwünschtem Zusammenwachsen von Abschnitten der zweiten dielektrischen Unterschicht 80C auf benachbarten Finnen 60 und/oder zu unerwünschten Hohlräumen in anschließend gebildeten Abschnitten einer Dummy-Gate-Schicht (siehe nachstehend, **Fig. 11A-11B**) zwischen benachbarten Finnen 60 führen.

[0037] In einigen Ausführungsformen weist die Dummy-Dielektrikum-Schicht 80 eine fünfte Dicke T5 auf, gemessen zwischen einer oberen Fläche der Finnen 60 und einer oberen Fläche der Dummy-Dielektrikum-Schicht 80 über den Finnen 60 in einem Bereich von 45 Å bis 65 Å, was vorteilhaft ist, um den Verlust der Finne während eines nachfolgenden Strukturierungsprozesses eines Dummy-Gates zu reduzieren (siehe nachstehend, **Fig. 12A-13B**). Die Dummy-Dielektrikum-Schicht 80, die eine fünfte Dicke T5 von weniger als 45 Å aufweist, kann zu unerwünschtem Verlust der Finne während des nachfolgenden Strukturierungsprozesses des Dummy-Gates führen. Die Dummy-Dielektrikum-Schicht 80, die eine fünfte Dicke T5 von mehr als 65 Å ausweist, kann das Prozessfenster für nachfolgende Prozesse, wie Bildung eines Dummy-Gates, verringern.

[0038] In einigen Ausführungsformen liegt das Verhältnis der fünften Dicke T5 zu der vierten Dicke T4 in einem Bereich von 2:1 bis 5:1, was vorteilhaft sein kann, um den Verlust der Finne von den oberen Flächen der Finnen 60 zu reduzieren, während das Prozessfenster für nachfolgende Prozesse, wie Bildung eines Dummy-Gates, vergrößert wird. Das Verhältnis der fünften Dicke T5 zu der vierten Dicke T4 von weniger als 2:1 kann zu unerwünschtem Verlust der Finne von den oberen Flächen der Finnen 60 oder zu einer Verringerung des Prozessfensters für nachfolgende Prozesse, wie Bildung eines Dummy-Gates, führen. Das Verhältnis der fünften Dicke T5 zu der vierten Dicke T4 von mehr als 5:1 kann zu unerwünschtem Verlust der Finne auf den Seitenwänden der Finnen 60 während eines nachfolgenden Entfernungsprozesses der Dummy-Dielektrikum-Schicht 80 führen (siehe nachstehend, **Fig. 20A-20B**).

[0039] In **Fig. 11A** und **Fig. 11B** ist eine Dummy-Gate-Schicht 82 über der Dummy-Dielektrikum-Schicht 80 ausgebildet, und eine Maskenschicht 84 ist über der Dummy-Gate-Schicht 82 ausgebildet. Die Dummy-Gate-Schicht 82 kann über der Dummy-Dielektrikum-Schicht 80 abgeschieden und dann, wie durch ein CMP, planarisiert werden. Die Maskenschicht 84 kann über der Dummy-Gate-Schicht 82 abgeschieden werden. Die Dummy-Gate-Schicht 82 kann aus einem leitfähigen oder halbleitendem Material sein und kann aus einer Gruppe ausgewählt sein, die amorphes Silizium, polykristallines Silizium (Polysilizium), polykristallines Siliziumgermanium (Poly-SiGe), Metallnitride, Metallsilizide, Metalloxide und Metalle enthält. Die Dummy-Gate-Schicht 82 kann durch physikalische Gasphasenabscheidung (PVD), CVD, Sputter-Abscheidung oder andere Techniken zum Abscheiden des ausgewählten Materials abgeschieden werden. Die Dummy-Gate-Schicht 82 kann aus anderen Materialien hergestellt werden, die eine hohe Ätzselektivität gegenüber dem Ätzen von Isolationsbereichen, z. B. den STI-Bereichen 70 und/oder der Dummy-Dielektrikum-Schicht 80, aufweisen. Die Maskenschicht 84 kann eine oder mehrere Schichten aus zum Beispiel Siliziumnitrid, Siliziumoxinitrid oder dergleichen aufweisen. In diesem Beispiel werden eine einzige Dummy-Gate-Schicht 82 und eine einzige Maskenschicht 84 über den n-Bereich 50N und den p-Bereich 50P hinweg gebildet.

[0040] **Fig. 12A** bis **Fig. 23B** veranschaulichen verschiedene zusätzliche Schritte beim Herstellen von Bauelementen gemäß Ausführungsformen. Obwohl **Fig. 12A** bis **Fig. 23B** Strukturelemente in den p-Bereichen 50P veranschaulichen, sollte es sich verstehen, dass die veranschaulichten Strukturen sowohl für n-Bereiche 50N als auch für p-Bereiche 50P gelten können. Unterschiede (falls vorhanden) zwischen den Strukturen des n-Bereichs 50N und denen des p-Bereichs 50P werden in dem Text beschrieben, der jede Figur begleitet.

[0041] In **Fig. 12A** und **Fig. 12B** kann die Maskenschicht 84 (siehe vorstehend, **Fig. 11A-11B**) unter Verwendung annehmbarer Fotolithografie- und Ätztechniken strukturiert werden, um Masken 94 zu bilden. Die Struktur der Masken 94 kann dann auf die Dummy-Gate-Schicht 82 übertragen werden, um Dummy-Gates 92 zu bilden. Die Dummy-Gates 92 bedecken jeweilige Kanalbereiche 58 der Finnen 60. Die Struktur der Masken 74 kann verwendet werden, um jedes der Dummy-Gates 72 physisch von benachbarten Dummy-Gates zu trennen. Die Dummy-Gates 92 können auch eine Längsrichtung aufweisen, die im Wesentlichen senkrecht zur Längsrichtung der jeweiligen Finnen 60 verläuft.

[0042] In den **Fig. 13A** und **Fig. 13B** wird die Struktur der Masken 94 und der Dummy-Gates 92 durch

eine annehmbare Ätztechnik auf die Dummy-Dielektrikum-Schicht 80 übertragen, um eine Dummy-Gate-Dielektrikum-Schicht 90 zu bilden. In einigen Ausführungsformen wird die Dummy-Gate-Dielektrikum-Schicht 90 durch ein Ätzprozess gebildet, der ein Nassätzprozess, ein Trockenätzprozess oder eine Kombination davon umfasst. In einigen Ausführungsformen umfasst der Ätzprozess ein Nassätzen unter Verwendung verdünnter Fluorwasserstoffsäure, Chlorwasserstoffsäure, dergleichen oder einer Kombination davon als Ätzmittel. In einigen Ausführungsformen umfasst der Ätzprozess ein Trockenätzen unter Verwendung von NH₃, HF, dergleichen oder einer Kombination davon als Ätzmittel. In einigen Ausführungsformen, in denen die jeweiligen Materialien der ersten dielektrischen Unterschicht 80A, der Masken-Unterschicht 80B und der zweiten dielektrischen Unterschicht 80C unterschiedliche Ätzselektivitäten aufweisen, kann der Ätzprozess ein erstes Ätzmittel, wie O₂, HBr, oder dergleichen, das dazu ausgewählt ist, das Material der ersten dielektrischen Unterschicht 80A zu ätzen, ein zweites Ätzmittel, wie O₂, HBr, oder dergleichen, das dazu ausgewählt ist, das Material der Masken-Unterschicht 80B zu ätzen, und ein drittes Ätzmittel, wie O₂, HBr, oder dergleichen, das dazu ausgewählt ist, das Material der zweiten dielektrischen Unterschicht 80C zu ätzen, aufweisen. In einigen Ausführungsformen ist das Material der ersten dielektrischen Unterschicht 80A das gleiche wie das Material der zweiten dielektrischen Unterschicht 80C und das erste Ätzmittel ist das gleiche wie das dritte Ätzmittel.

[0043] Aufgrund der Dicke T5 der Dummy-Dielektrikum-Schicht 80, die obere Abschnitte 64 der Finnen 60 bedeckt (siehe vorstehend, **Fig. 10**), können die oberen Bereiche 64 der Finnen 60 mit einem Abstand D1 in einem Bereich von 1 nm bis 2 nm geätzt werden. Der Verlust der Finne eines Abstands D1 auf oberen Abschnitten 64 der Finnen 60 kann geringer sein als ein jeweiliger Verlust der Finne, der bei einer geringeren Dicke der Dummy-Dielektrikum-Schicht 80 über den oberen Abschnitten 64 der Finnen 60 auftritt. Dies kann die Leistung des Bauelements durch Reduzieren des Kontaktwiderstands steigern.

[0044] In **Fig. 14A** und **Fig. 14B** sind Gate-Versiegelungs-Abstandshalter 96 auf freigelegten Oberflächen des Dummy-Gates 92, der Masken 94, der Dummy-Gate-Dielektrikum-Schicht 90 und/oder der Finnen 60 ausgebildet. Die Gate-Versiegelungs-Abstandshalter 96 können durch eine thermische Oxidation oder eine Abscheidung gefolgt von einer anisotropen Ätzung gebildet werden. In der veranschaulichten Ausführungsform werden Gate-Versiegelungs-Abstandshalter 96 durch eine thermische Oxidation von Seitenwandabschnitten der Dummy-Gates 92, der Masken 94, der Dummy-Gate-Dielektrikum-Schicht 90 und der Finnen 60 gebildet. Die

Gate-Versiegelungs-Abstandshalter 96 können aus Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid oder der gleichen gebildet werden.

[0045] In **Fig. 15A** und **Fig. 15B** sind Implantationen für schwach dotierte Source/Drain-Bereiche (LDDBereiche) 98 durchgeführt worden. In den Ausführungsformen mit unterschiedlichen Bauelementtypen kann, ähnlich wie bei den vorstehend in **Fig. 2** erörterten Implantationen, eine Maske, wie ein Fotolack, über dem n-Bereich 50N gebildet werden, wobei der p-Bereich 50P freigelegt ist, und Fremdstoffe angemessenen Typs (z. B. p-Fremdstoffe) in die freigelegten Finnen 60 in dem p-Bereich 50P implantiert werden können. Die Maske kann dann entfernt werden. Anschließend kann eine Maske, wie ein Fotolack, über dem p-Bereich 50P gebildet werden, wobei der n-Bereich 50N freigelegt ist, und Fremdstoffe angemessenen Typs (z. B. n-Fremdstoffe) in die freigelegten Finnen 60 in dem n-Bereich 50N implantiert werden können. Die Maske kann dann entfernt werden. Die n-Fremdstoffe können beliebige der zuvor erörterten n-Fremdstoffe sein, und die p-Fremdstoffe können beliebige der zuvor erörterten p-Fremdstoffe sein. Die schwach dotierten Source-/Drain-Bereiche können eine Konzentration an Fremdstoffen von etwa 10¹⁵ cm⁻³ bis etwa 10¹⁹ cm⁻³ aufweisen. Ein Tempern kann verwendet werden, um Implantationsschäden zu reparieren und die implantierten Fremdstoffe zu aktivieren.

[0046] In **Fig. 16A** und **Fig. 16B** sind Gate-Abstandshalter 100 auf den Gate-Versiegelungs-Abstandshaltern 96 entlang von Seitenwänden der Dummy-Gates 92 und der Masken 94 ausgebildet. Die Gate-Abstandshalter 100 können durch konformes Abscheiden eines Isoliermaterials und nachfolgendes anisotropes Ätzen des Isoliermaterials gebildet werden. Das Isoliermaterial der Gate-Abstandshalter 100 kann Siliziumoxid, Siliziumnitrid, Siliziumoxinitrid, Siliziumcarbonitrid, eine Kombination davon oder dergleichen sein. Die Gate-Abstandshalter 100 erstrecken sich über obere Abschnitte 64 der Finnen 60.

[0047] Es ist zu beachten, dass die vorstehende Offenbarung im Allgemeinen einen Prozess zum Bilden von Abstandshaltern und LDD-Bereichen beschreibt. Andere Prozesse und Abfolgen können verwendet werden. Zum Beispiel können weniger oder zusätzliche Abstandshalter verwendet werden oder es können unterschiedliche Schrittabfolgen verwendet werden (z. B. können die Gate-Versiegelungs-Abstandshalter 96 vor Bilden der Gate-Abstandshalter 100 nicht geätzt werden, was zu „L-förmigen“ Gate-Versiegelungs-Abstandshaltern führt, Abstandshalter können gebildet und entfernt werden und/oder dergleichen). Ferner können die n- und p-Bauelemente unter Verwendung unterschiedlicher Strukturen und Schritte gebildet werden.

Zum Beispiel können LDD-Bereiche für n-Bauelemente vor Bilden der Gate-Versiegelungs-Abstandshalter 96 gebildet werden, während die LDD-Bereiche für p-Bauelemente nach Bilden der Gate-Versiegelungs-Abstandshalter 96 gebildet werden können.

[0048] In **Fig. 17A** und **Fig. 17B** sind epitaktische Source-/Drain-Bereiche 102 in den Finnen 60 ausgebildet. Die epitaktischen Source-/Drain-Bereiche 102 werden so in den Finnen 60 gebildet, dass jedes Dummy-Gate 92 zwischen jeweiligen benachbarten Paaren der epitaktischen Source-/Drain-Bereiche 102 angeordnet ist. In einigen Ausführungsformen können sich die epitaktischen Source/Drain-Bereiche 102 in die Finnen 60 erstrecken und diese auch durchdringen. In einigen Ausführungsformen werden die Gate-Abstandshalter 100 dazu verwendet, um die epitaktischen Source-/Drain-Bereiche 102 von den Dummy-Gates 92 und der Dummy-Gate-Dielektrikum-Schicht 90 um einen angemessenen seitlichen Abstand zu trennen, sodass die epitaktischen Source-/Drain-Bereiche 102 anschließend gebildete Gates der resultierenden FinFETs nicht kurzschließen. Ein Material der epitaktischen Source-/Drain-Bereiche 102 kann so ausgewählt sein, dass in den jeweiligen Kanalbereichen 58 eine Spannung ausgeübt wird, um die Leistung zu verbessern.

[0049] Die epitaktischen Source/Drain-Bereiche 102 im p-Bereich 50P z. B. dem PMOS-Bereich können durch Maskieren des n-Bereichs 50N z. B. des NMOS-Bereichs und Ätzen der Source/Drain-Bereiche der Finnen 60 im p-Bereich 50P gebildet werden, um Vertiefungen in den Finnen 60 zu bilden. Dann werden die epitaktischen Source-/Drain-Bereiche 102 in dem p-Bereich 50P in den Vertiefungen epitaktisch aufgewachsen. Die epitaktischen Source-/Drain-Bereiche 102 können ein beliebiges annehmbares Material enthalten, wie ein für p-FinFETs angemessenes. Wenn die Finne 60 zum Beispiel Siliziumgermanium ist, können die epitaktischen Source-/Drain-Bereiche 102 in dem p-Bereich 50P Materialien enthalten, die in dem Kanalbereich 58 eine Zugbelastung ausüben, wie Siliziumgermanium, bordotiertes Siliziumgermanium, Germaniumzinsilizium oder dergleichen. Die epitaktischen Source/Drain-Bereiche 102 in dem p-Bereich 50P können Flächen aufweisen, die von jeweiligen Flächen der Finnen 60 erhöht sind, und können Facetten aufweisen.

[0050] Die epitaktischen Source/Drain-Bereiche 102 im n-Bereich 50N z. B. dem NMOS-Bereich können durch Maskieren des p-Bereichs 50P z. B. des NMOS-Bereichs und Ätzen der Source/Drain-Bereiche der Finnen 60 im n-Bereich 50N gebildet werden, um Vertiefungen in den Finnen 60 zu bilden. Dann werden die epitaktischen Source-/Drain-Bereiche 102 in dem n-Bereich 50N in den Vertiefungen epitaktisch aufgewachsen. Die epitaktischen Source-

/Drain-Bereiche 102 können ein beliebiges annehmbares Material enthalten, wie ein für FinFETs angemessenes. Wenn die Finne 60 zum Beispiel Silizium ist, können die epitaktischen Source/Drain-Bereiche 102 in dem n-Bereich 50N Materialien enthalten, die in dem Kanalbereich 58 eine Druckbelastung ausüben, wie Siliziumcarbid, phosphordotiertes Siliziumcarbid, Siliziumphosphid oder dergleichen. Die epitaktischen Source/Drain-Bereiche 102 in dem n-Bereich 50N können Flächen aufweisen, die von jeweiligen Flächen der Finnen 60 erhöht sind, und können Facetten aufweisen.

[0051] Die epitaktischen Source-/Drain-Bereiche 102 und/oder die Finnen 60 können mit Dotierstoffen implantiert werden, um Source-/Drain-Bereiche zu bilden, ähnlich dem zuvor erörterten Prozess zum Bilden schwach dotierter Source-/Drain-Bereiche, gefolgt von einem Tempern. Die Source/Drain-Bereiche können eine Fremdstoffkonzentration zwischen etwa 10^{19} cm⁻³ und etwa 10^{21} cm⁻³ aufweisen. Die n- und/oder p-Fremdstoffe für Source-/Drain-Bereiche können beliebige der zuvor erörterten Fremdstoffe sein. In einigen Ausführungsformen können die epitaktischen Source-/Drain-Bereiche 102 während des Aufwachsens *in situ* dotiert werden.

[0052] Als Ergebnis der Epitaxieprozesse, die zum Bilden der epitaktischen Source-/Drain-Bereiche 102 in dem n-Bereich 50N und dem p-Bereich 50P verwendet werden, weisen obere Flächen der epitaktischen Source-/Drain-Bereiche 102 Facetten auf, die sich über Seitenwände der Finnen 60 hinaus seitlich nach außen ausdehnen. In einigen Ausführungsformen führen diese Facetten dazu, dass benachbarte Source/Drain-Bereiche 102 desselben FinFET zusammenwachsen, wie durch **Fig. 17C** veranschaulicht. In anderen Ausführungsformen bleiben benachbarte Source/Drain-Bereiche 102 nach Abschluss des Epitaxieprozesses getrennt, wie durch **Fig. 17D** veranschaulicht. In den in **Fig. 17C** und **Fig. 17D** veranschaulichten Ausführungsformen werden Gate-Abstandshalter 100 gebildet, die einen Abschnitt der Seitenwände der Finnen 60 bedecken und sich oberhalb der STI-Bereiche 70 erstrecken und dadurch das epitaktische Aufwachsen blockieren. In einigen anderen Ausführungsformen kann das Abstandshalterätzen, das zum Bilden der Gate-Abstandshalter 100 verwendet wird, angepasst werden, um das Abstandshaltermaterial zu entfernen, um zu ermöglichen, dass sich der epitaktisch aufgewachsene Bereich bis zur Fläche des STI-Bereichs 70 erstreckt.

[0053] In **Fig. 18A** und **Fig. 18B** ist ein erstes Zwischenschichtdielektrikum (ILD) 106 über der in **Fig. 17A** und **Fig. 17B** veranschaulichten Struktur abgeschieden. Das erste ILD 106 kann aus einem dielektrischen Material gebildet werden und kann durch ein beliebiges geeignetes Verfahren abge-

schieden werden, wie CVD, plasmaunterstützte CVD (PECVD) oder FCVD. Dielektrische Materialien können Phosphorsilikatglas (PSG), Borsilikatglas (BSG), bordotiertes Phosphorsilikatglas (BPSG), undotiertes Silikatglas (USG) oder dergleichen enthalten. Andere Isolationsmaterialien, die durch einen beliebigen annehmbaren Prozess gebildet werden, können verwendet werden. In einigen Ausführungsformen ist eine Kontaktätzstoppschicht (CESL) 104 zwischen dem ersten ILD 106 und den epitaktischen Source-/Drain-Bereichen 102, den Masken 94 und den Gate-Abstandshaltern 100 angeordnet. Die CESL 104 kann ein dielektrisches Material, wie Siliziumnitrid, Siliziumoxid, Siliziumoxinitrid oder dergleichen enthalten, das eine niedrigere Ätzrate als das Material des darüberliegenden ersten ILD 106 aufweist.

[0054] In **Fig. 19A** und **Fig. 19B** kann ein Planarisierungsprozess, wie ein CMP durchgeführt werden, um die obere Fläche des ersten ILD 106 bündig mit den oberen Flächen der Dummy-Gates 92 oder der Masken 94 zu machen (siehe vorstehend, **Fig. 15A-15B**). Der Planarisierungsprozess kann auch die Masken 94 auf den Dummy-Gates 92 und Abschnitte der Gate-Versiegelungs-Abstandshalter 96 und der Gate-Abstandshalter 100 entlang von Seitenwänden der Masken 94 entfernen. Nach dem Planarisierungsprozess sind obere Flächen der Dummy-Gates 92, der Gate-Versiegelungs-Abstandshalter 96, der Gate-Abstandshalter 100 und des ersten ILD 106 bündig. Dementsprechend sind die oberen Flächen der Dummy-Gates 92 durch das erste ILD 106 freigelegt. In einigen Ausführungsformen können die Masken 94 verbleiben, wobei in diesem Fall der Planarisierungsprozess die obere Fläche des ersten ILD 106 mit den oberen Flächen der oberen Fläche der Masken 94 bündig macht.

[0055] **Fig. 20A** bis **Fig. 24D** veranschaulichen verschiedene zusätzliche Schritte beim Herstellen von Bauelementen gemäß Ausführungsformen in einem ersten Bereich 500 eines Dies (z. B. ein Kernlogikbereich) und in einem zweiten Bereich 600 eines Dies (z. B. ein Eingabe/Ausgabe-Bereich). **Fig. 20A**, **Fig. 20B**, **Fig. 21A**, **Fig. 21B**, **Fig. 21C**, **Fig. 22A**, **Fig. 22B**, **Fig. 23A**, **Fig. 23B**, **Fig. 24A** und **Fig. 24B** veranschaulichen den ersten Bereich 500, und **Fig. 20C**, **Fig. 20D**, **Fig. 21D**, **Fig. 21E**, **Fig. 21F**, **Fig. 22C**, **Fig. 22D**, **Fig. 23C**, **Fig. 23D**, **Fig. 24C** und **Fig. 24D** veranschaulichen den zweiten Bereich 600.

[0056] In **Fig. 20A** bis **Fig. 20D** sind die Dummy-Gates 92 und die Masken 94, falls vorhanden, in einem Ätzschritt (oder mehreren Ätzschritten) entfernt geworden, sodass Vertiefungen 108 ausgebildet sind. Abschnitte der Dummy-Gate-Dielektrikum-Schicht 90 in den Vertiefungen 108 können auch entfernt werden. In einigen Ausführungsformen werden nur die Dummy-Gates 92 entfernt und die Dummy-

Gate-Dielektrikum-Schicht 90 verbleibt und wird durch die Vertiefungen 108 freigelegt. In einigen Ausführungsformen wird die Dummy-Gate-Dielektrikum-Schicht 90 aus Vertiefungen 108 in einem ersten Bereich 500 eines Dies (z. B. einem Kernlogikbereich) entfernt und verbleibt in Vertiefungen 108 in einem zweiten Bereich 600 des Dies (z. B. einem Eingabe/Ausgabe-Bereich). In einigen Ausführungsformen werden die Dummy-Gates 92 durch einen anisotropen Trockenätzprozess entfernt. Zum Beispiel kann der Ätzprozess einen Trockenätzprozess unter Verwendung eines reaktiven Gases/reaktiver Gase umfassen, der die Dummy-Gates 92 selektiv ätzt, wobei das erste ILD 106 oder die Gate-Abstandshalter 100 nur gering oder gar nicht geätzt werden. Jede Vertiefung 108 legt einen Kanalbereich 58 einer jeweiligen Finne 60 frei und/oder liegt darüber. Jeder Kanalbereich 58 ist zwischen benachbarten Paaren von epitaktischen Source-/Drain-Bereichen 102 angeordnet. Während der Entfernung kann die Dummy-Gate-Dielektrikum-Schicht 90 als Ätzstoppschicht verwendet werden, wenn die Dummy-Gates 92 geätzt werden. Nach der Entfernung des Dummy-Gate 92, wie in **Fig. 20AB** veranschaulicht, kann dann die Dummy-Gate-Dielektrikum-Schicht 90 in dem ersten Bereich 500 entfernt werden, und kann in dem zweiten Bereich 600 verbleiben, wie in **Fig. 20C-D** veranschaulicht. Wenn unterschiedliche Prozesse verwendet werden, können verschiedene Maskierungsschritte verwendet werden, um angemessene Bereiche zu maskieren und freizulegen.

[0057] In **Fig. 21A**, **Fig. 21B**, **Fig. 21D** und **Fig. 21E** sind Gate-Dielektrikum-Schichten 110 und Gate-Elektroden 112 für Ersatz-Gates ausgebildet. **Fig. 21C** veranschaulicht eine Detailansicht des Bereichs 12 von **Fig. 21B** und **Fig. 21F** veranschaulicht eine Detailansicht des Bereichs 14 von **Fig. 21E**. Gate-Dielektrikum-Schichten 110, die eine oder mehrere Schichten aufweisen, werden in den Vertiefungen 108 abgeschieden. In einigen Ausführungsformen werden in dem ersten Bereich 500 die Gate-Dielektrikum-Schichten 110 auf den oberen Flächen und den Seitenwänden der Finnen 60 und auf Seitenwänden des Gate-Versiegelungs-Abstandshalters 96/Gate-Abstandshalters 100 abgeschieden, wie in **Fig. 21A-B** veranschaulicht, und in dem zweiten Bereich 600 werden die Gate-Dielektrikum-Schichten 110 auf den oberen Flächen und den Seitenwänden der Dummy-Gate-Dielektrikum-Schicht 90 und auf Seitenwänden des Gate-Versiegelungs-Abstandshalters 96/Gate-Abstandshalters 100 abgeschieden, wie in **Fig. 21D-E** veranschaulicht. Die Gate-Dielektrikum-Schichten 110 können auch auf der oberen Fläche des ersten ILD 106 gebildet werden. In einigen Ausführungsformen weisen die Gate-Dielektrikum-Schichten 110 eine oder mehrere dielektrische Schichten, wie eine oder mehrere Schichten von Siliziumoxid, Siliziumnitrid, Metalloxid,

Metallsilikat oder dergleichen, auf. In einigen Ausführungsformen weisen zum Beispiel die Gate-Dielektrikum-Schichten 110 in dem ersten Bereich 500 eine Grenzschicht aus Siliziumoxid, das durch thermische oder chemische Oxidation gebildet wird, und einem darüberliegenden dielektrischen Material mit hohem k-Wert, wie einem Metalloxid oder einem Silikat von Hafnium, Aluminium, Zirkonium, Lanthan, Mangan, Barium, Titan, Blei und Kombinationen davon, wie in **Fig. 21A-B** veranschaulicht, auf, und die Gate-Dielektrikum-Schichten 110 in dem zweiten Bereich 600 enthalten ein dielektrisches Material mit hohem k-Wert, wie in **Fig. 21D-E** veranschaulicht. Die Gate-Dielektrikum-Schichten 110 können eine dielektrische Schicht mit einem k-Wert von mehr als etwa 7,0 aufweisen. Die Bildungsverfahren der Gate-Dielektrikum-Schichten 110 können Molekularstrahlabscheidung (MBD - Molecular-Beam Deposition), ALD, PECVD und dergleichen umfassen.

[0058] Die Gate-Elektroden 112 werden jeweils über den Gate-Dielektrikum-Schichten 110 abgeschieden und füllen die verbleibenden Abschnitte der Vertiefungen 108. Die Gate-Elektroden 112 können ein metallhaltiges Material, wie Titannitrid, Titanoxid, Tantalnitrid, Tantalcarbid, Cobalt, Ruthenium, Aluminium, Wolfram oder Kombinationen davon oder mehrere Schichten davon enthalten. Obwohl zum Beispiel in **Fig. 21B** und **Fig. 21E** eine Gate-Elektrode 112 mit Einzelschicht veranschaulicht ist, kann die Gate-Elektrode 112 eine beliebige Anzahl von Auskleidungsschichten 112A, eine beliebige Anzahl von die Austrittsarbeit einstellenden Schichten 112B und ein Füllmaterial 112C aufweisen, wie in **Fig. 21C** und **Fig. 21F** veranschaulicht. Nach dem Füllen der Vertiefungen 108 kann ein Planarisierungsprozess, wie ein CMP, durchgeführt werden, um die überschüssigen Abschnitte der Gate-Dielektrikum-Schichten 110 und des Materials der Gate-Elektroden 112 zu entfernen, deren überschüssige Abschnitte über der oberen Fläche des ILD 106 liegen. Die verbleibenden Abschnitte des Materials der Gate-Elektroden 112 und der Gate-Dielektrikum-Schichten 110 bilden somit Ersatz-Gates der resultierenden FinFETs. Die Gate-Elektroden 112 und die Gate-Dielektrikum-Schichten 110 können gemeinsam als „Gate-Stapel“ bezeichnet werden. Das Gate und die Gate-Stapel können sich entlang von Seitenwänden eines Kanalbereichs 58 der Finnen 60 erstrecken.

[0059] Die Bildung der dielektrischen Gate-Schichten 110 in dem n-Bereich 50N und dem p-Bereich 50P kann gleichzeitig erfolgen, sodass die Gate-Dielektrikum-Schichten 110 in jedem Bereich aus den gleichen Materialien gebildet werden, und die Bildung der Gate-Elektroden 112 kann gleichzeitig erfolgen, sodass die Gate-Elektroden 112 in jedem Bereich aus den gleichen Materialien gebildet werden. In einigen Ausführungsformen können die Gate-Dielektrikum-Schichten 110 in jedem Bereich

durch verschiedenartige Prozesse gebildet werden, sodass die Gate-Dielektrikum-Schichten 110 aus unterschiedlichen Materialien sein können, und/oder die Gate-Elektroden 112 in jedem Bereich können durch verschiedenartige Prozesse gebildet werden, sodass die Gate-Elektroden 112 aus unterschiedlichen Materialien sein können. Wenn unterschiedliche Prozesse verwendet werden, können verschiedene Maskierungsschritte verwendet werden, um angemessene Bereiche zu maskieren und freizulegen.

[0060] In **Fig. 22A** bis **Fig. 22D** ist eine Gate-Maske 114 über dem Gate-Stapel ausgebildet (der eine Gate-Dielektrikum-Schicht 110 und eine entsprechende Gate-Elektrode 112 aufweist) und die Gate-Maske kann zwischen entgegengesetzten Abschnitten der Gate-Abstandshalter 100 angeordnet sein. In einigen Ausführungsformen umfasst Bilden der Gate-Maske 114 Vertiefen des Gate-Stapels, sodass eine Vertiefung direkt über dem Gate-Stapel und zwischen entgegengesetzten Abschnitten von Gate-Abstandshaltern 100 gebildet wird. In die Vertiefung wird eine Gate-Maske 114 gefüllt, die eine oder mehrere Schichten aus dielektrischem Material, wie Siliziumnitrid, Siliziumoxinitrid oder dergleichen aufweist, gefolgt von einem Planarisierungsprozess, um überschüssige Abschnitte des dielektrischen Materials zu entfernen, die sich über das erste ILD 106 erstrecken. Die Gate-Maske 114 ist optional und kann in einigen Ausführungsformen weggelassen werden. In derartigen Ausführungsformen kann der Gate-Stapel bündig mit oberen Flächen des ersten ILD 106 bleiben.

[0061] Wie ebenfalls in **Fig. 22A** bis **Fig. 22D** veranschaulicht, wird ein zweites ILD 116 über dem ersten ILD 106 abgeschieden. In einigen Ausführungsformen ist das zweite ILD 116 ein fließfähiger Film, der durch ein fließfähiges CVD-Verfahren ausgebildet ist. In einigen Ausführungsformen wird das zweite ILD 116 aus einem dielektrischen Material gebildet, wie PSG, BSG, BPSG, USG oder dergleichen, und kann durch ein beliebiges geeignetes Verfahren wie CVD und PECVD, abgeschieden werden. Die anschließend gebildeten Gate-Kontakte 118 (siehe nachstehend, **Fig. 23A** bis **Fig. 23D**) durchdringen das zweite ILD 116 und die Gate-Maske 114 (falls vorhanden), um mit der oberen Fläche der vertieften Gate-Elektrode 112 in Kontakt zu stehen.

[0062] In **Fig. 23A** bis **Fig. 23D** sind gemäß einigen Ausführungsformen Gate-Kontakte 118 und Source-/Drain-Kontakte 120 durch das zweite ILD 116 und das erste ILD 106 in dem p-Bereich 50P ausgebildet. Öffnungen für die Source-/Drain-Kontakte 120 werden durch das erste und das zweite ILD 106 und 116 gebildet und Öffnungen für die Gate-Kontakte 118 werden durch das zweite ILD 116 und die Gate-Maske 114 (falls vorhanden) gebildet. Die Öffnungen

können unter Verwendung annehmbarer Fotolithografie- und Ätztechniken gebildet werden. Eine Auskleidung (nicht gezeigt), wie eine Diffusionssperrschicht, eine Haftschicht oder dergleichen, und ein leitfähiges Material werden in den Öffnungen gebildet. Die Auskleidung kann Titan, Titannitrid, Tantal, Tantallitrid oder dergleichen enthalten. Das leitfähige Material kann Kupfer, eine Kupferlegierung, Silber, Gold, Wolfram, Cobalt, Aluminium, Nickel oder dergleichen sein. Ein Planarisierungsprozess, wie ein CMP, kann durchgeführt werden, um überschüssiges Material von einer Fläche des zweiten ILD 116 zu entfernen. Die verbleibende Auskleidung und das verbleibende leitfähige Material bilden die Source-/Drain-Kontakte 120 und die Gate-Kontakte 118 in den Öffnungen. Ein Temperprozess kann durchgeführt werden, um ein Silizid an der Grenzfläche zwischen den epitaktischen Source-/Drain-Bereichen 102 und den Source-/Drain-Kontakten 120 zu bilden. Die Source-/Drain-Kontakte 120 sind physisch und elektrisch mit den epitaktischen Source-/Drain-Bereichen 102 gekoppelt und die Gate-Kontakte 118 sind physisch und elektrisch mit den Gate-Elektroden 112 gekoppelt. Die Source-/Drain-Kontakte 120 und die Gate-Kontakte 118 können in verschiedenen Prozessen gebildet werden oder können in dem gleichen Prozess gebildet werden. Obwohl sie derart gezeigt sind, dass sie in dem gleichen Querschnitt gebildet werden, sollte es sich verstehen, dass jeder der Source-/Drain-Kontakte 120 und der Gate-Kontakte 118 in unterschiedlichen Querschnitten gebildet werden kann, was Kurzschlüsse der Kontakte vermeiden kann.

[0063] **Fig. 24A bis Fig. 24D** veranschaulichen Gate-Kontakte 118 und Source/Drain-Kontakte 120, die in einem n-Bereich 50N durch das zweite ILD 116 und das erste ILD 106 gebildet werden, gemäß einigen Ausführungsformen. Die in **Fig. 24A bis Fig. 24D** veranschaulichten Strukturen können aus der in **Fig. 11A** und **Fig. 11B** veranschaulichten Struktur in dem n-Bereich 50N mit ähnlichen Verfahren gebildet werden, wie sie bei Bilden von Strukturen in dem p-Bereich 50P verwendet werden, wie mit Bezug auf **Fig. 12A bis Fig. 23D** beschrieben.

[0064] Die offenbarten FinFET-Ausführungsformen könnten auch auf Nanostruktur-Bauelemente, wie Nanostruktur-Feldeffekttransistoren (z. B. Nano-blatt-, Nanodraht-, Gate-All-Around-Feldeffekttransistoren oder dergleichen) (NSFETs) angewendet werden. In einer NSFET-Ausführungsform werden die Finnen durch Nanostrukturen ersetzt, die durch Strukturieren eines Stapels mit abwechselnden Schichten aus Kanalschichten und Opferschichten gebildet werden. Dummy-Gate-Stapel und Source-/Drain-Bereiche werden in ähnlicher Weise wie bei den vorstehend beschriebenen Ausführungsformen gebildet. Nachdem die Dummy-Gate-Stapel entfernt wurden, können die Opferschichten in Kanalberei-

chen teilweise oder vollständig entfernt werden. Die Ersatz-Gate-Strukturen werden in ähnlicher Weise wie bei den vorstehend beschriebenen Ausführungsformen gebildet, die Ersatz-Gate-Strukturen können Öffnungen, die durch das Entfernen der Opferschichten hinterlassen wurden, teilweise oder vollständig füllen und die Ersatz-Gate-Strukturen können die Kanalschichten in den Kanalbereichen der NSFET-Bauelemente teilweise oder vollständig umgeben. ILDs und Kontakte zu den Ersatz-Gate-Strukturen und den Source-/Drain-Bereichen können in ähnlicher Weise wie bei den vorstehend beschriebenen Ausführungsformen gebildet werden. Ein Nanostruktur-Bauelement kann wie in der US-Patentanmeldung mit der Veröffentlichungsnr. 2016/0365414 offenbart gebildet werden, die durch Bezugnahme in die vorliegende Anmeldung aufgenommen wird.

[0065] Ausführungsformen können Vorteile erzielen. Vor Bilden der Dummy-Gates über den Finnen werden dielektrische Schichten, die eine Maskenschicht aufweisen, über den Halbleiterfinnen gebildet. Die Maskenschicht ermöglicht das Bilden von dielektrischem Material mit größerer Dicke über den oberen Flächen der Finnen, als auf den Seitenwänden der Finnen. Die größere Dicke der dielektrischen Schichten über den oberen Flächen der Finnen kann die Leistung des Bauelements während nachfolgenden Strukturierungsprozesses des Dummy-Gates steigern. Da der Prozess zum Bilden der dielektrischen Schichten mit einem üblichen oxidativen Abscheidungsprozess integriert werden und gefolgt von diesem erfolgen kann, ist der Prozess zum Bilden der dielektrischen Schichten kostengünstig und hohe Waferzahlen pro Stunde können erzielt werden.

[0066] Gemäß einer Ausführungsform umfasst ein Verfahren zum Bilden einer Halbleitervorrichtung Folgendes: Bilden einer Halbleiterfinne und eines Isolationsbereichs benachbart zu der Halbleiterfinne; Bilden einer ersten Schicht auf der Halbleiterfinne; Bilden einer Maske auf der ersten Schicht, wobei die Maske auf einer Oberseite der Halbleiterfinne dicker ist als entlang einer Seitenwand der Halbleiterfinne; Dünnen der ersten Schicht entlang der Seitenwand der Halbleiterfinne unter Verwendung der Maske, wobei das Dünnen der ersten Schicht Abschnitte der Maske entfernt; Bilden einer zweiten Schicht auf der Halbleiterfinne, wobei die zweite Schicht die verbleibenden Abschnitte der Maske und die verbleibenden Abschnitte der ersten Schicht bedeckt; Bilden einer Dummy-Gate-Schicht auf der Halbleiterfinne; und Strukturieren der Dummy-Gate-Schicht, wobei das Strukturieren der Dummy-Gate-Schicht eine obere Fläche der Halbleiterfinne freilegt. In einer Ausführungsform umfasst Bilden der ersten Schicht Bilden der ersten Schicht auf dem Isolationsbereich, wobei Dünnen der ersten Schicht einen ersten Abschnitt der ersten Schicht auf dem Isolations-

bereich entfernt, und wobei Dünnen der ersten Schicht ferner einen zweiten Abschnitt der ersten Schicht auf Seitenwänden der Halbleiterfinne entfernt. In einer Ausführungsform weist die Maske vor dem Dünnen der ersten Schicht eine erste Dicke in einem Bereich von 5 Å bis 10 Å auf. In einer Ausführungsform weist die Maske nach dem Dünnen der ersten Schicht eine zweite Dicke in einem Bereich von 2 Å bis 5 Å auf. In einer Ausführungsform wird die zweite Schicht mit einer Dicke in einem Bereich von 15 Å bis 35 Å gebildet. In einer Ausführungsform weisen die erste Schicht, die Maske und die zweite Schicht nach Bilden der zweiten Schicht eine kombinierte Dicke in einem Bereich von 45 Å bis 65 Å auf. In einer Ausführungsform liegt nach Bilden der zweiten Schicht ein Verhältnis einer kombinierten Dicke der ersten Schicht, der Maske und der zweiten Schicht zu einer Dicke der zweiten Schicht in einem Bereich von 2:1 bis 5:1. In einer Ausführungsform ätzt Strukturieren der Dummy-Gate-Schicht ein oberer Abschnitt der Halbleiterfinne mit einem Abstand von weniger als 2 nm. In einer Ausführungsform umfasst Abscheiden der ersten Schicht Durchführen einer plasmaunterstützten Atomlagenabscheidung von Siliziumoxid. In einer Ausführungsform umfasst das Verfahren ferner Durchführen einer O₂-Plasma-behandlung auf der ersten Schicht.

[0067] Gemäß einer anderen Ausführungsform umfasst das Verfahren zum Bilden einer Halbleitervorrichtung Folgendes: Abscheiden einer ersten dielektrischen Schicht mit einer plasmaunterstützten Atomlagenabscheidung über einer ersten Halbleiterfinne und einer zweiten Halbleiterfinne, wobei sich die erste Halbleiterfinne in einem ersten Bereich eines Dies befindet und sich die zweite Halbleiterfinne in einem zweiten Bereich des Dies befindet; Bilden einer Maskenschicht über der ersten dielektrischen Schicht, wobei die Maskenschicht eine obere Fläche eines Abschnitts der ersten dielektrischen Schicht über der ersten Halbleiterfinne und der zweiten Halbleiterfinne bedeckt, wobei sich eine Dicke der Maskenschicht entlang den oberen Abschnitten der Seitenwände der ersten dielektrischen Schicht verjüngt; Entfernen von freigelegten Abschnitten der ersten dielektrischen Schicht; Abscheiden einer zweiten dielektrischen Schicht über der Maskenschicht und den verbleibenden Abschnitten der ersten dielektrischen Schicht über der ersten Halbleiterfinne und der zweiten Halbleiterfinne; Entfernen eines ersten Abschnitts der zweiten dielektrischen Schicht, eines ersten Abschnitts der Maskenschicht und eines ersten Abschnitts der ersten dielektrischen Schicht über der ersten Halbleiterfinne, wobei ein zweiter Abschnitt der ersten dielektrischen Schicht, ein zweiter Abschnitt der Maskenschicht und ein zweiter Abschnitt der zweiten dielektrischen Schicht auf der zweiten Halbleiterfinne verbleiben; und Bilden einer ersten Gate-Elektrode über der ersten Halbleiterfinne und Bilden einer zweiten Gate-Elektrode über

dem zweiten Abschnitt der zweiten dielektrischen Schicht. In einer Ausführungsform umfasst Bilden der Maskenschicht Verwenden von Bis(diethylamino)silan (BDEAS) oder SiH₃-N(CH₃)₂ als Vorläufer. In einer Ausführungsform umfasst Bilden der Maskenschicht Verwenden einer Atomlagenabscheidung mit einer Plasmaerzeugungsleistung in einem Bereich von 15 W bis 150 W. In einer Ausführungsform wird Bilden der Maskenschicht bei einem Druck in einem Bereich von 1500 Torr bis 3500 Torr durchgeführt. In einer Ausführungsform weist Bilden der Maskenschicht eine Spülzeit in einem Bereich von 0,5 s bis 0,25 s auf. In einer Ausführungsform weist Bilden der Maskenschicht eine Plasmabehandlungszeit in einem Bereich von 0,5 s bis 0,25 s auf.

[0068] Gemäß einer noch anderen Ausführungsform weist eine Halbleitervorrichtung Folgendes auf: eine erste Halbleiterfinne in einem ersten Bereich eines Dies und eine zweite Halbleiterfinne in einem zweiten Bereich des Dies; ein erstes Gate-Dielektrikum auf der ersten Halbleiterfinne, wobei das erste Gate-Dielektrikum physisch mit einer oberen Fläche der ersten Halbleiterfinne in Kontakt steht; eine erste dielektrische Schicht auf der zweiten Halbleiterfinne; eine zweite dielektrische Schicht auf der ersten dielektrischen Schicht, wobei die zweite dielektrische Schicht Kohlenstoff aufweist; eine dritte dielektrische Schicht auf der zweiten dielektrischen Schicht; ein zweites Gate-Dielektrikum auf der dritten dielektrischen Schicht; eine erste Gate-Elektrode auf dem ersten Gate-Dielektrikum; und eine zweite Gate-Elektrode auf dem zweiten Gate-Dielektrikum. In einer Ausführungsform weisen die erste dielektrische Schicht, die zweite dielektrische Schicht und die dritte dielektrische Schicht eine kombinierte Dicke in einem Bereich von 45 Å bis 65 Å über einer oberen Fläche der zweiten Halbleiterfinne auf. In einer Ausführungsform weist die dritte dielektrische Schicht eine Dicke in einem Bereich von 15 Å bis 35 Å auf einer Seitenwand der zweiten Halbleiterfinne auf. In einer Ausführungsform ist die zweite dielektrische Schicht Siliziumnitrid, Siliziumcarbonitrid oder Siliziumoxicarbonitrid.

[0069] Das Vorstehende umreißt Merkmale mehrerer Ausführungsformen, sodass der Fachmann die Aspekte der vorliegenden Offenbarung besser verstehen kann. Der Fachmann sollte verstehen, dass er die vorliegende Offenbarung ohne Weiteres als Grundlage für das Design oder Abwandeln anderer Prozesse und Strukturen verwenden kann, um die gleichen Zwecke auszuführen und/oder die gleichen Vorteile der vorliegend vorgestellten Ausführungsformen zu erzielen. Der Fachmann sollte auch erkennen, dass derartige äquivalente Konstruktionen nicht von dem Geist und Umfang der vorliegenden Offenbarung abweichen und dass er verschiedene Änderungen, Ersetzungen und Modifikationen hieran

vornehmen kann, ohne von dem Geist und Umfang
der vorliegenden Offenbarung abzuweichen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 63/193866 [0001]

Patentansprüche

1. Verfahren zum Bilden einer Halbleitervorrichtung, wobei das Verfahren Folgendes umfasst:
Bilden einer Halbleiterfinne und eines Isolationsbereichs benachbart zu der Halbleiterfinne;
Bilden einer ersten Schicht auf der Halbleiterfinne;
Bilden einer Maske auf der ersten Schicht, wobei die Maske auf einer Oberseite der Halbleiterfinne dicker ist als entlang einer Seitenwand der Halbleiterfinne;
Dünnen der ersten Schicht entlang der Seitenwand der Halbleiterfinne unter Verwendung der Maske, wobei das Dünnen der ersten Schicht Abschnitte der Maske entfernt;
Bilden einer zweiten Schicht auf der Halbleiterfinne, wobei die zweite Schicht die verbleibenden Abschnitte der Maske und die verbleibenden Abschnitte der ersten Schicht bedeckt;
Bilden einer Dummy-Gate-Schicht auf der Halbleiterfinne; und
Strukturieren der Dummy-Gate-Schicht, wobei das Strukturieren der Dummy-Gate-Schicht eine obere Fläche der Halbleiterfinne freilegt.
2. Verfahren nach Anspruch 1, wobei Bilden der ersten Schicht Bilden der ersten Schicht auf dem Isolationsbereich umfasst, wobei Dünnen der ersten Schicht einen ersten Abschnitt der ersten Schicht auf dem Isolationsbereich entfernt, und wobei Dünnen der ersten Schicht ferner einen zweiten Abschnitt der ersten Schicht auf den Seitenwänden der Halbleiterfinne entfernt.
3. Verfahren nach Anspruch 1 oder 2, wobei die Maske eine erste Dicke in einem Bereich von 5 Å bis 10 Å vor Dünnen der ersten Schicht aufweist.
4. Verfahren nach einem der vorhergehenden Ansprüche, wobei die Maske eine zweite Dicke in einem Bereich von 2 Å bis 5 Å nach Dünnen der ersten Schicht aufweist.
5. Verfahren nach einem der vorhergehenden Ansprüche, wobei die zweite Schicht mit einer Dicke in einem Bereich von 15 Å bis 35 Å gebildet wird.
6. Verfahren nach einem der vorhergehenden Ansprüche, wobei nach Bilden der zweiten Schicht die erste Schicht, die Maske und die zweite Schicht eine kombinierte Dicke in einem Bereich von 45 Å bis 65 Å aufweisen.
7. Verfahren nach einem der vorhergehenden Ansprüche, wobei nach Bilden der zweiten Schicht ein Verhältnis einer kombinierten Dicke der ersten Schicht, der Maske und der zweiten Schicht zu einer Dicke der zweiten Schicht in einem Bereich von 2:1 bis 5:1 liegt.

8. Verfahren nach einem der vorhergehenden Ansprüche, wobei Strukturieren der Dummy-Gate-Schicht einen oberen Abschnitt der Halbleiterfinne mit einem Abstand von weniger als 2 nm ätzt.
9. Verfahren nach einem der vorhergehenden Ansprüche, wobei Abscheiden der ersten Schicht Durchführen einer plasmaunterstützten Atomlagenabscheidung von Siliziumoxid umfasst.
10. Verfahren nach einem der vorhergehenden Ansprüche, ferner umfassend Durchführen einer O₂-Plasmabehandlung auf der ersten Schicht.
11. Verfahren zum Bilden einer Halbleitervorrichtung, wobei das Verfahren Folgendes umfasst:
Abscheiden einer ersten dielektrischen Schicht mit einer plasmaunterstützten Atomlagenabscheidung über einer ersten Halbleiterfinne und einer zweiten Halbleiterfinne, wobei sich die erste Halbleiterfinne in einem ersten Bereich eines Dies befindet und sich die zweite Halbleiterfinne in einem zweiten Bereich des Dies befindet;
Bilden einer Maskenschicht über der ersten dielektrischen Schicht, wobei die Maskenschicht eine obere Fläche eines Abschnitts der ersten dielektrischen Schicht über der ersten Halbleiterfinne und der zweiten Halbleiterfinne bedeckt, wobei sich eine Dicke der Maskenschicht entlang den oberen Abschnitten der Seitenwände der ersten dielektrischen Schicht verjüngt;
Entfernen von freigelegten Abschnitten der ersten dielektrischen Schicht;
Abscheiden einer zweiten dielektrischen Schicht über der Maskenschicht und den verbleibenden Abschnitten der ersten dielektrischen Schicht über der ersten Halbleiterfinne und der zweiten Halbleiterfinne;
Entfernen eines ersten Abschnitts der zweiten dielektrischen Schicht, eines ersten Abschnitts der Maskenschicht und eines ersten Abschnitts der ersten dielektrischen Schicht über der ersten Halbleiterfinne, wobei ein zweiter Abschnitt der ersten dielektrischen Schicht, ein zweiter Abschnitt der Maskenschicht und ein zweiter Abschnitt der zweiten dielektrischen Schicht auf der zweiten Halbleiterfinne verbleiben; und
Bilden einer ersten Gate-Elektrode über der ersten Halbleiterfinne und Bilden einer zweiten Gate-Elektrode über dem zweiten Abschnitt der zweiten dielektrischen Schicht.
12. Verfahren nach Anspruch 11, wobei Bilden der Maskenschicht Verwenden von Bis(dimethylamino)silan (BDEAS) oder SiH₃-N(CH₂CH₃)₂ als Vorläufer umfasst.
13. Verfahren nach Anspruch 11 oder 12, wobei Bilden der Maskenschicht Verwenden einer Atomla-

genabscheidung mit einer Plasmaerzeugungsleistung in einem Bereich von 15 W bis 150 W umfasst.

14. Verfahren nach einem der vorhergehenden Ansprüche 11 bis 13, wobei Bilden der Maskenschicht bei einem Druck in einem Bereich von 1500 Torr bis 3500 Torr durchgeführt wird.

15. Verfahren nach einem der vorhergehenden Ansprüche 11 bis 14, wobei Bilden der Maskenschicht eine Spülzeit in einem Bereich von 0,5 s bis 0,25 s aufweist.

16. Verfahren nach einem der vorhergehenden Ansprüche 11 bis 15, wobei Bilden der Maskenschicht eine Plasmabehandlungszeit in einem Bereich von 0,5 s bis 0,25 s aufweist.

17. Halbleitervorrichtung, aufweisend:
eine erste Halbleiterfinne in einem ersten Bereich eines Dies und eine zweite Halbleiterfinne in einem zweiten Bereich des Dies;
ein erstes Gate-Dielektrikum auf der ersten Halbleiterfinne, wobei das erste Gate-Dielektrikum physisch mit einer oberen Fläche der ersten Halbleiterfinne in Kontakt steht;
eine erste dielektrische Schicht auf der zweiten Halbleiterfinne;
eine zweite dielektrische Schicht auf der ersten dielektrischen Schicht, wobei die zweite dielektrische Schicht Kohlenstoff enthält;
eine dritte dielektrische Schicht auf der zweiten dielektrischen Schicht;
ein zweites Gate-Dielektrikum auf der dritten dielektrischen Schicht;
eine erste Gate-Elektrode auf dem ersten Gate-Dielektrikum; und
eine zweite Gate-Elektrode auf dem zweiten Gate-Dielektrikum.

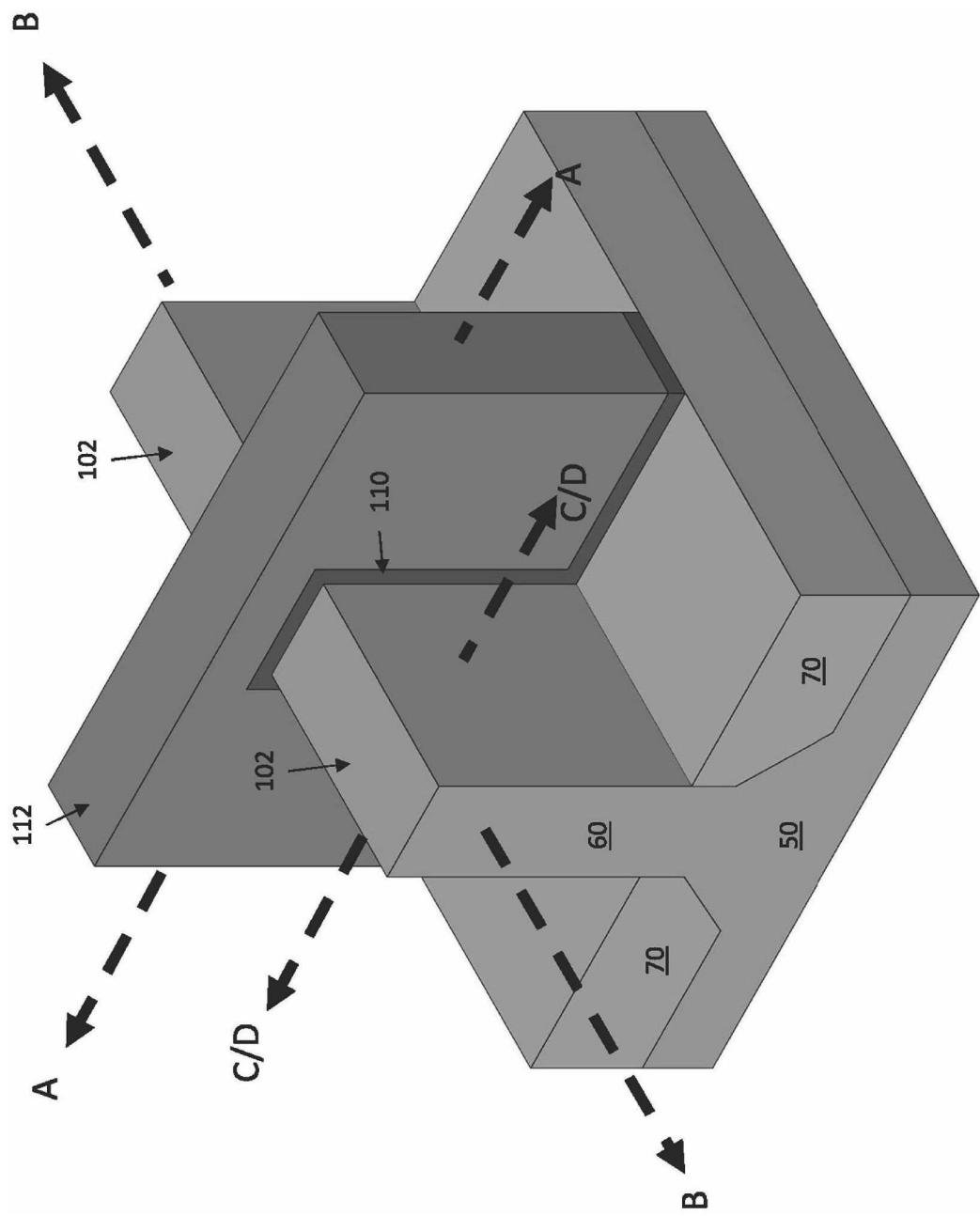
18. Halbleitervorrichtung nach Anspruch 17, wobei die erste dielektrische Schicht, die zweite dielektrische Schicht und die dritte dielektrische Schicht eine kombinierte Dicke in einem Bereich von 45 Å bis 65 Å über einer oberen Fläche der zweiten Halbleiterfinne aufweisen.

19. Halbleitervorrichtung nach Anspruch 17 oder 18, wobei die dritte dielektrische Schicht eine Dicke in einem Bereich von 15 Å bis 35 Å auf einer Seitenwand der zweiten Halbleiterfinne aufweist.

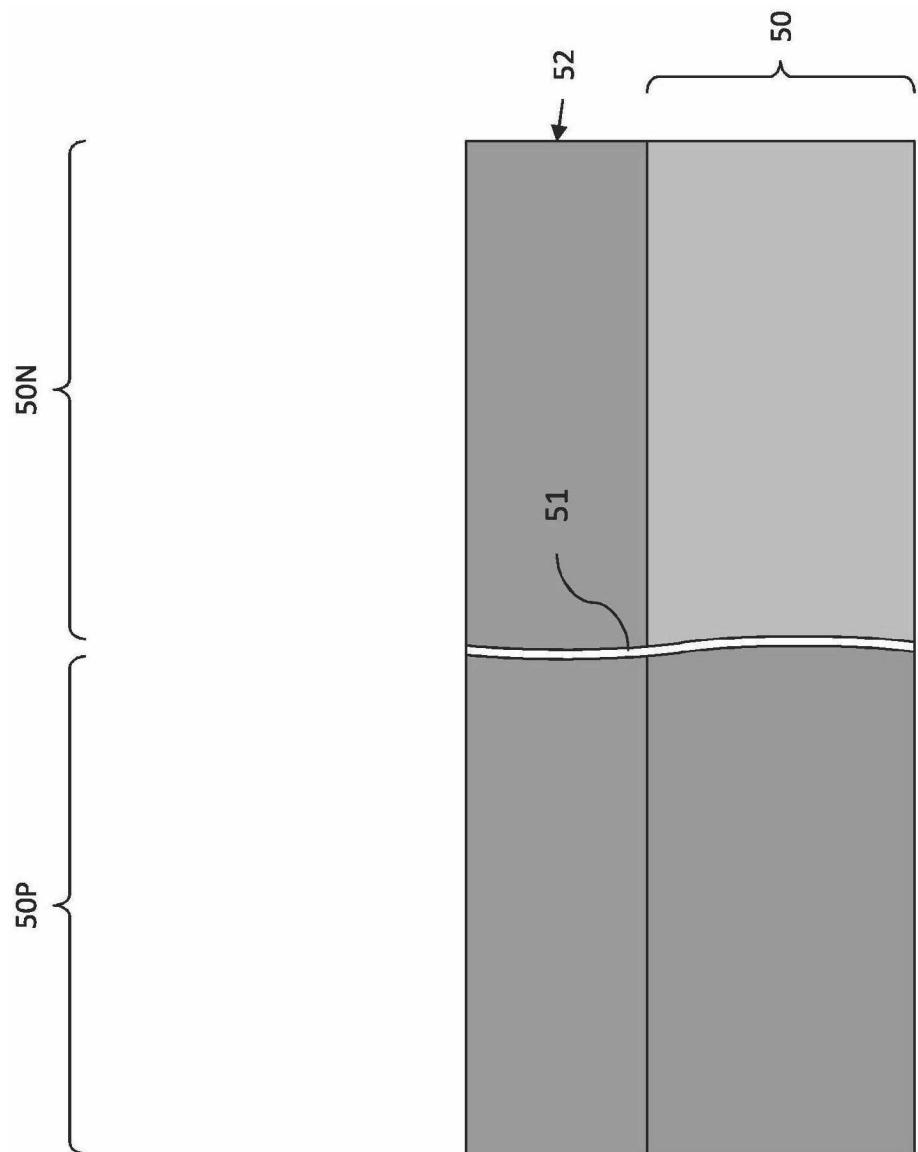
20. Halbleitervorrichtung nach einem der vorhergehenden Ansprüche 17 bis 19, wobei die zweite dielektrische Schicht Siliziumnitrid, Siliziumcarbonitrid oder Siliziumoxicarbonitrid ist.

Es folgen 33 Seiten Zeichnungen

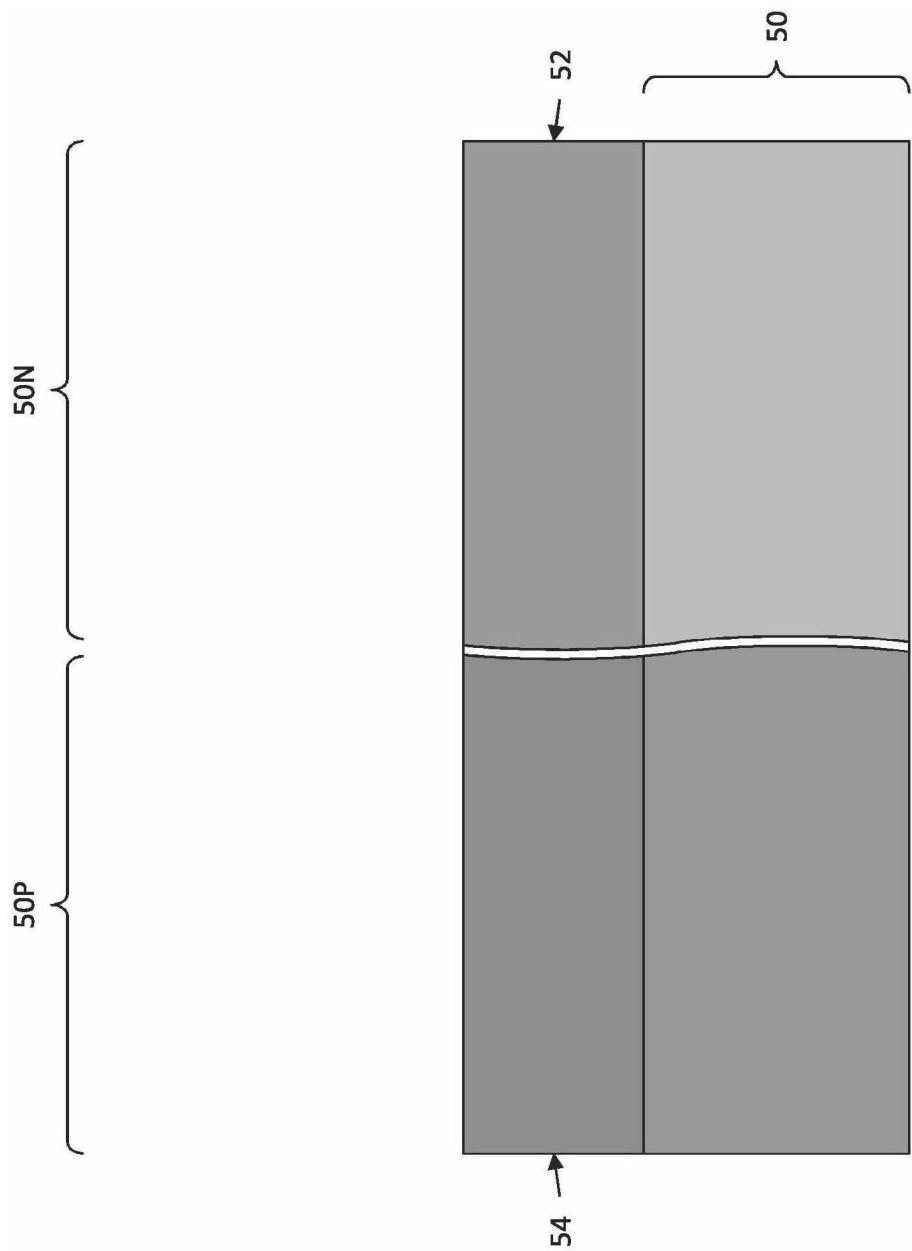
Anhängende Zeichnungen



Figur 1



Figur 2



Figur 3

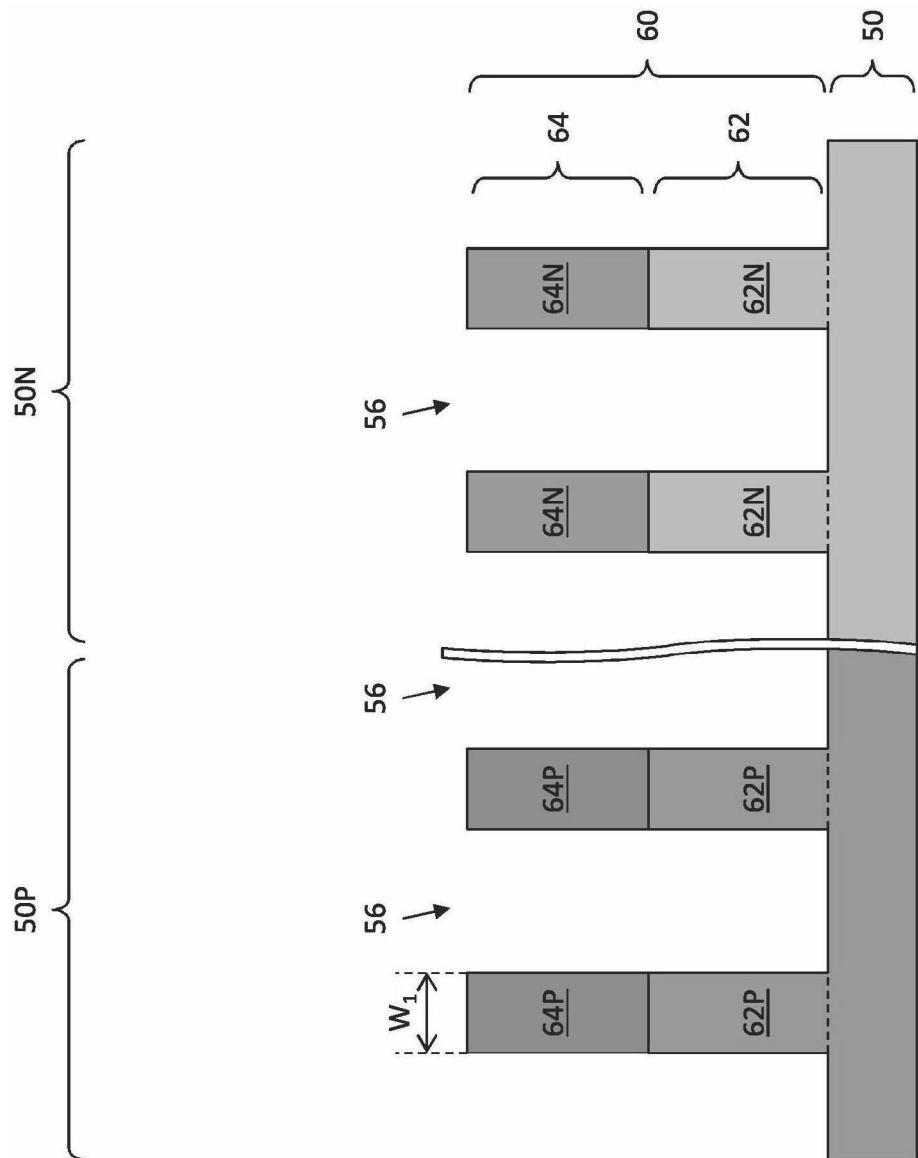


Figure 4

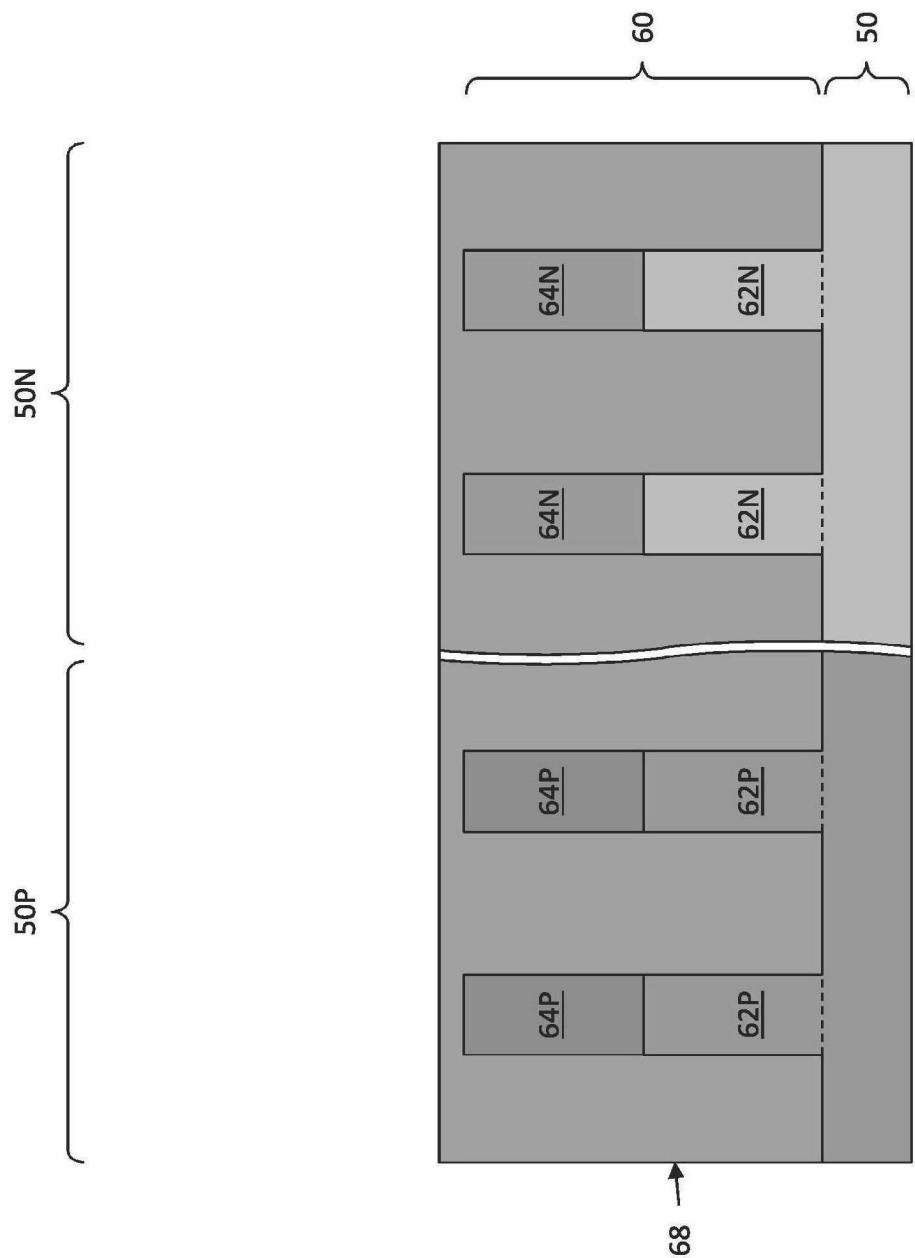
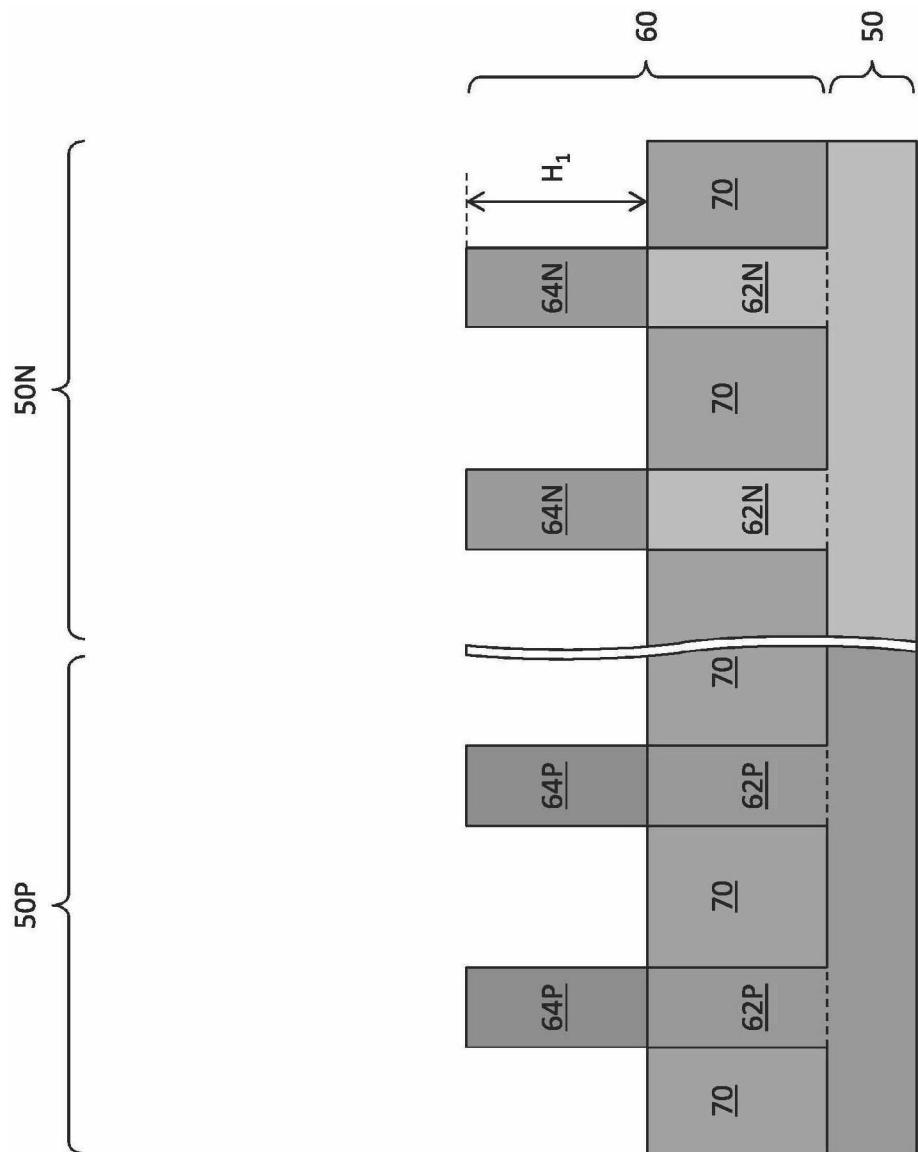
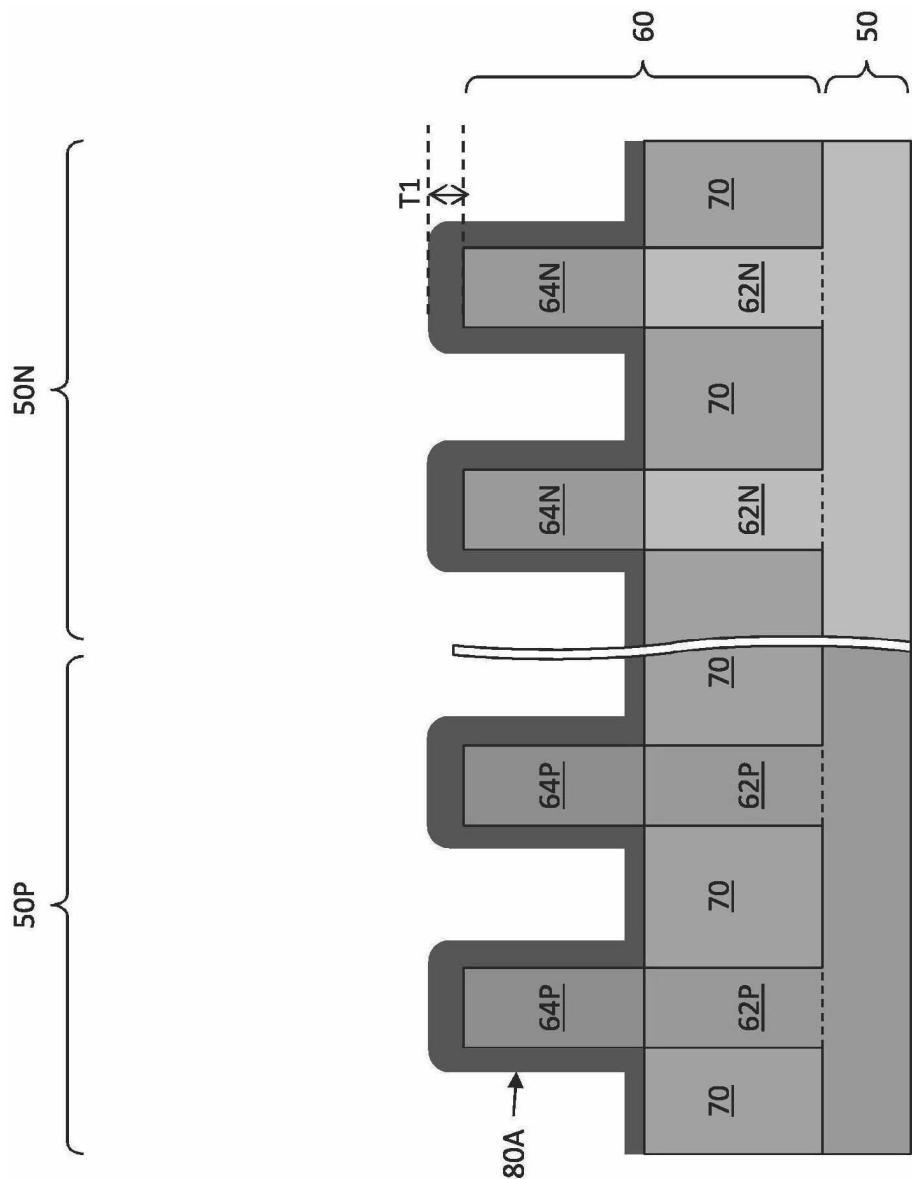


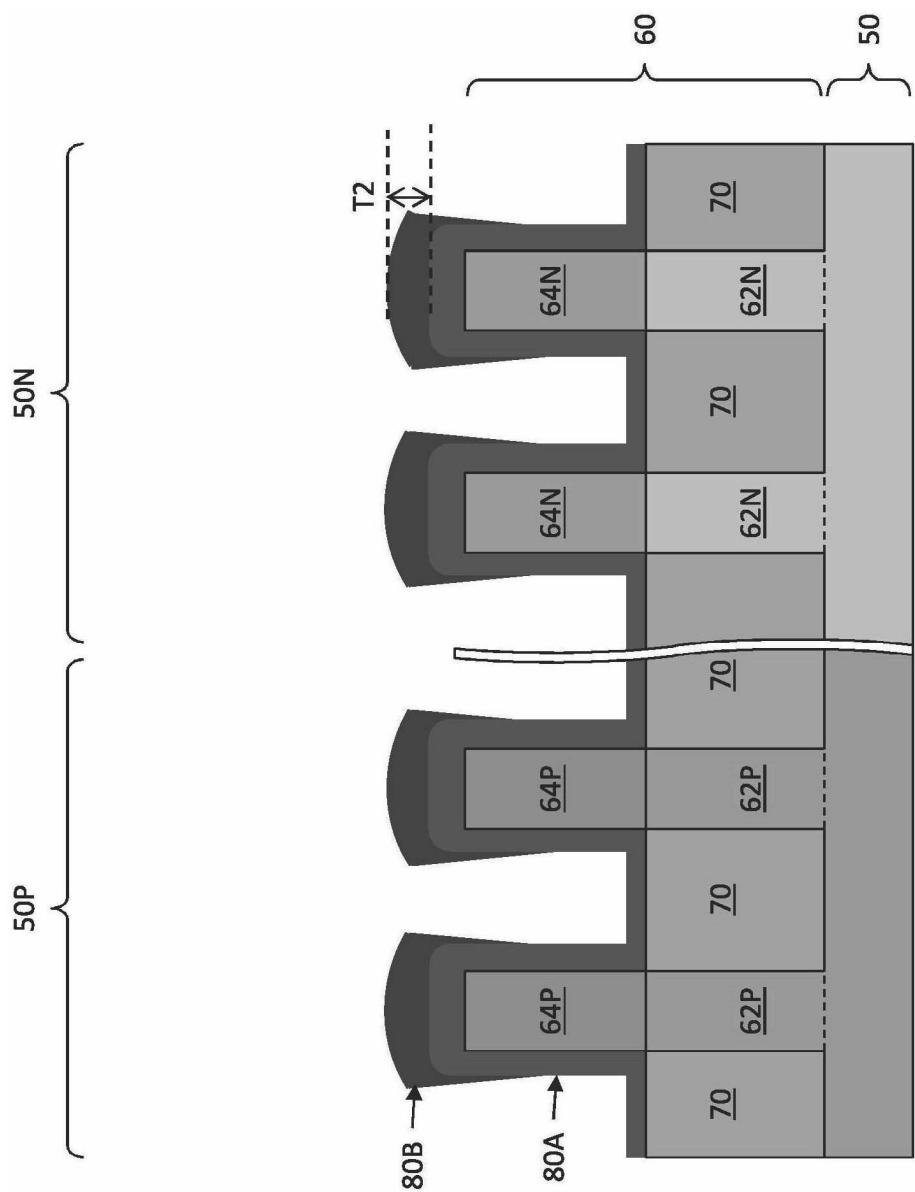
Figure 5



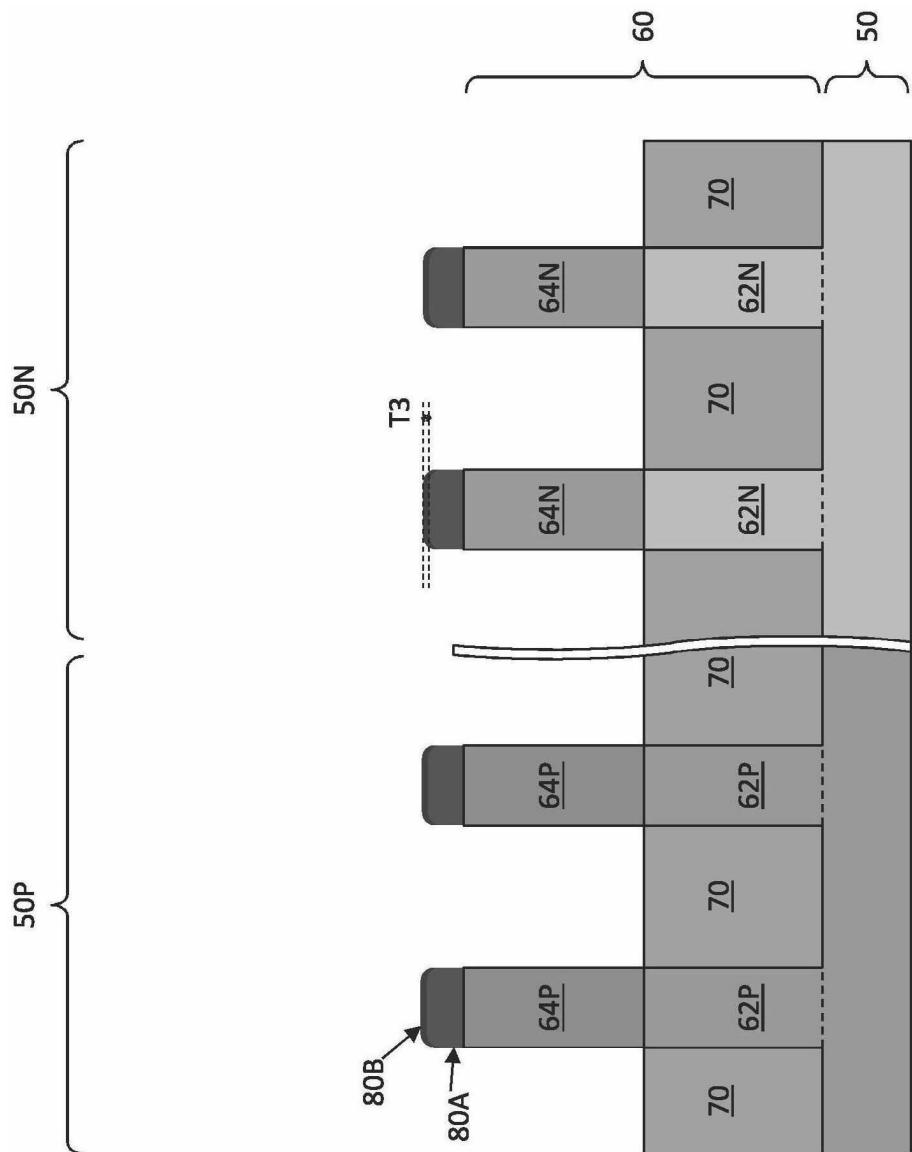
Figur 6



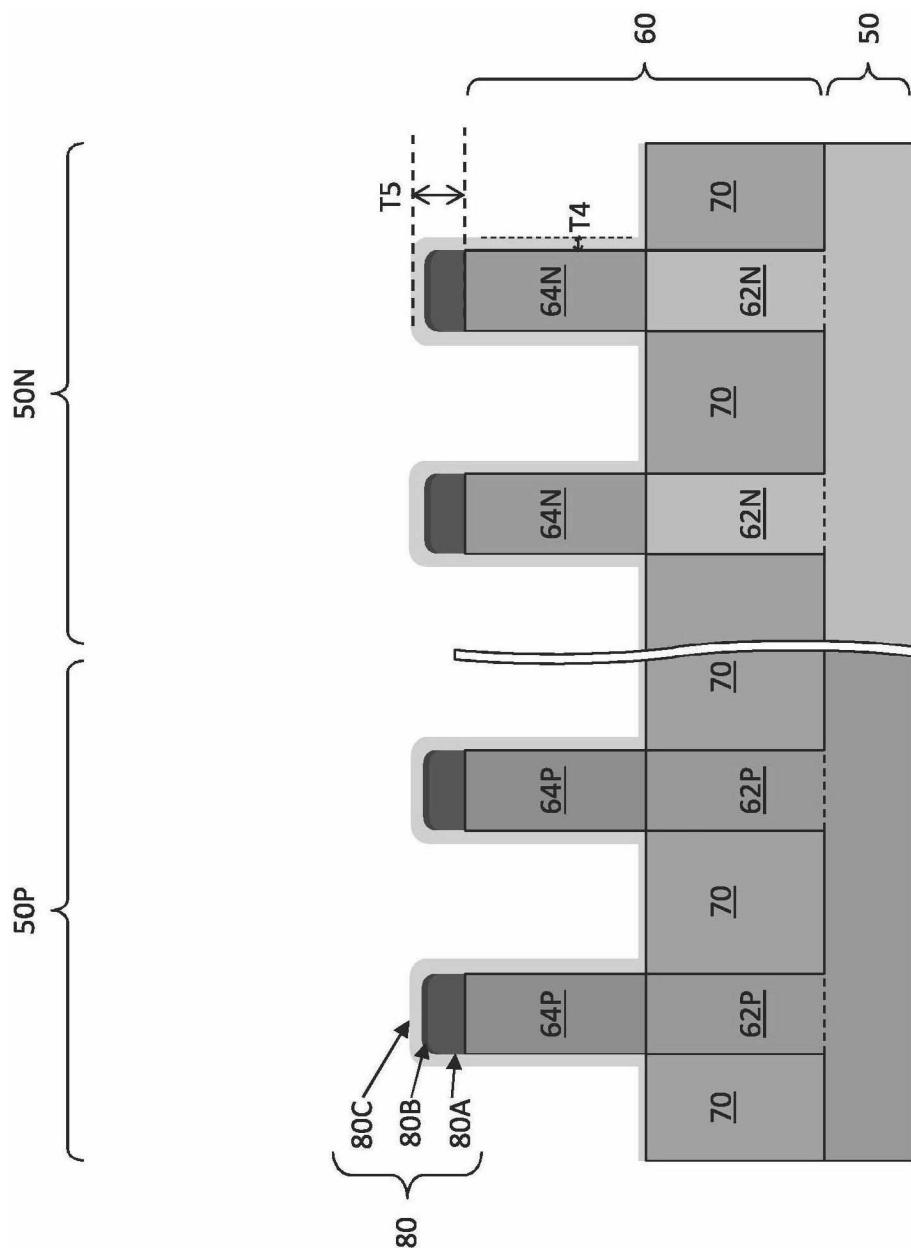
Figur 7



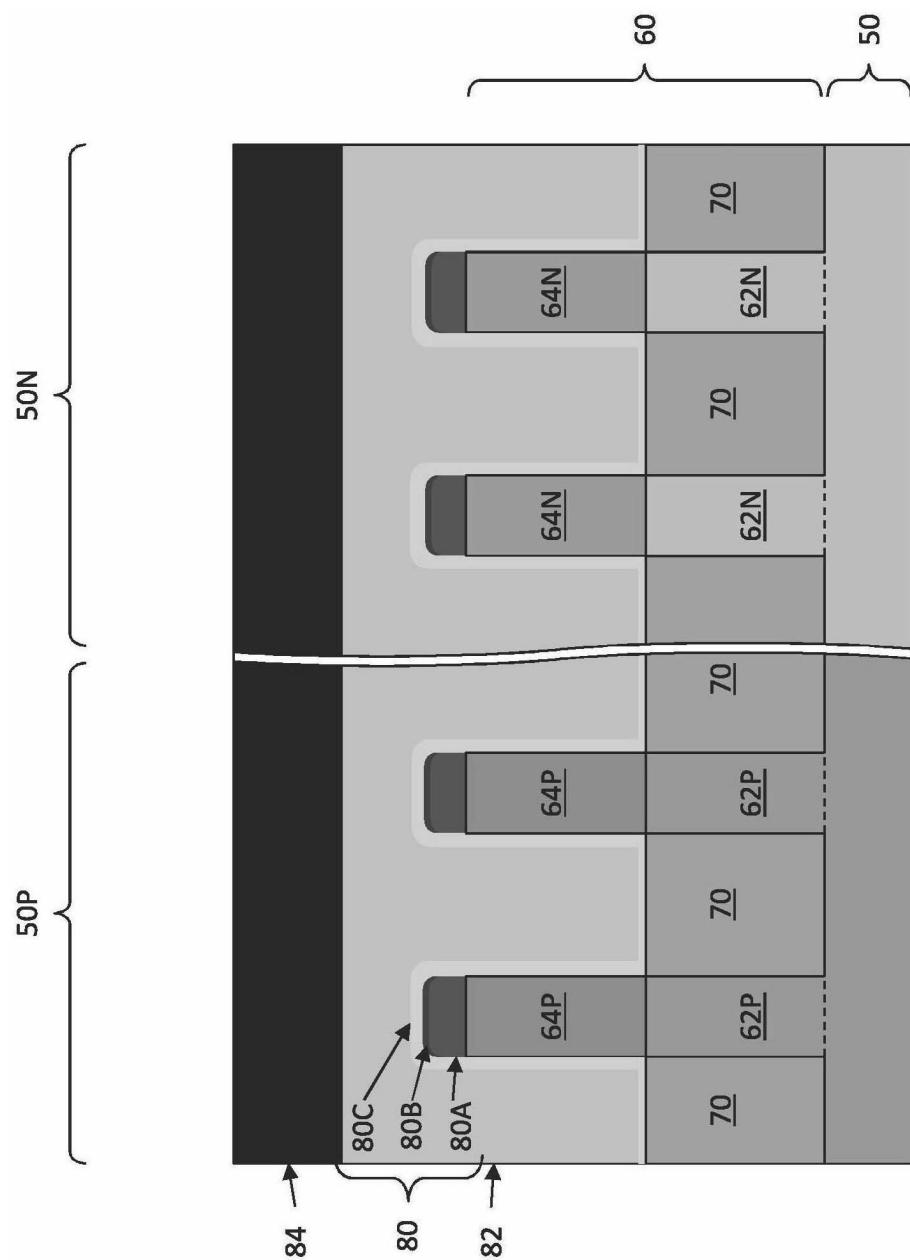
Figur 8



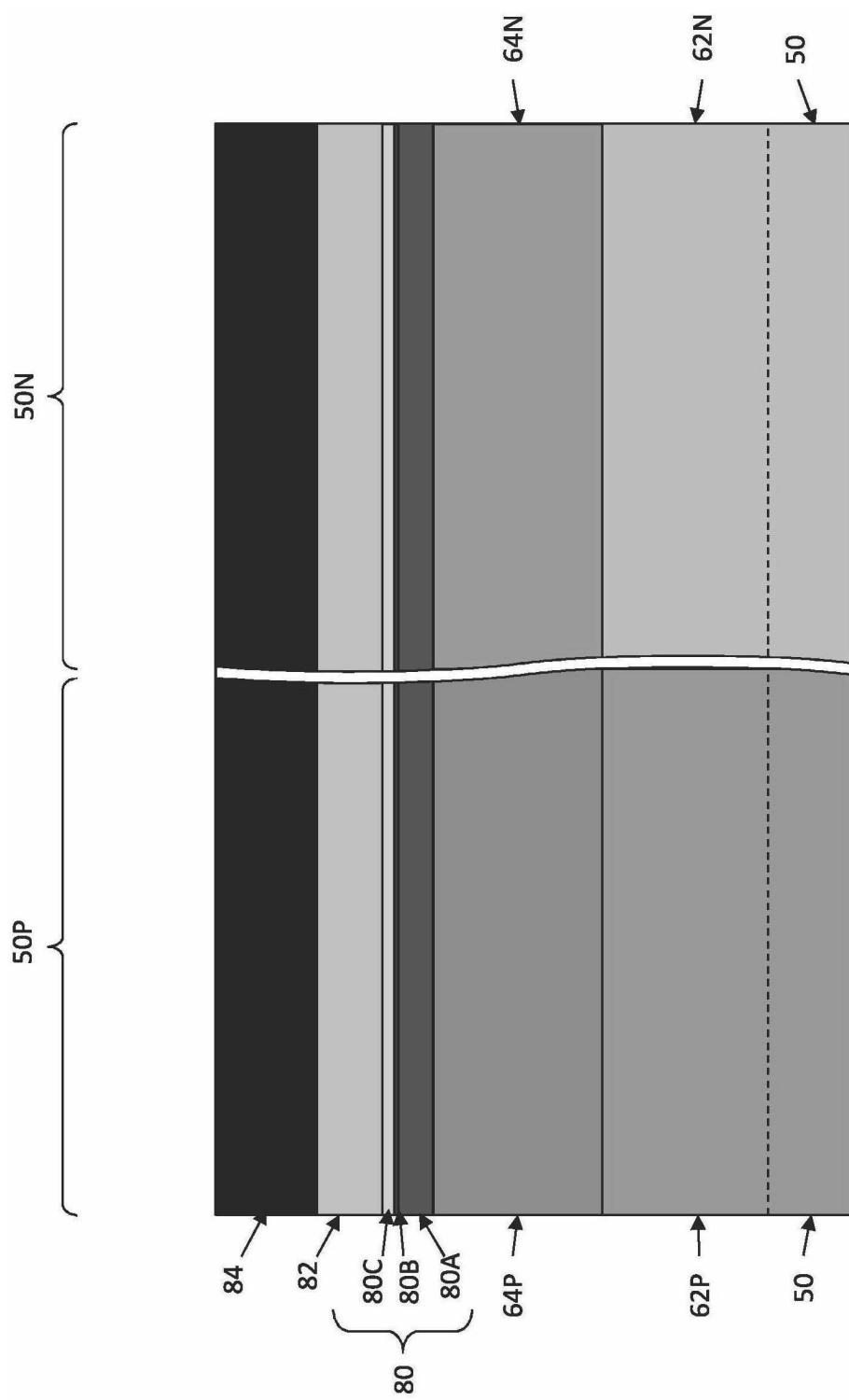
Figur 9



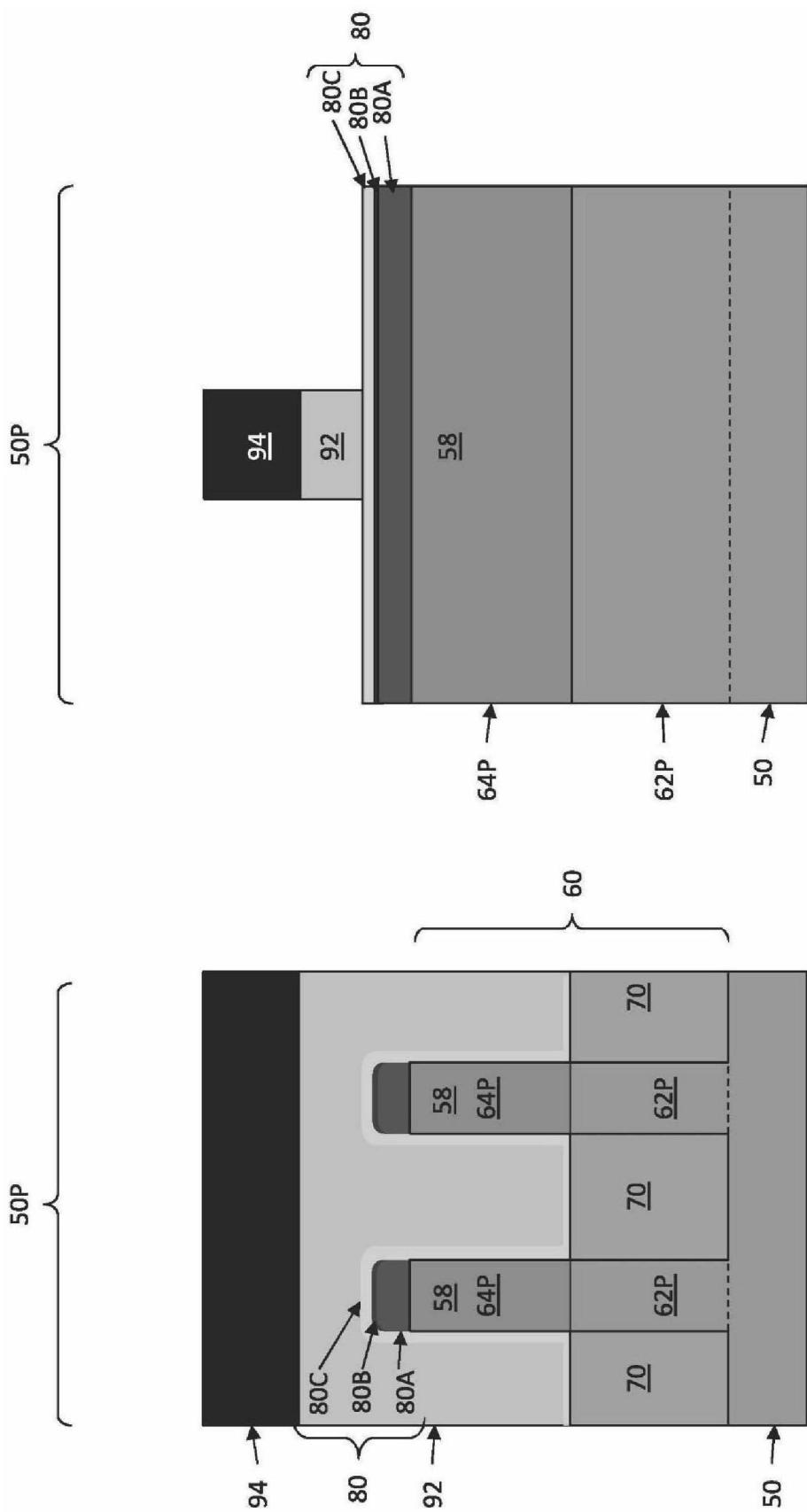
Figur 10

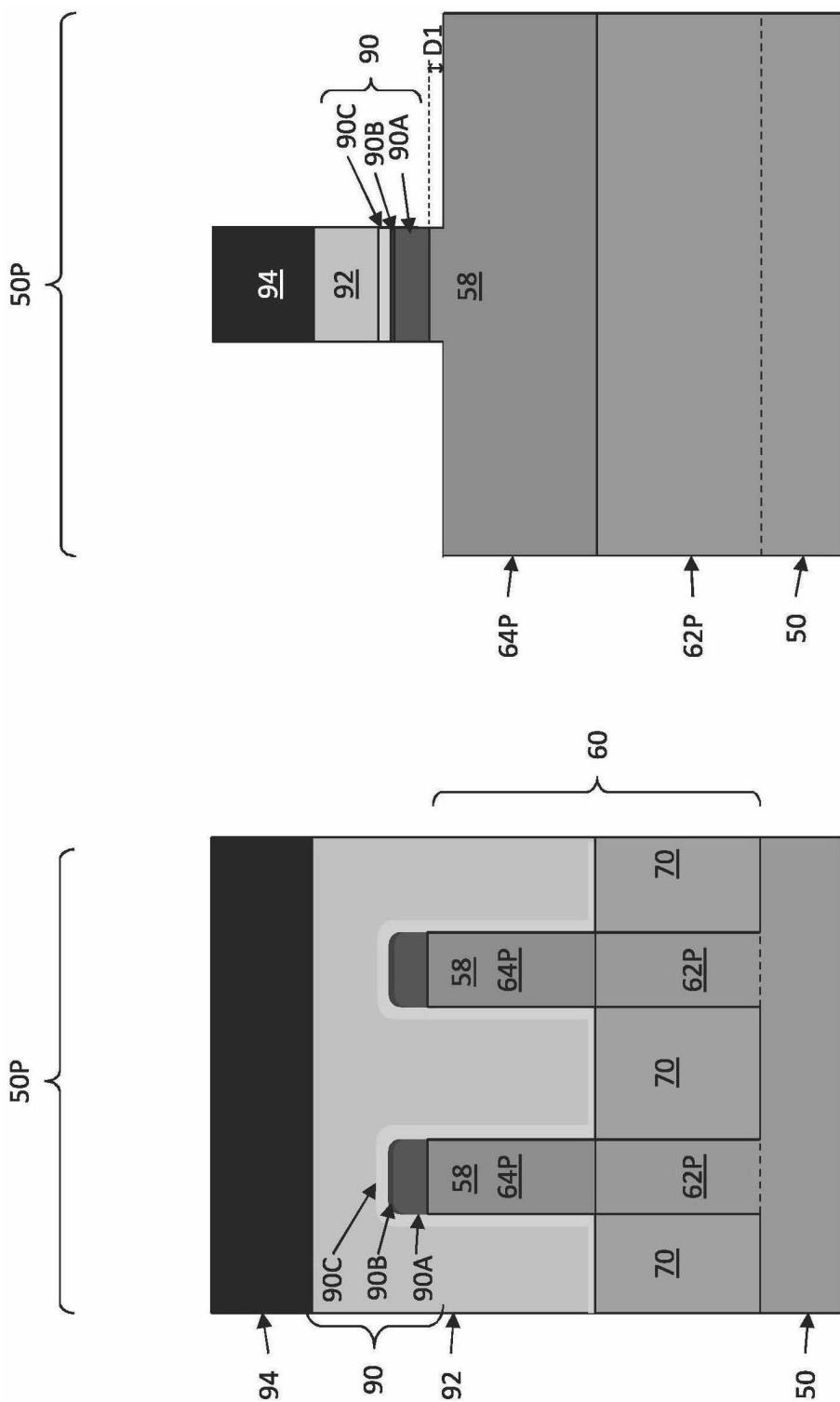


Figur 11A



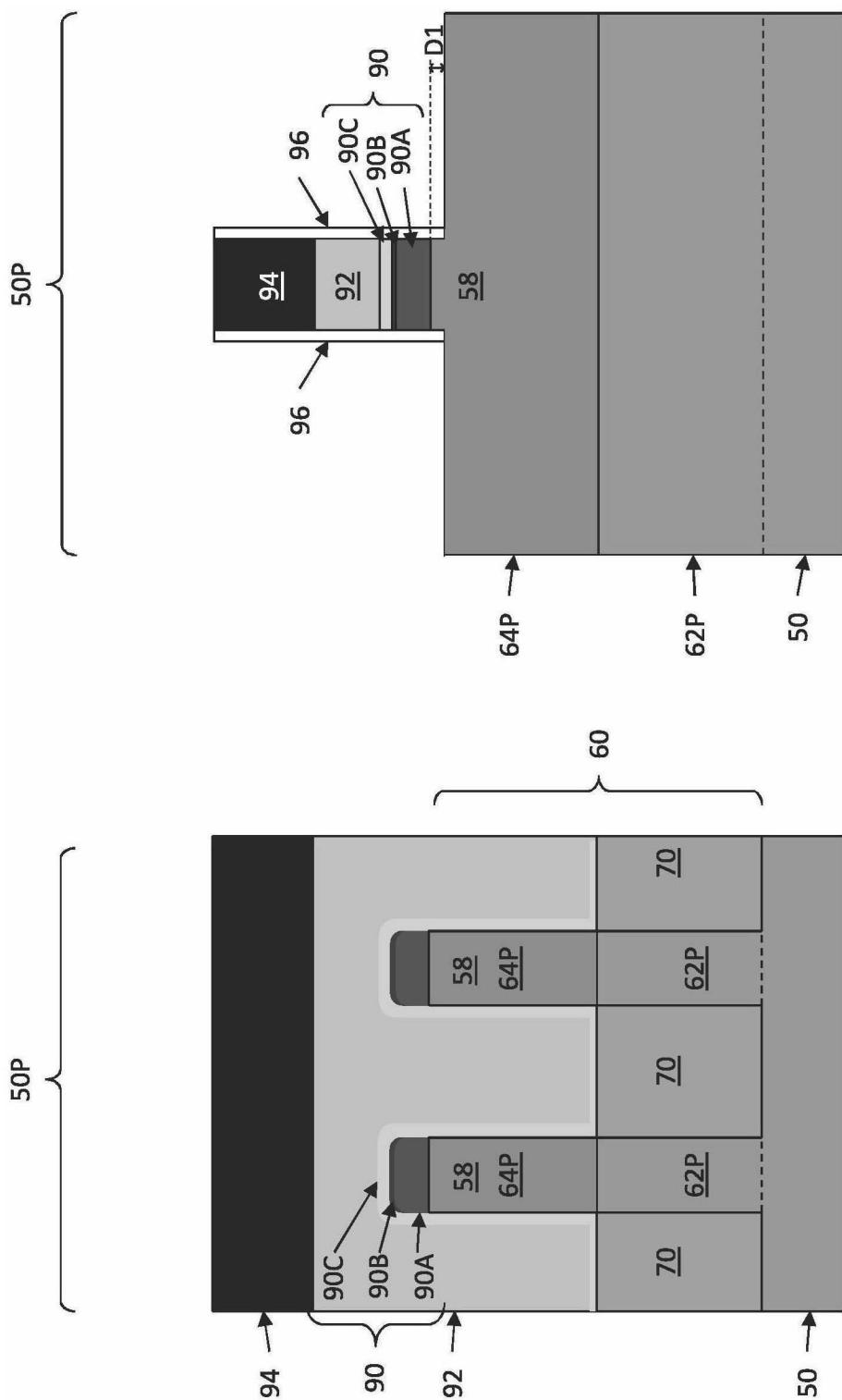
Figur 11B

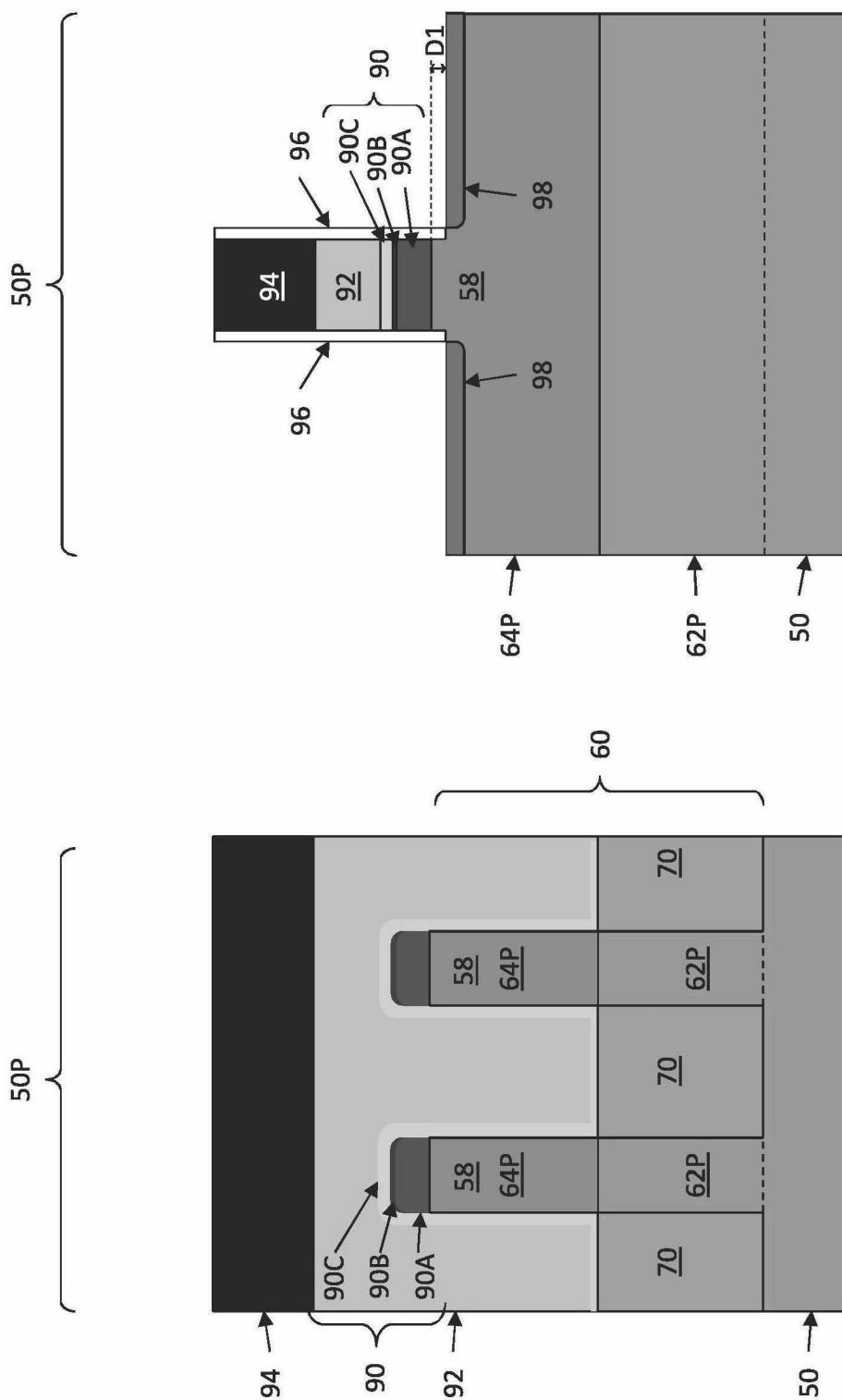




Figur 13B

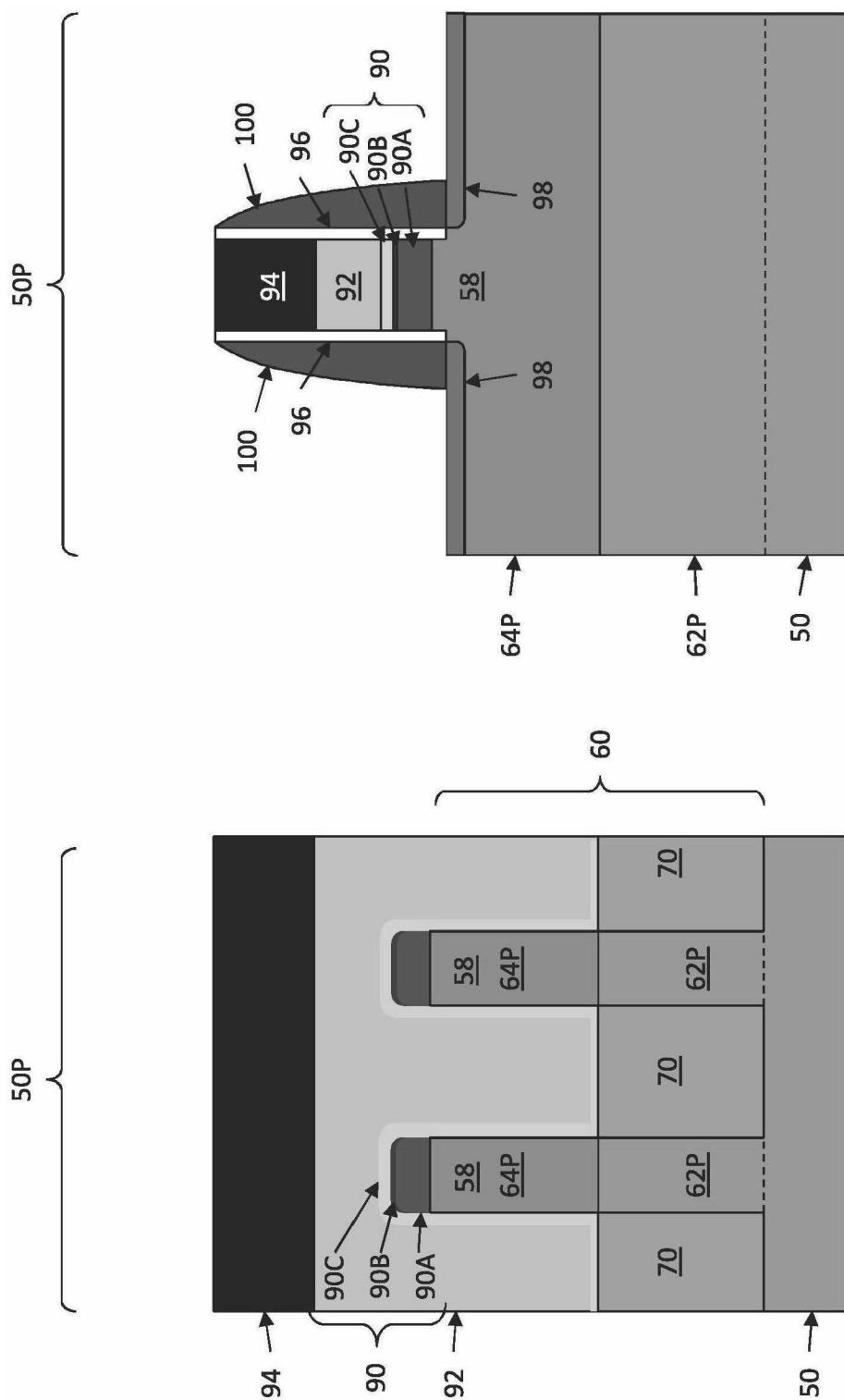
Figur 13A

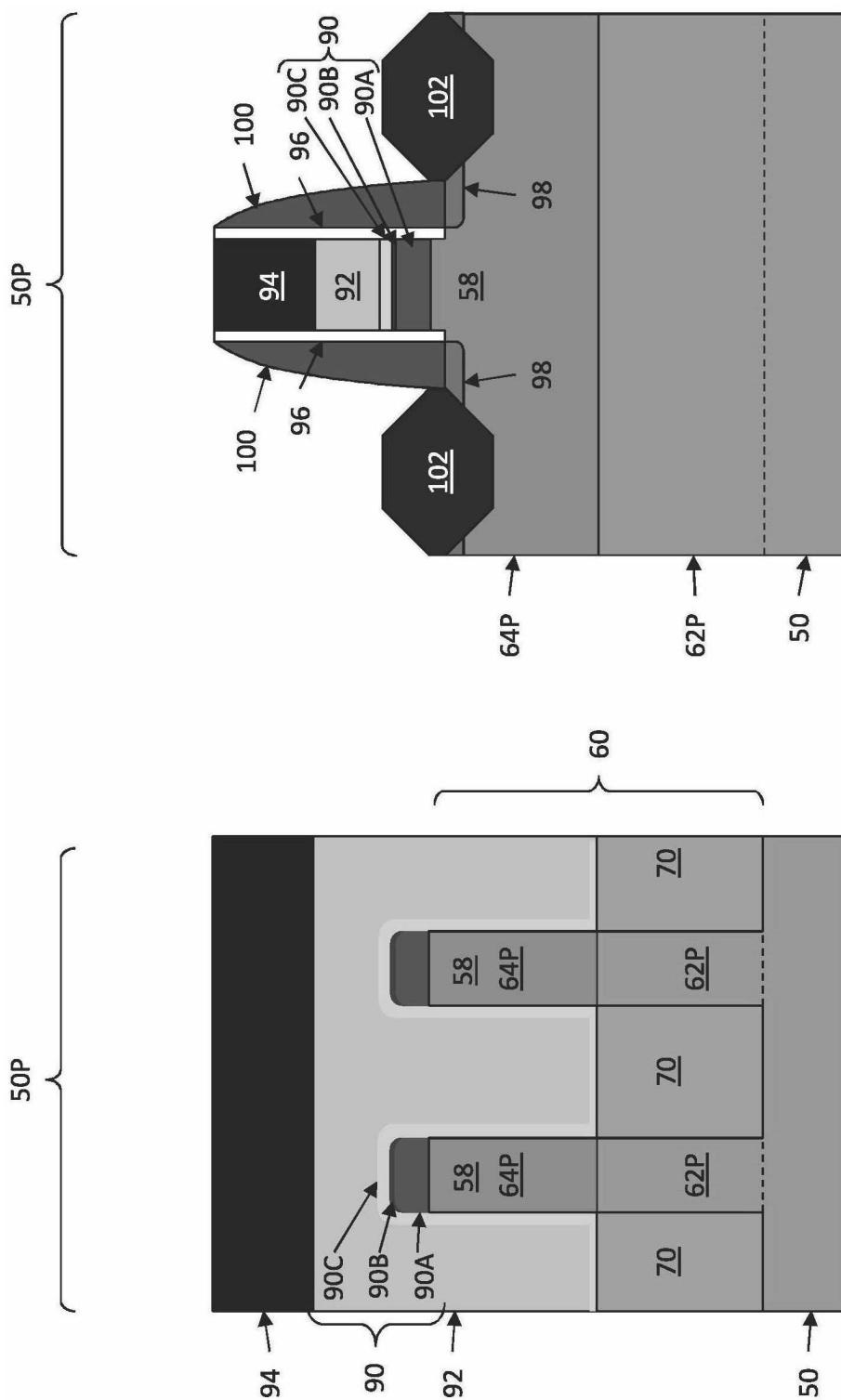


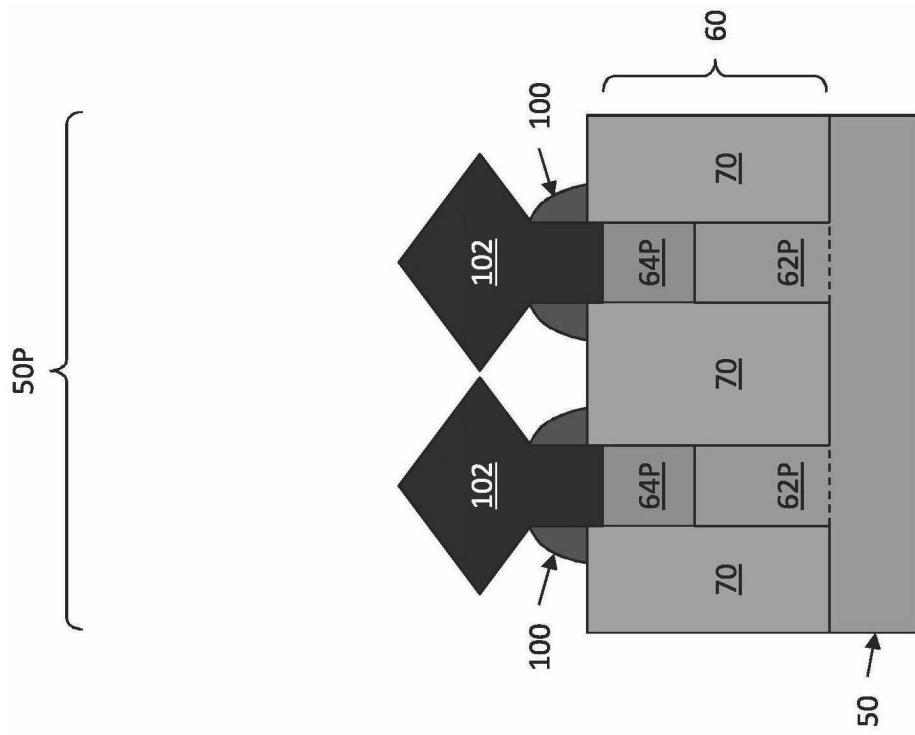


Figur 15A

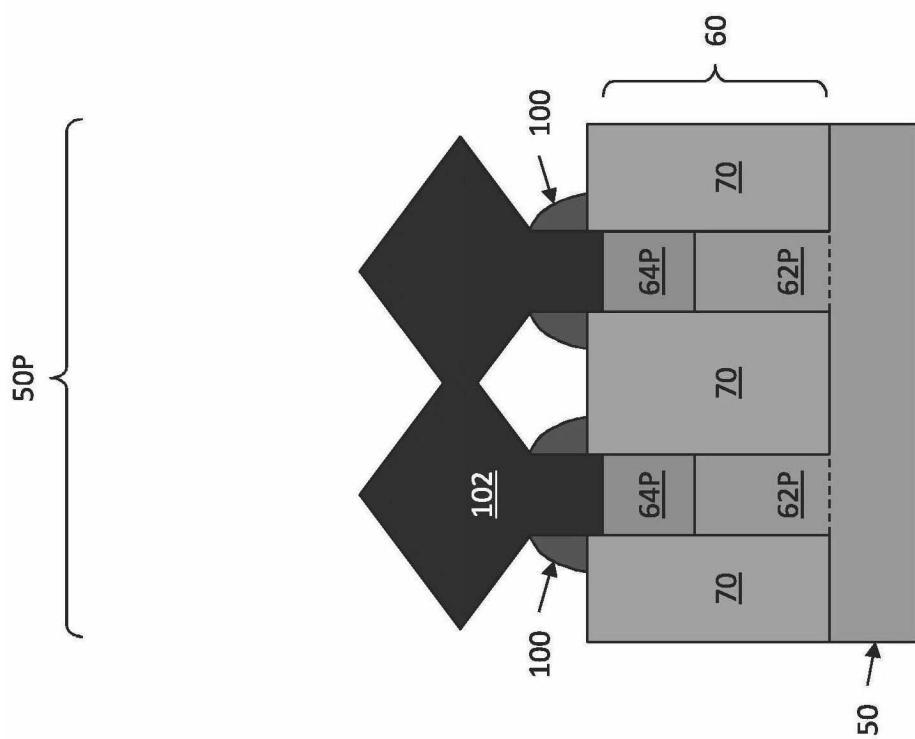
Figur 15B

**Figur 16B****Figur 16A**

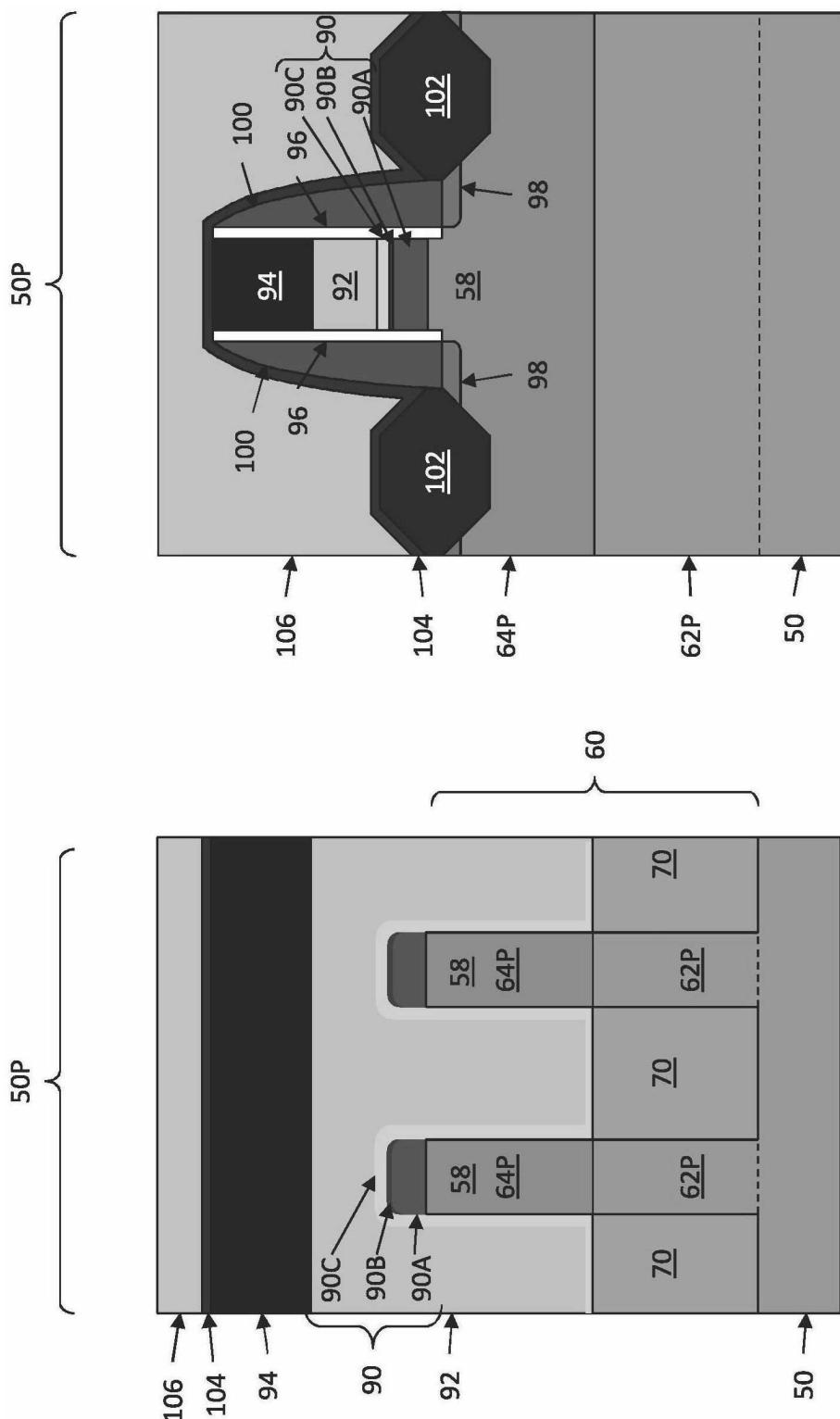


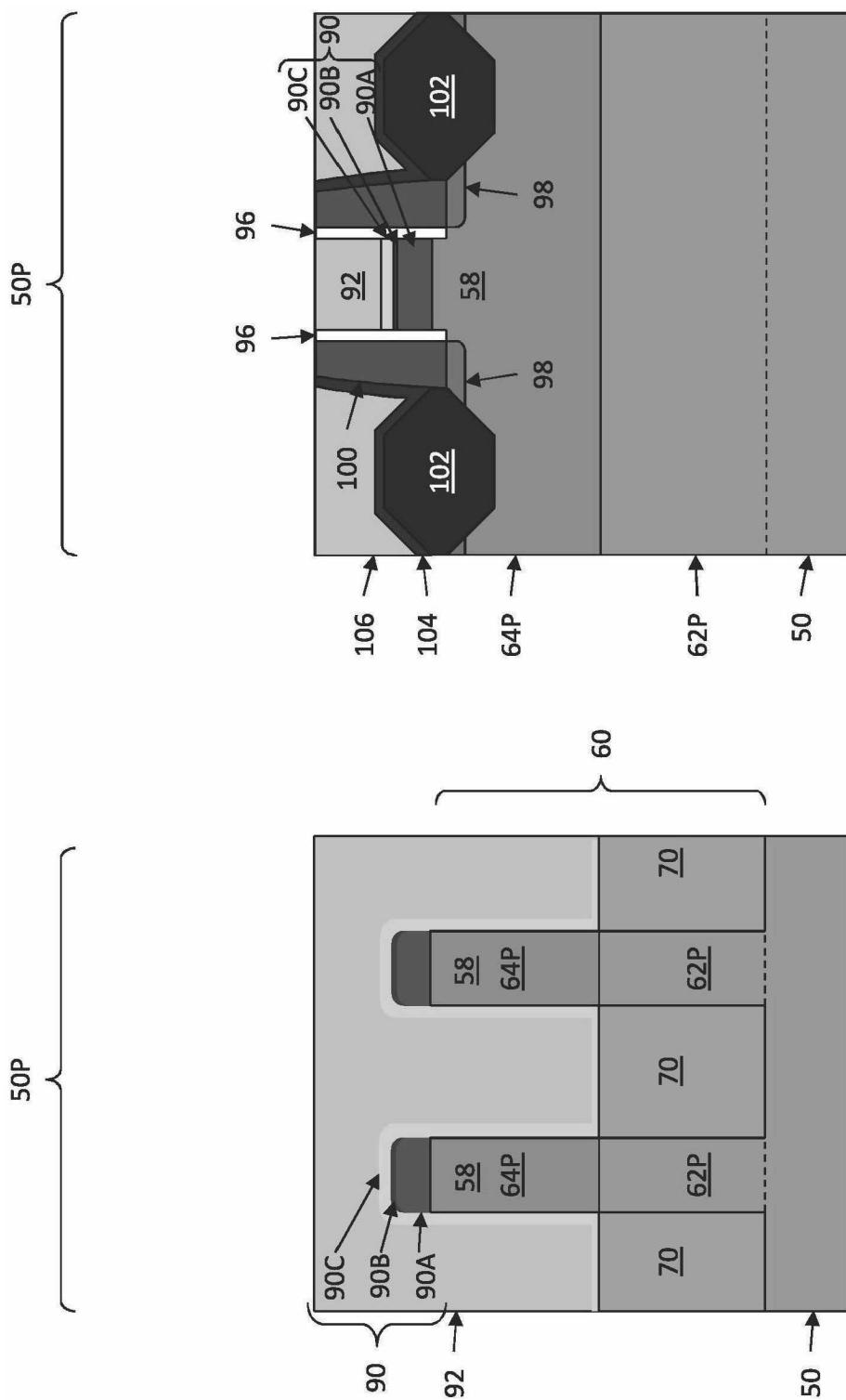


Figur 17D



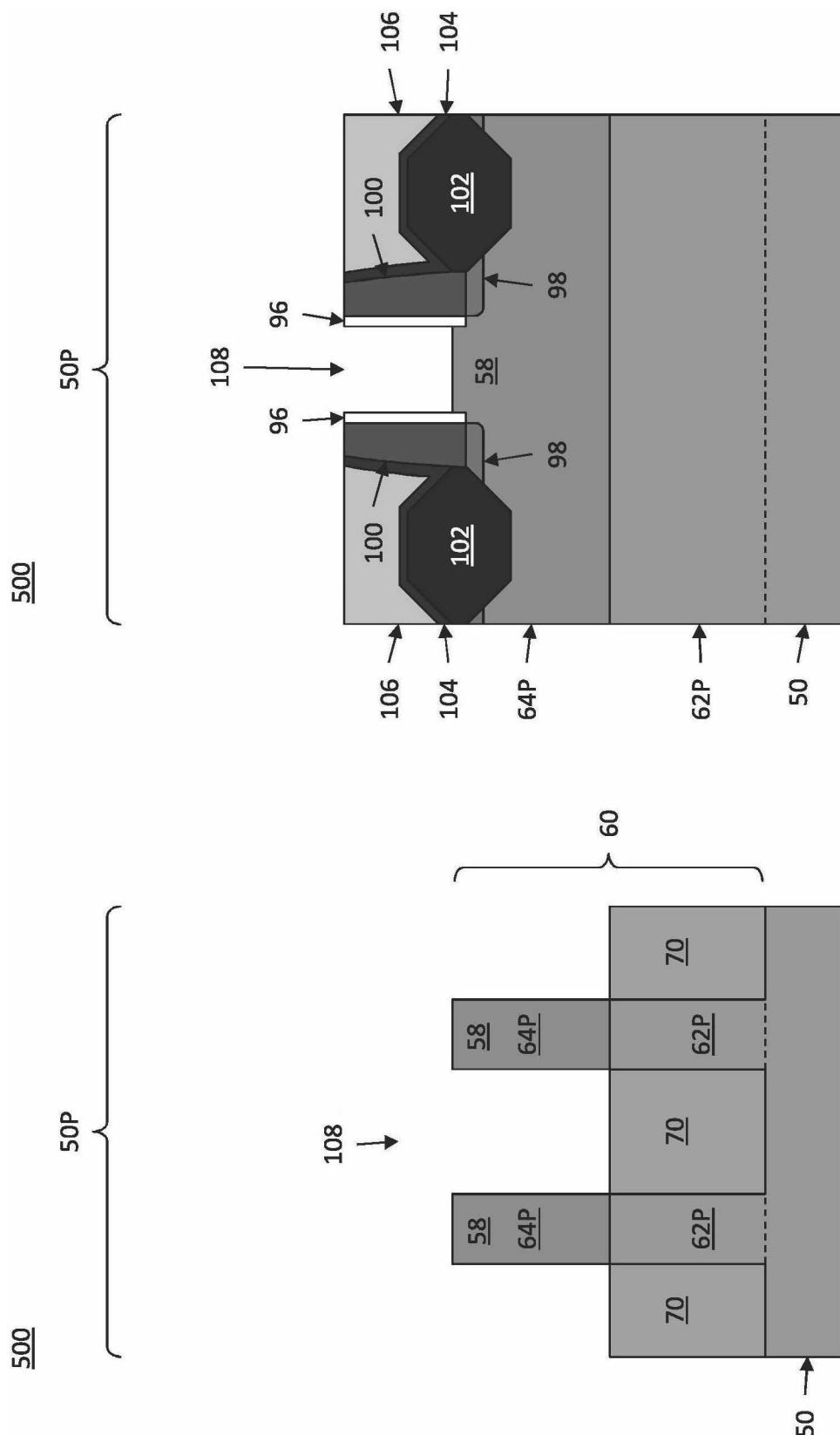
Figur 17C





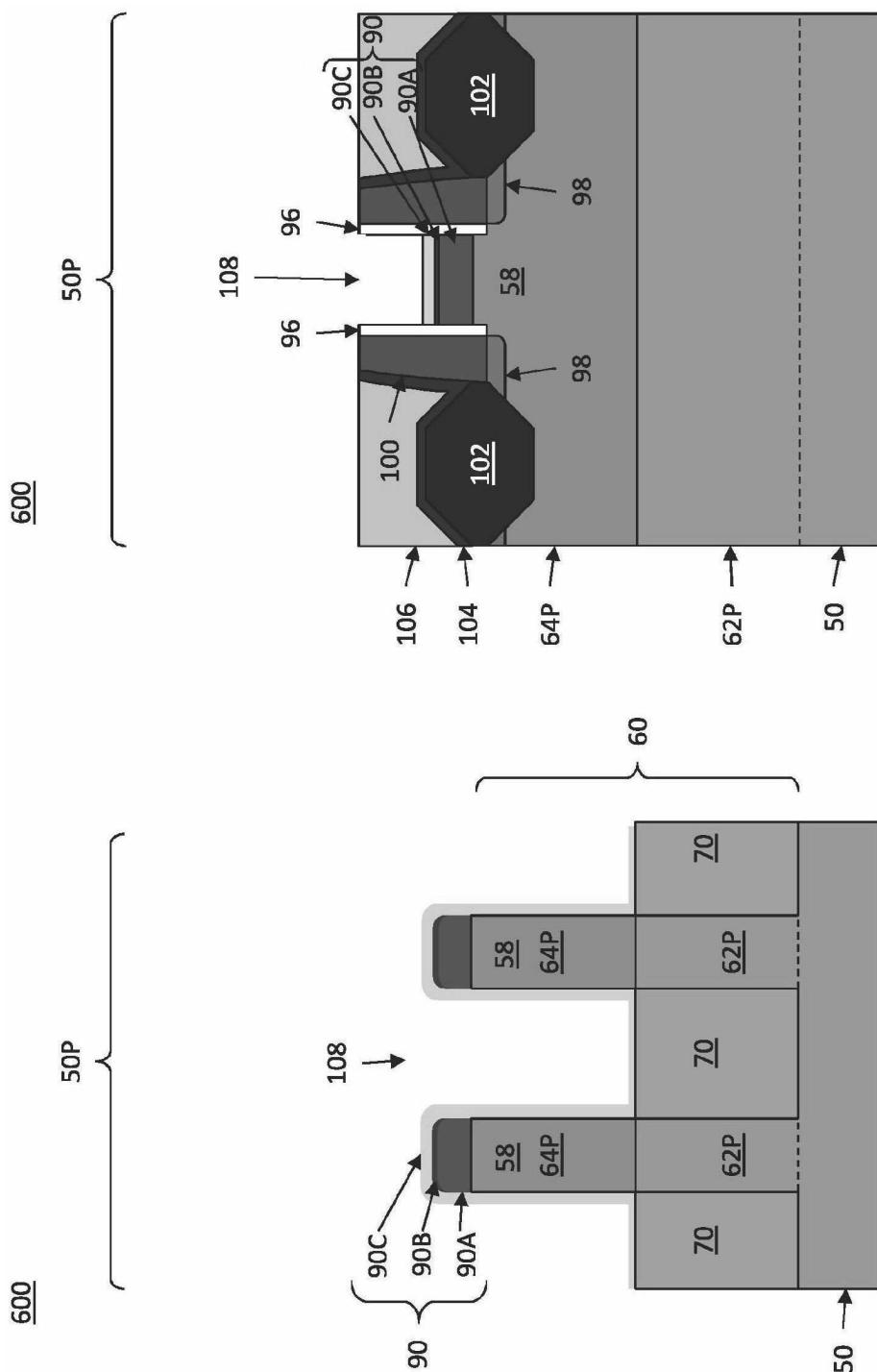
Figur 19A

Figur 19B



Figur 20A

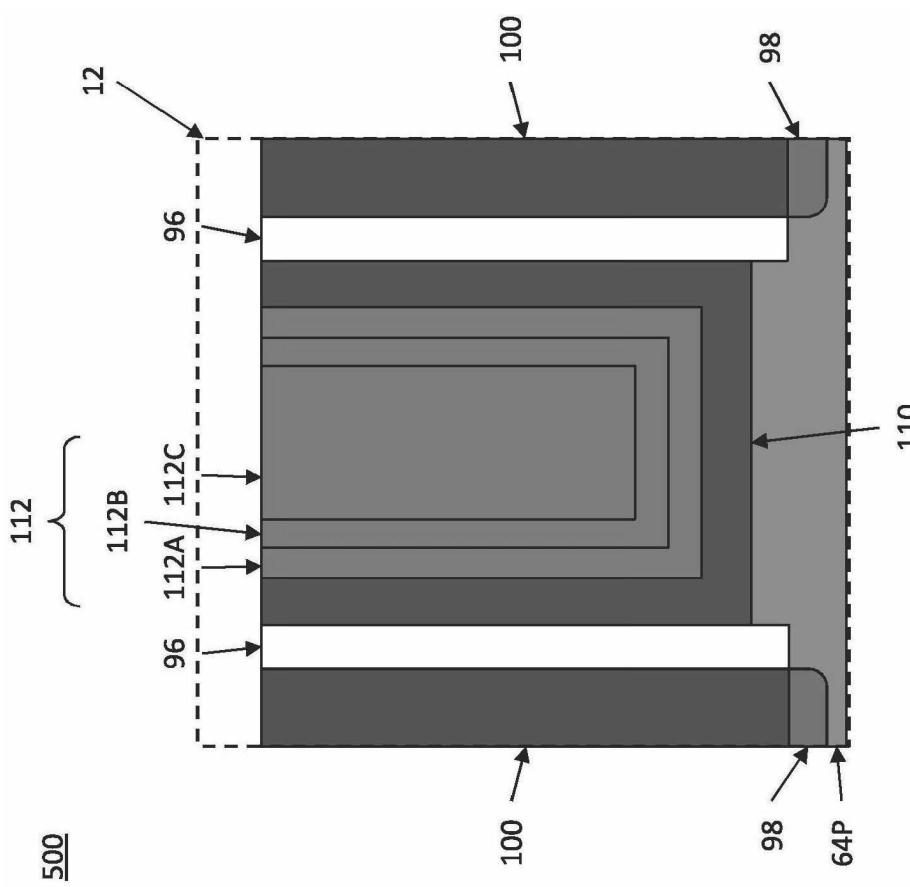
Figur 20B



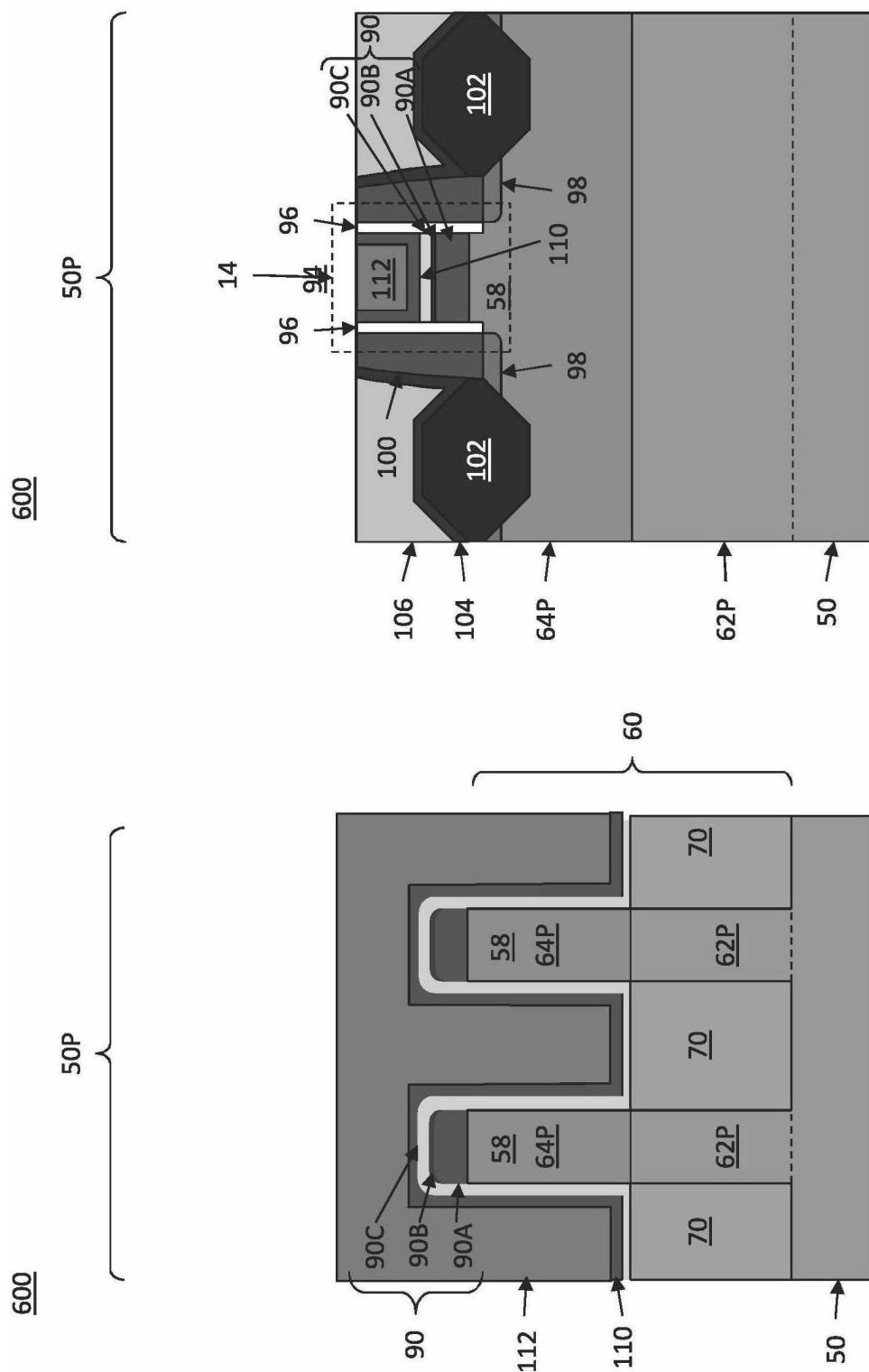
Figur 20C

Figur 20D



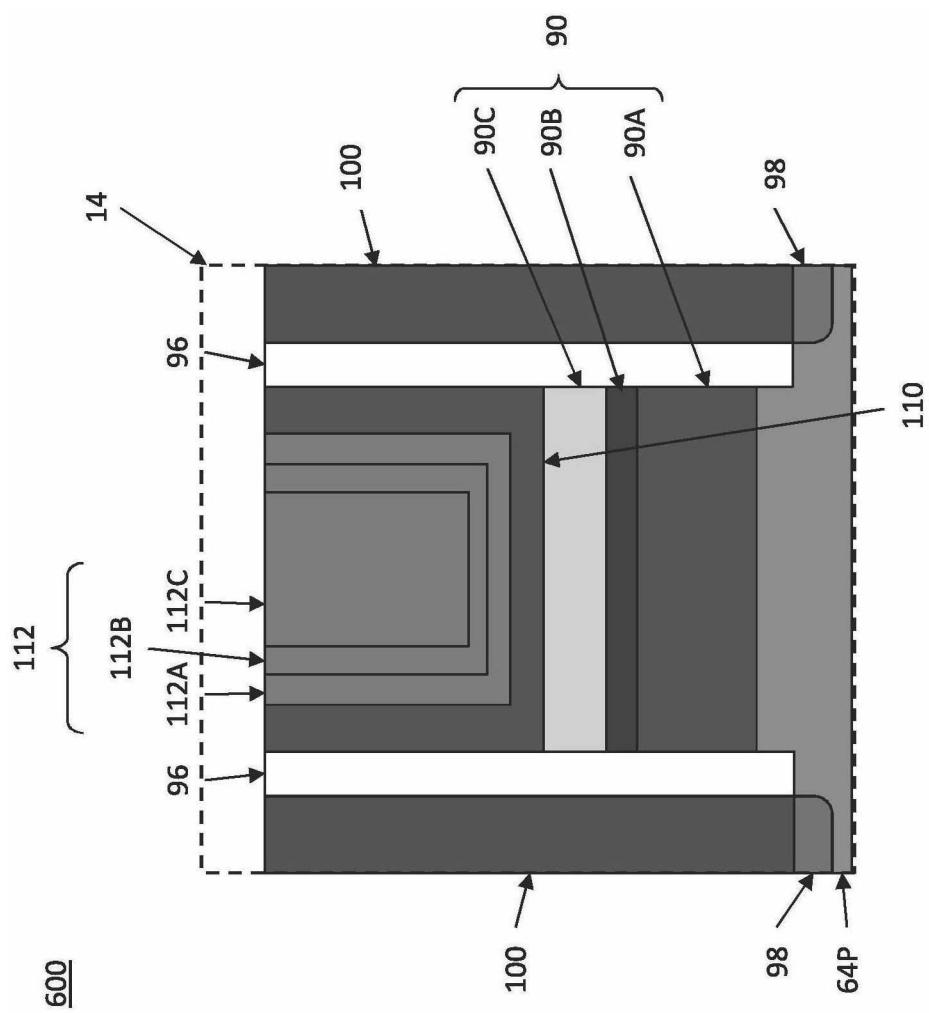


Figur 21C

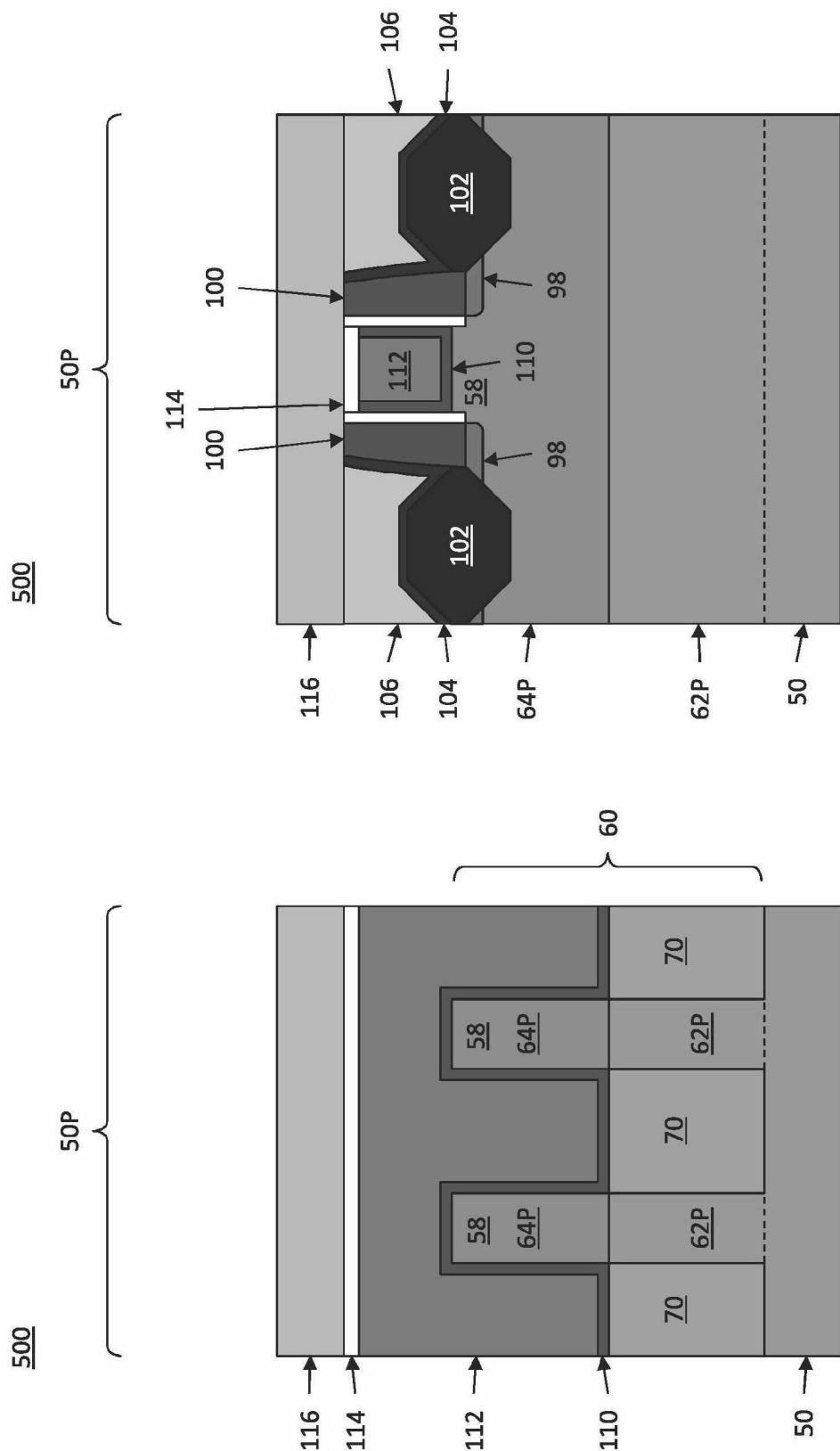


Figur 21E

Figur 21D

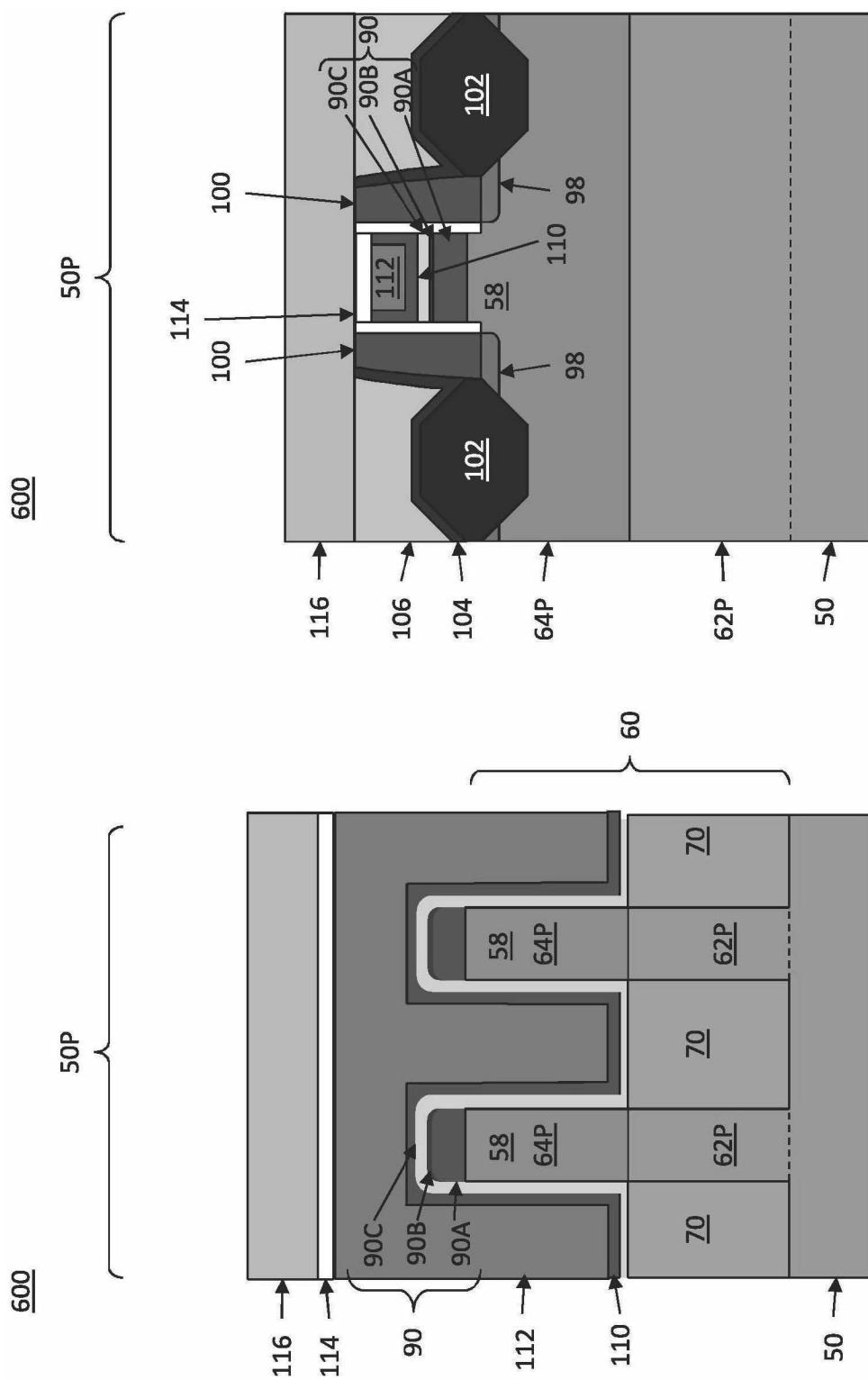


Figur 21F



Figur 22A

Figur 22B



Figur 22D

Figur 22C

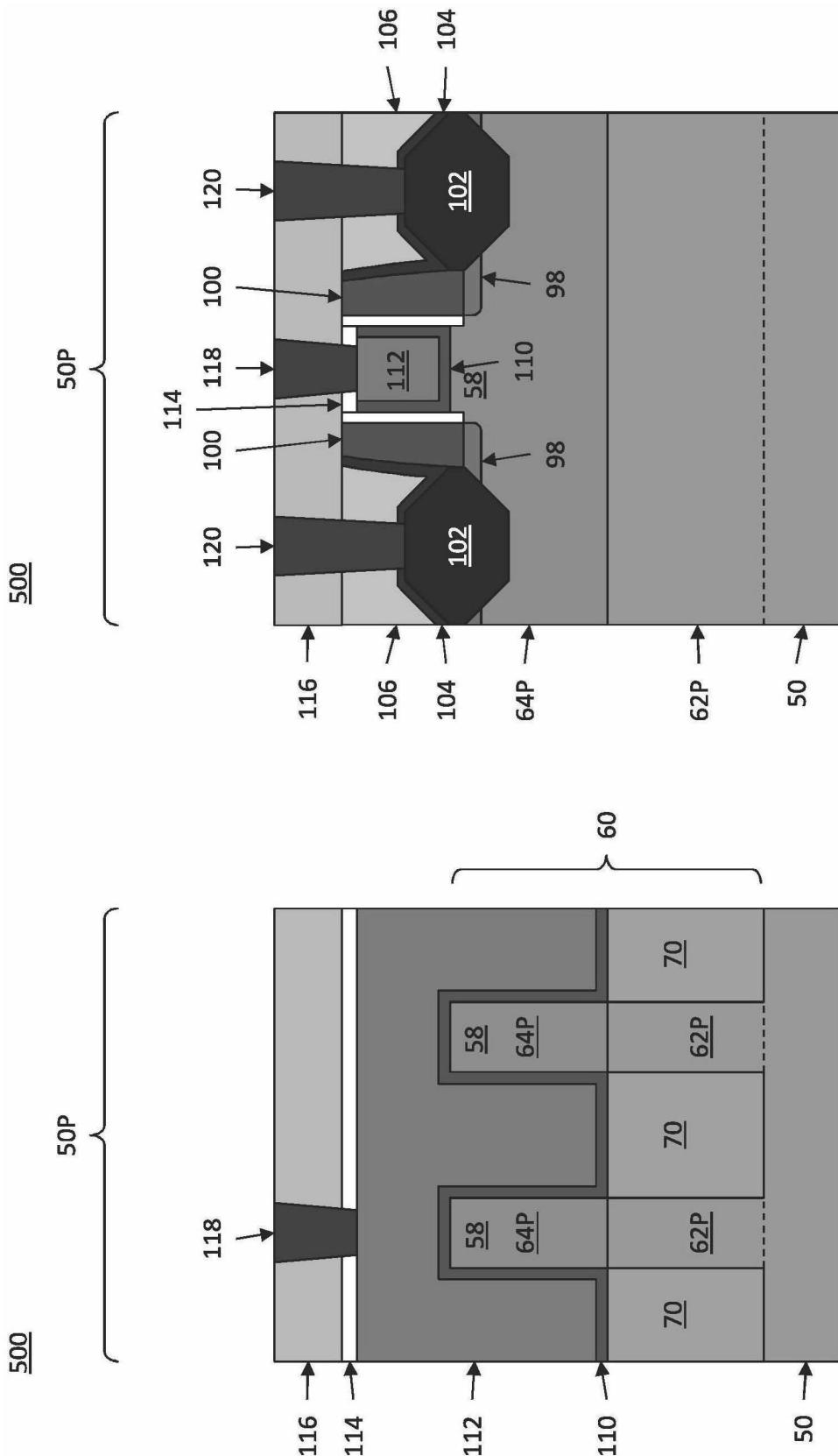
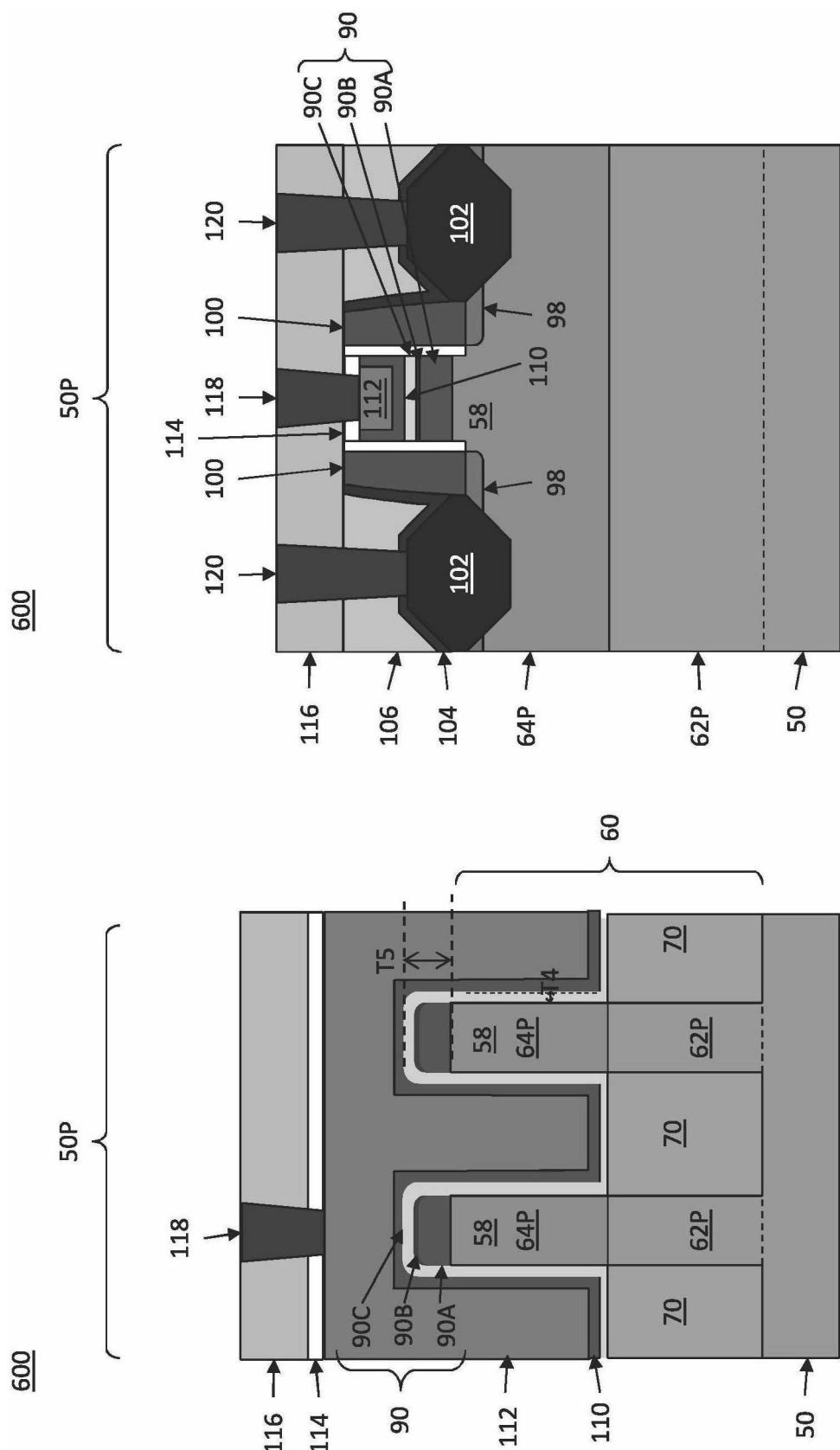
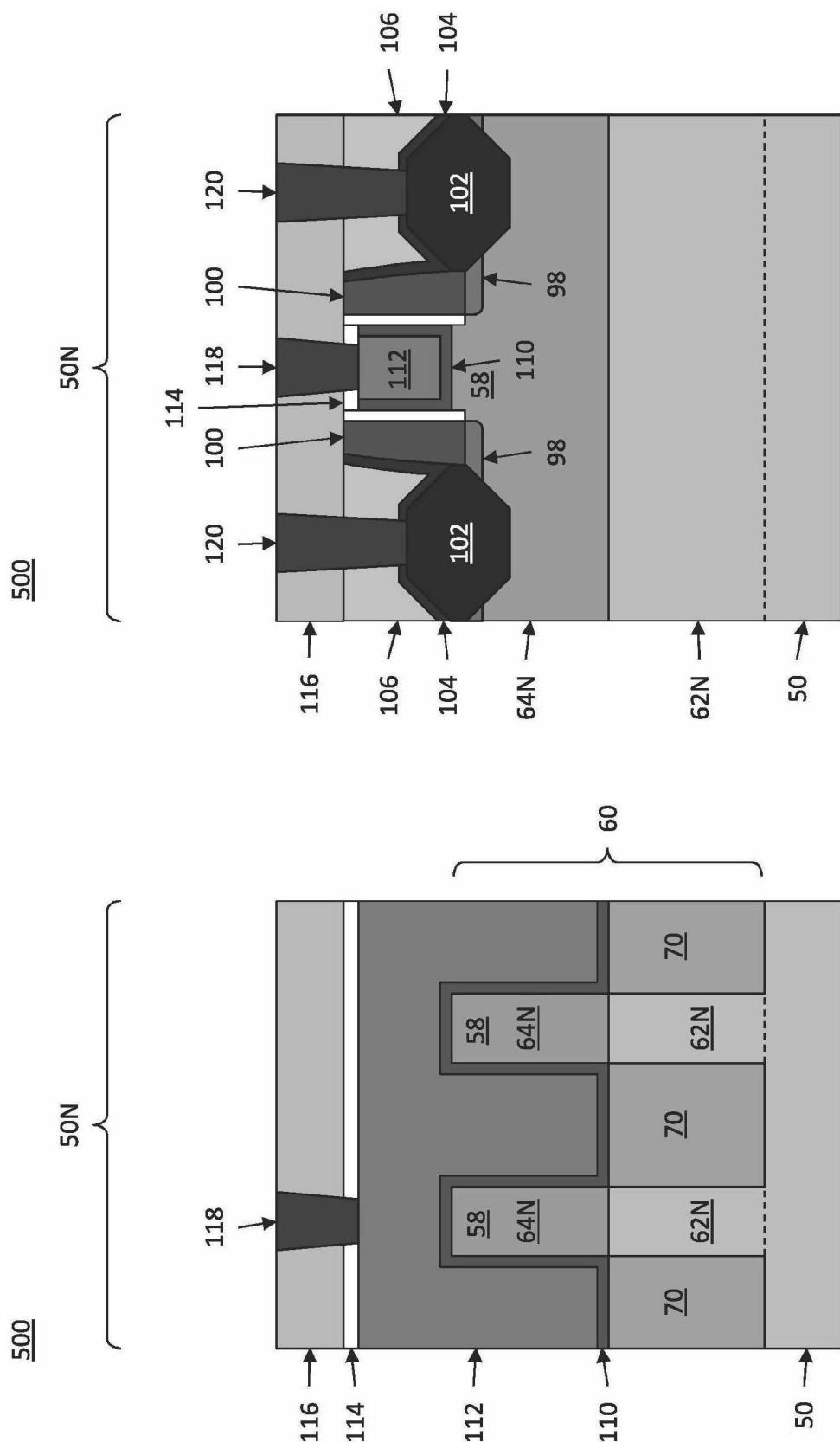
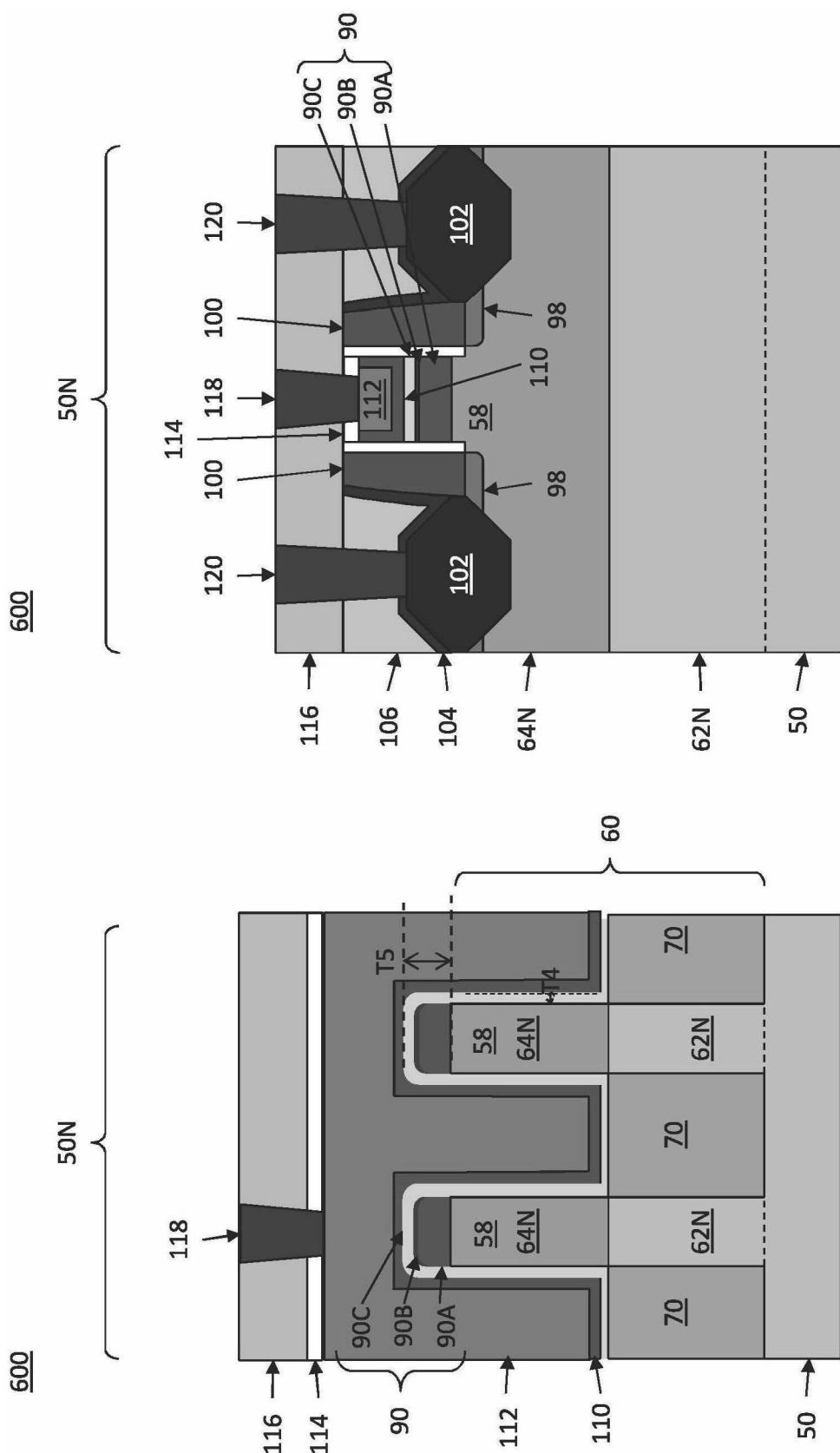


Figure 23A

Figure 23B







Figur 24D

Figur 24C