

INTEGRANTES:

No.	NOMBRE	CARNÉ
1	Cindy Melissa Gatica Arriola	201709692
2	Angel Efrén de León Orozco	202107891
3	Alejandro José Luncey Contreras	202112396

PRACTICA No. 1 CONTROL DE SEÑALES Y SIMULACIÓN

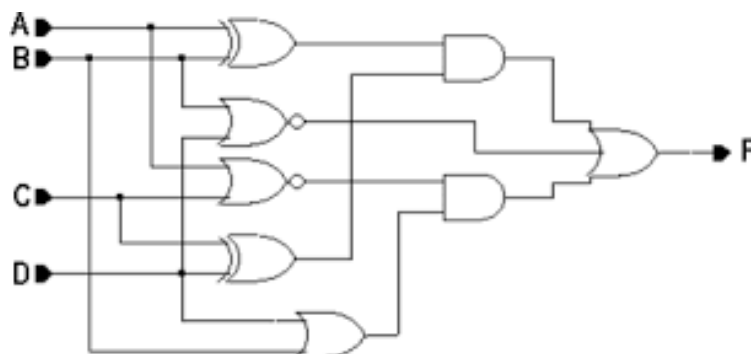
OBJETIVOS

- Que el estudiante se familiarice con el entorno ISE Desing y VHDL
- Utilizar el software de descripción de hardware.
- Implementar el conocimiento adquirido en una aplicación práctica.

CONOCIMIENTOS PREVIOS

- Circuitos combinacionales
- ISE WebPACK 14.7 Xilinx
- ElbertV2Config
- ISIM
- User Constrains File (UFC).

Se implementó el siguiente circuito en el entorno ISE utilizando la FPGA ElbertV2Config. En el código se tomó en cuenta tanto el circuito con y sin señales.

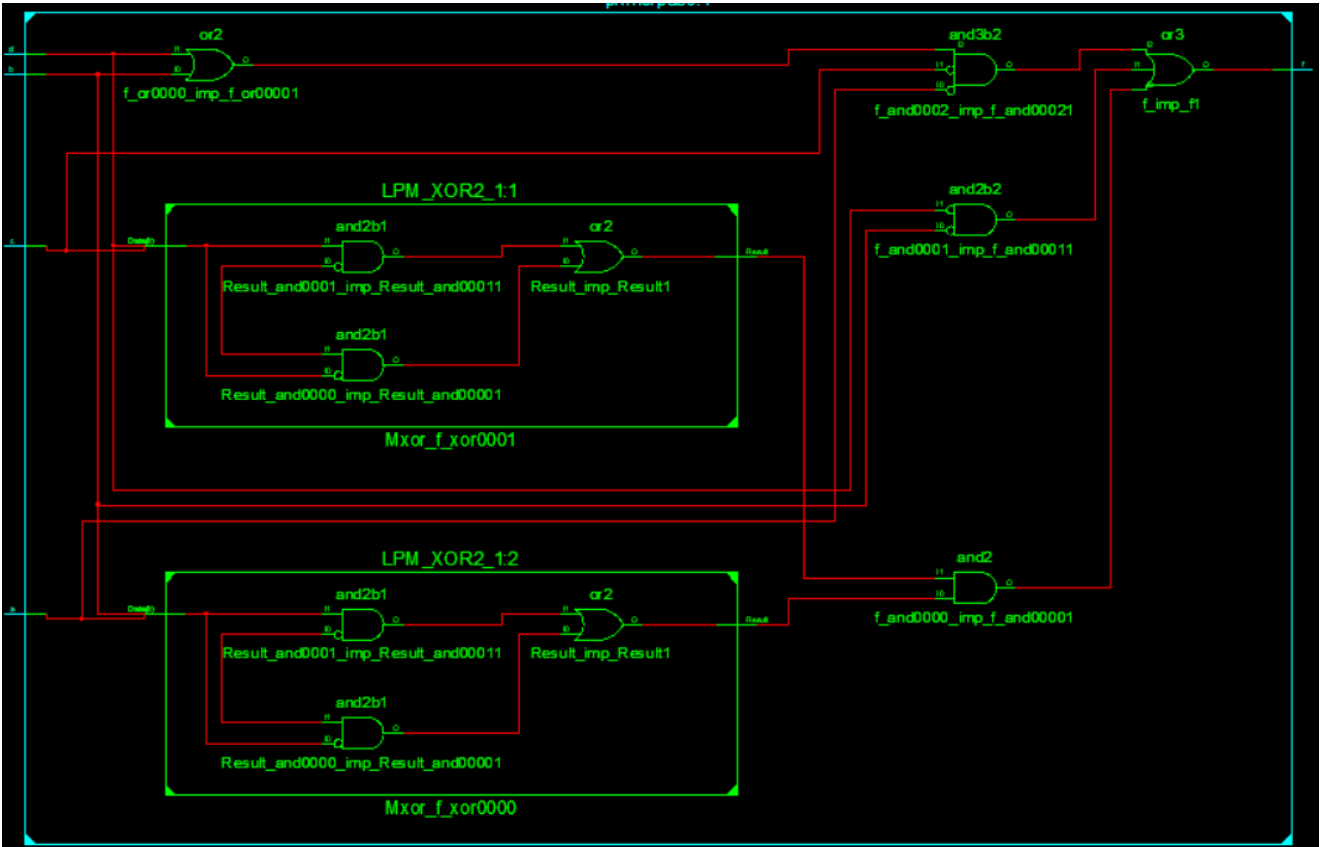


Los valores obtenidos en la simulación para el circuito con y sin señales

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

SIN SEÑAL

ESQUEMÁTICO



CÓDIGO

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

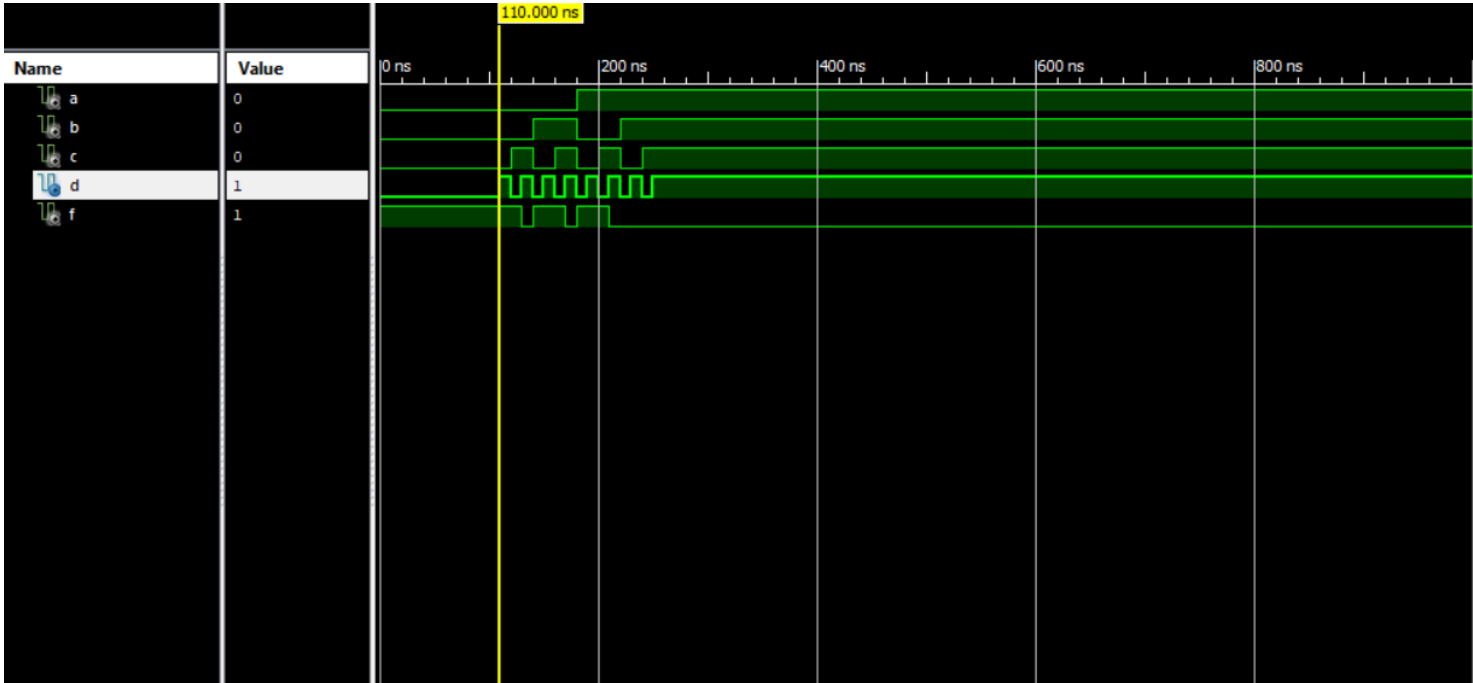
entity primerpaso is
  Port ( a,b,c,d : in STD_LOGIC;
        f : out STD_LOGIC);
end primerpaso;

architecture Behavioral of primerpaso is

begin

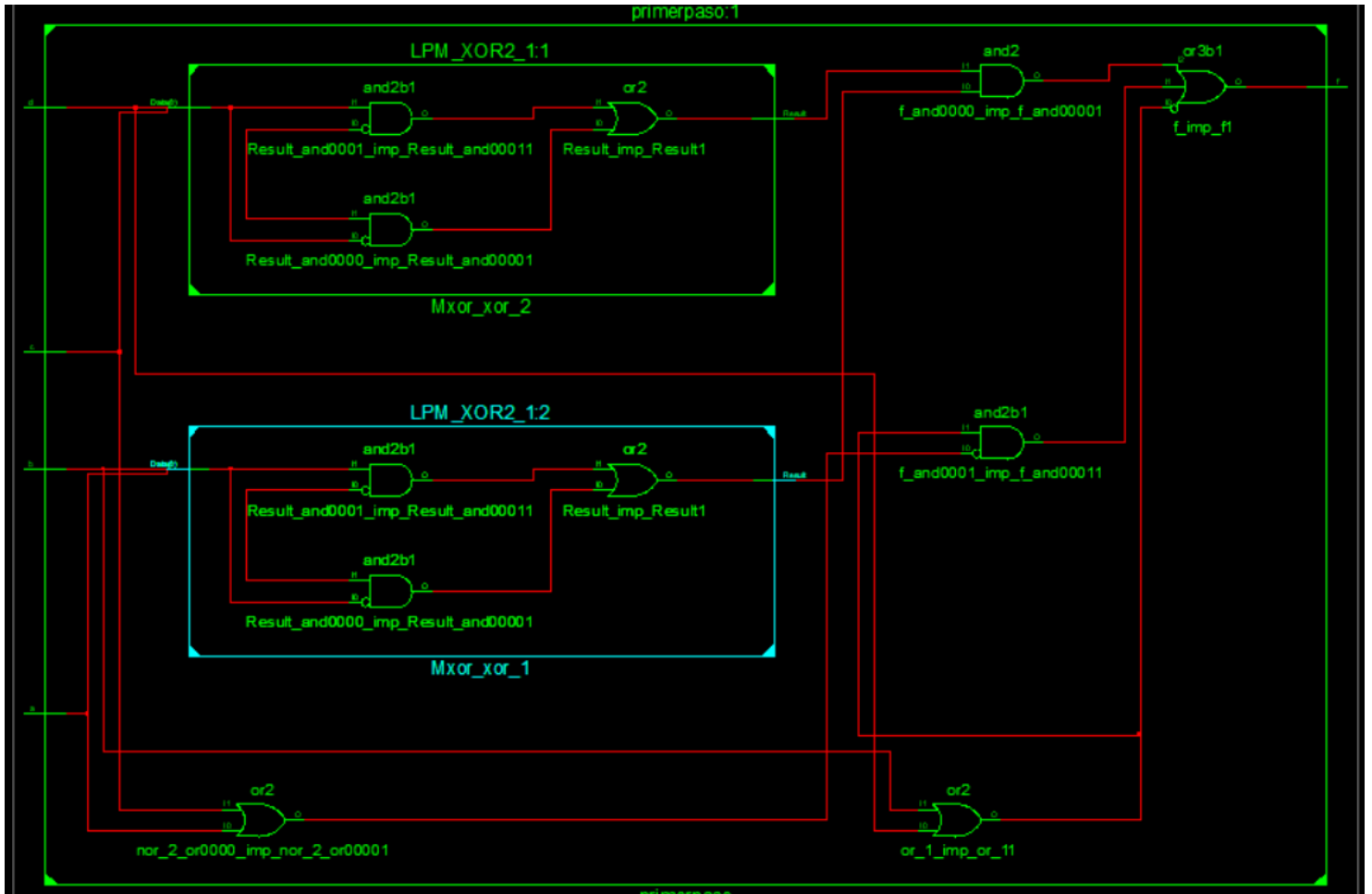
f <= ((a xor b) and (c xor d)) or (b nor d) or ((a nor c) and (b or d));
end Behavioral;
```

RELOJ



CON SEÑAL

ESQUEMÁTICO



CÓDIGO

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity primerpaso is
    Port ( a,b,c,d : in STD_LOGIC;
          f : out STD_LOGIC);
end primerpaso;

architecture Behavioral of primerpaso is

    Signal xor_1, xor_2, nor_1, nor_2, or_1: STD_LOGIC;
```

begin

xor_1 <= (a xor b);

xor_2 <= (c xor d);

nor_1 <= (b nor d);

nor_2 <= (a nor c);

or_1 <= (d or b);

f <= (xor_1 and xor_2) or (nor_2 and or_1) or (nor_1) ;

–f <= ((a xor b) and (c xor d)) or (b nor d) or ((a nor c) and (b or d));

end Behavioral;

RELOJ

