电工电子实验报告

课程名称：电工电子基础实验B

实验项目：数据选择器 & 集成触发器

学院：

班级：

学号：

姓名：

指导教师：

学期： 2023-2024 学年 第 二 学期

# 数据选择器

## 实验目的

1. 掌握可编程逻辑器件软硬件平台的使用方法。
2. 熟悉数据选择器的工作原理与逻辑功能。
3. 掌握数据选择器的应用。

## 主要仪器设备及软件

硬件：电工电子综合实验箱

软件：ISE Design Suite 14.7

## 实验原理（或设计过程）

**1. 用数据选择器M4\_1E设计1位全加器。**

(1) 根据要求，列出真值表

表 1 一位全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | B | A | T | S |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

输入：A -本位被加数；B -本位加数；C -低位向本位的进位

输出：T -本位向高位的进位；S -本位和

(2) 使用卡诺图化简

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| BC  A | | 00 | | 01 | | 11 | | 10 | |
| 0 | | 0 | | 0 | | 1 | | 0 | |
| 1 | | 0 | | 1 | | 1 | | 1 | |
| BC  A | | 00 | | 01 | | 11 | | 10 | |
| 0 | | 0 | | 1 | | 0 | | 1 | |
| 1 | | 1 | | 0 | | 1 | | 0 | |

T S

降维后：

|  |  |  |
| --- | --- | --- |
| B  A | 0 | 1 |
| 0 | 0 | C |
| 1 | C | 1 |

T

|  |  |  |
| --- | --- | --- |
| B  A | 0 | 1 |
| 0 | C |  |
| 1 |  | C |

S

(3) 根据化简结果设计实验电路图

需要两块M4\_1E数据选择器，第一块：D0, D3接C，D1, D2接，S0, S1分别接A, B，使能端E接VCC，输出端为S；第二块：D0接地，D1, D2接C，S0, S1分别接A, B，D3和使能端E接VCC，输出端为T。实验电路图见图1。

**2. 用数据选择器M8\_1E实现函数。**

(1) 根据要求，列出真值表

表 2 函数F的真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| D | C | B | A | F |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

输入：A, B, C, D四个输入端；输出：F

(2) 使用卡诺图化简

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| BA  DC | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 0 | 0 |
| 01 | 1 | 1 | 0 | 0 |
| 11 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 0 | 0 |

F

降维后：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| BA  C | 00 | 01 | 11 | 10 |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 1 |  | 0 | D |

F

(3) 根据化简结果设计实验电路图

使用一块M8\_1E数据选择器。D0-D7分别连入：1, 0, 0, 0, 1,, D, 0，S0-S3依次为C, B, A，使能端E连接VCC，输出端为F。实验电路图见图2。

## 实验电路图

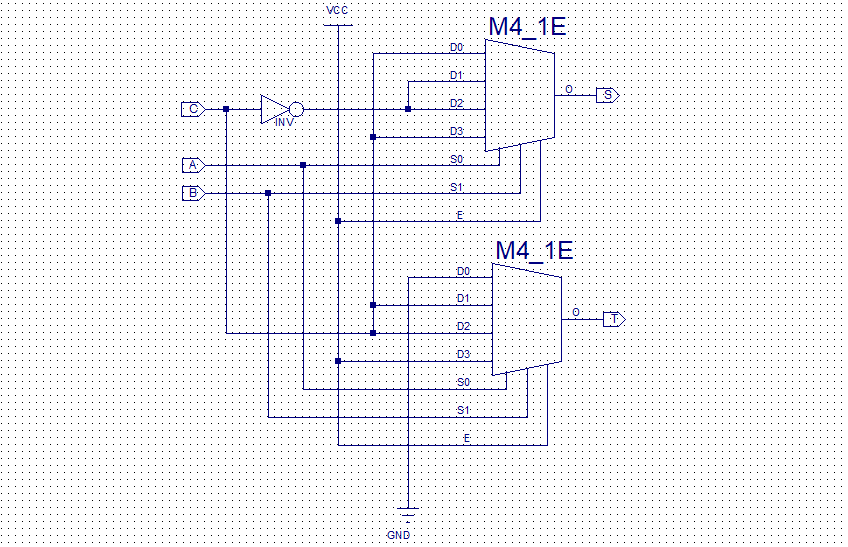


图 1 一位全加器实验电路图

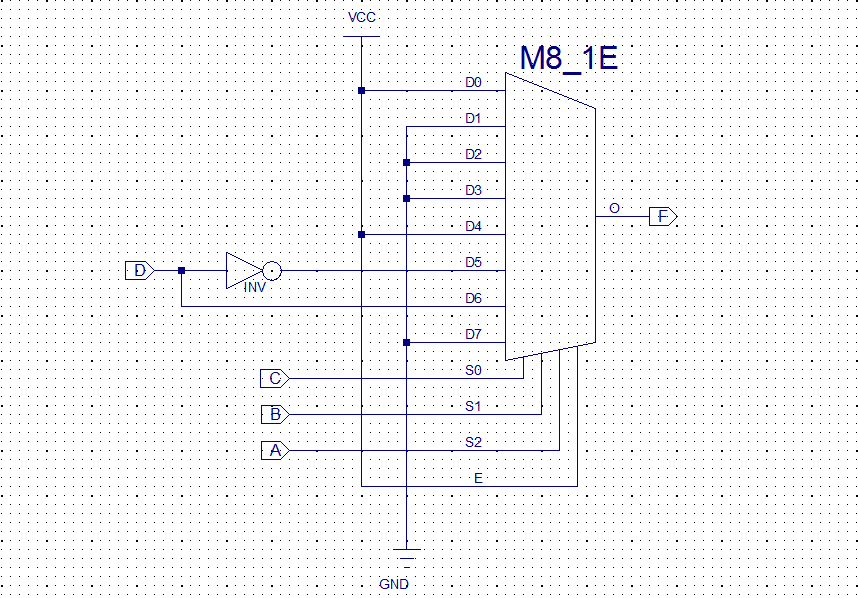


图 2 函数F实验电路图

## 实验数据分析和实验结果

**1. 用数据选择器M4\_1E设计1位全加器。**

(1) 在ISE中按图1连接实验电路图。

(2) 行为仿真。

打开行为仿真窗口，此处使用Force Clock来使变量的值按照周期而变化。在变量上右键点击Force Clock打开菜单，把CBA几个变量分别按照这样来设定：

前几项统一，Leading Edge Value（周期初值）: 0，Trailing Edge Value（周期末值）: 1，Duty Cycle(%)（占空比）: 50，不同的变量周期不同：Period: A为2us，B为4us，C为8us，若有D，则D应为16us，时间单位不可缺少！

设定完毕后，就只需要按“逐步运行”按钮就能运行了。以1us为步长，运行了8步以后，变量CBA刚好以二进制的顺序从000逐次加1，变化到了111，完成一个大周期。

采用虚拟总线，二进制显示。首先确定变量的顺序是按照从高位到低位的顺序（CBA），如果不是，可以手动拖动变量，调整顺序。然后，键盘按住SHIFT键，鼠标把CBA四个变量全部选定，然后右键菜单，选择最后一项Virtual Bus（虚拟总线），把四个变量设定为一根总线。在设定的总线上，右键呼出菜单，在Radix中可以设定这条总线的数制，默认是二进制，其他数制根据具体的场合来使用。设置为总线后，变量的读数变得比较方便。

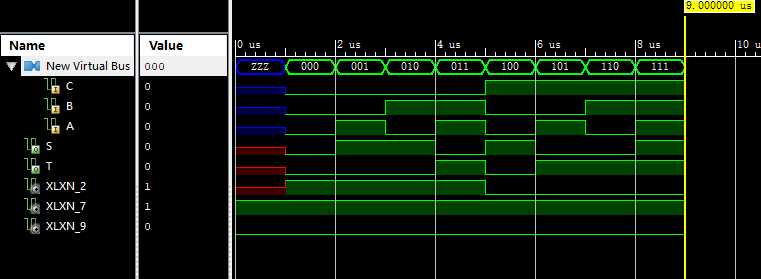


图 3 一位全加器行为仿真图

(3) 按照上节课的内容，继续接下来的步骤：综合，绑定管脚，布局布线，生成bit文件，下载到实验箱。

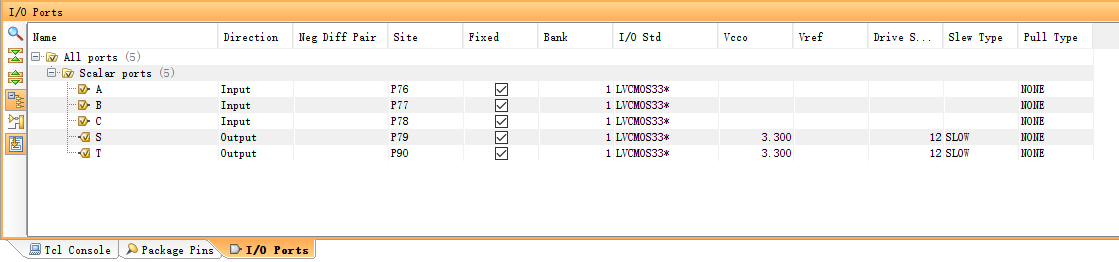


图 4 一位全加器管脚绑定图

(4) 根据绑定的管脚连接好电路，输入变量CBA从000依次检验到111，看结果S和T是否与真值表相符。

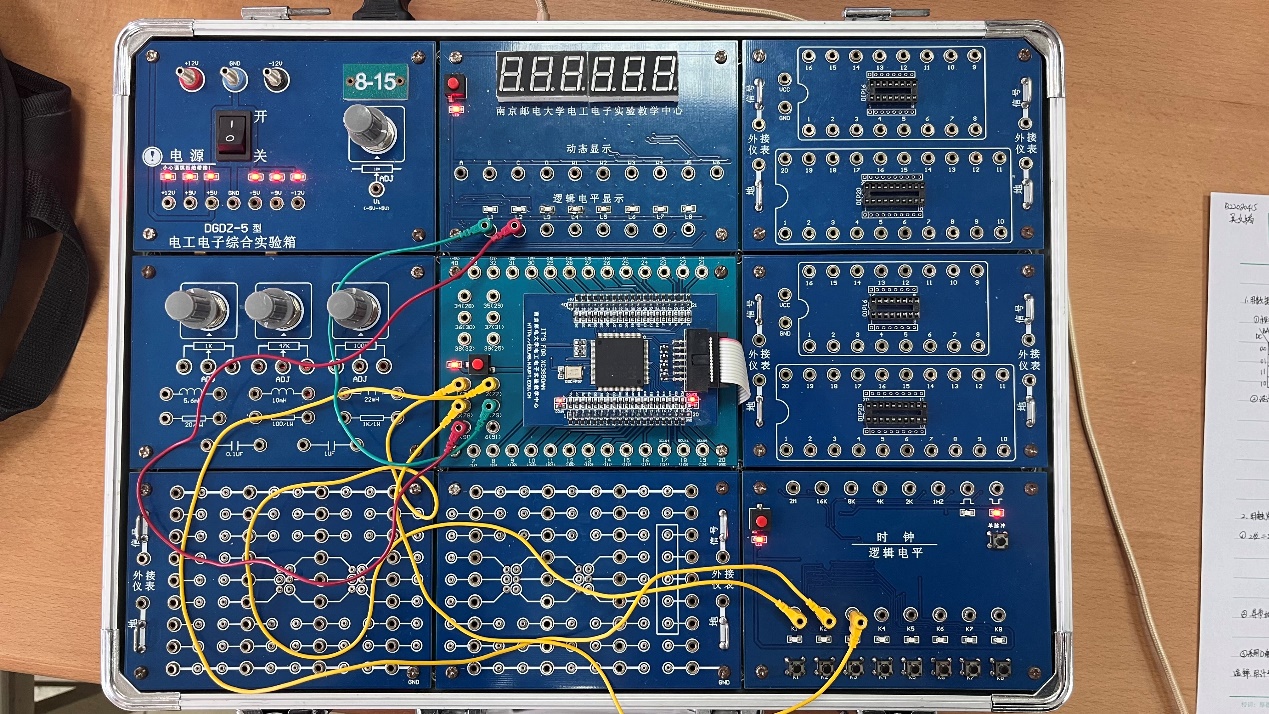


图 5 一位全加器实验箱检验

**2. 用数据选择器M8\_1E实现函数。**

(1) 在ISE中按图2连接实验电路图。

(2) 行为仿真，参考上面第一个实验，同理。

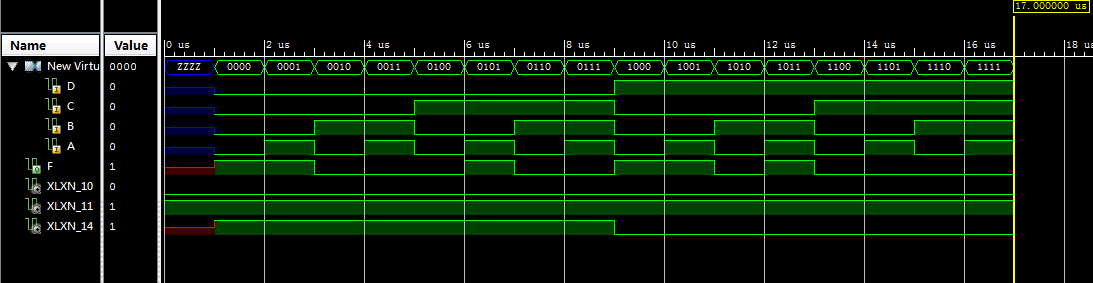


图 6 函数F行为仿真图

(3) 按照上节课的内容，继续接下来的步骤：综合，绑定管脚，布局布线，生成bit文件，下载到实验箱。

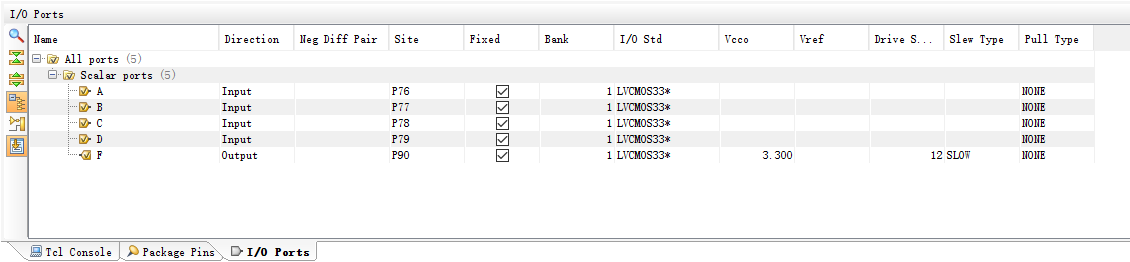


图 7 函数F管脚绑定图

(4) 根据绑定的管脚连接好电路，输入变量DCBA从0000依次检验到1111，看结果F是否与真值表相符。

## 实验小结

**1. 本次实验中需要注意芯片管脚、变量命名时的高低位顺序：**

纯字母命名：A为最低位，其他依次升高。

1. 数据选择器74151的地址位CBA；
2. 计数器74160的置数输入端DCBA；
3. 显示译码器CD4511的数据输入端DCBA。

带下标的命名：下标0或下标A的为最低位，其他依次升高。

1. 译码器73138的数据输出端Y7~Y0；
2. 数据选择器74151的数据输入端D7~D0；
3. 计数器74160的数据输出端QDQCQBQA。

当把一系列变量写在一起，或写真值表时，需要养成按照由高到低的顺序书写的习惯，并始终保持。

**2. 关于降维和拓展，如果地址端数量n小于函数自变量数m：**

①降维，将多余的自变量降维，作为数据端的输入，应对地址端不够的情况。

②扩展，将选择器的规模扩大，增加可用的地址端。

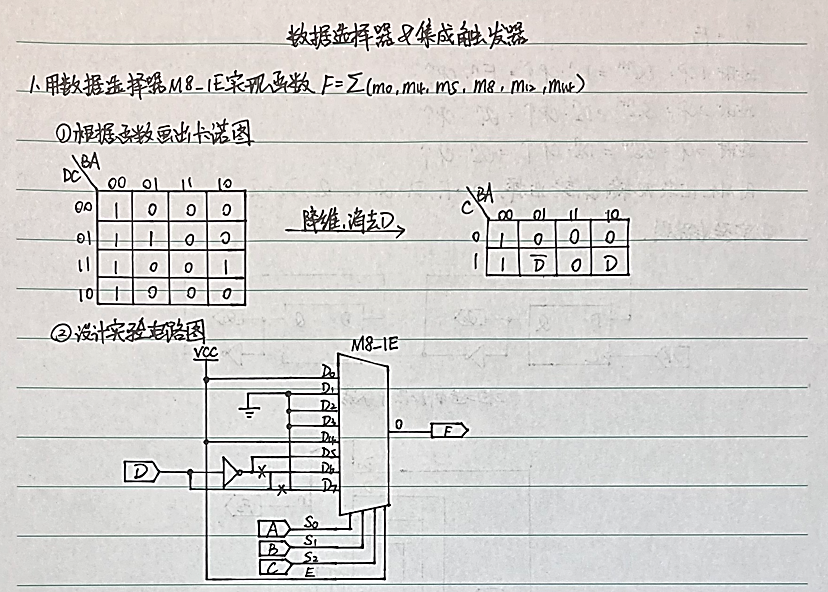
## 课后思考题

1. 数据选择器在容量不够的情况下，如何进行扩展？

**方法一：**增加选择器的输入位数。可以设计一个更大的数据选择器。假设原始的4输入选择器是M4\_1E，现需要扩展到8输入选择器M8\_1E。

**方法二：**层级化数据选择器。可以通过层级化设计，将多个小选择器组合成一个更大的选择器。例如，使用两个4输入选择器构建一个8输入选择器。

## 附录



# 集成触发器

## 实验目的

1. 掌握集成触发器的逻辑功能。
2. 熟悉用触发器构成计数器的设计方法。
3. 掌握集成触发器的基本应用。

## 主要仪器设备及软件

硬件：电工电子综合实验箱

软件：ISE Design Suite 14.7

## 实验原理（或设计过程）

**1. 用触发器设计2位二进制加法计数器。**

(1) 原理实现

首先实现Q0位的变化。Q0变化周期为2CP，在前半个周期为0，后半个周期为1。Q1的变化周期是Q0的两倍(4CP)，在前两个CP为0，后两个CP为1。并且总是在Q0从1变为0时发生变化，即在Q0上升沿的时候发生变化。因此，使用一个和Q0一样接法的D触发器就可以得到数位Q1，然后将其时钟CP1设为Q0即可。

(2) 列出真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CP | 加计数 | | | |
| 输出 | | 次态 | |
| Q1 | Q0 | D1 | D0 |
| ↑ | 0 | 0 | 0 | 1 |
| ↑ | 0 | 1 | 1 | 0 |
| ↑ | 1 | 0 | 1 | 1 |
| ↑ | 1 | 1 | 0 | 0 |

(3) 写出次态方程







Q0每逢1个CP↑变化一次，Q1每逢1个CP1↑变化一次，每2个CP↑产生一个CP1↑。

(4) 设计实验电路图

使用两块FD触发器。CLK接第一块触发器的C端，Q0, Q1分别接第一第二块触发器的输出端。并且将输出端反向后反馈接入到输入端D。实验电路图见图8。

## 实验电路图

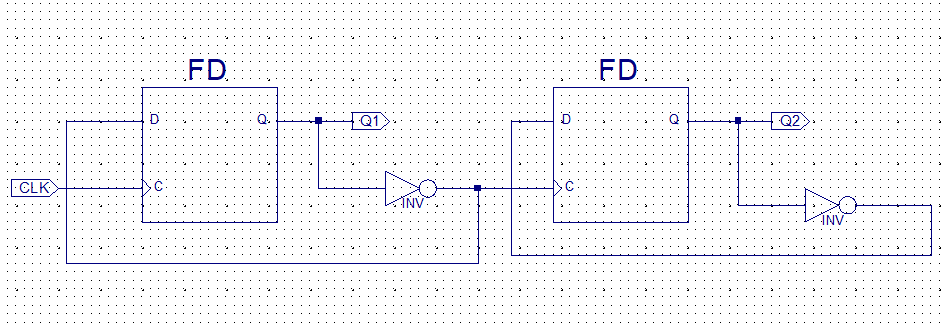


图 8 触发器实验电路图

## 实验数据分析和实验结果

(1) 在ISE中按图8连接实验电路图。

(2) 行为仿真。参考数据选择器实验中的行为仿真方法进行仿真。

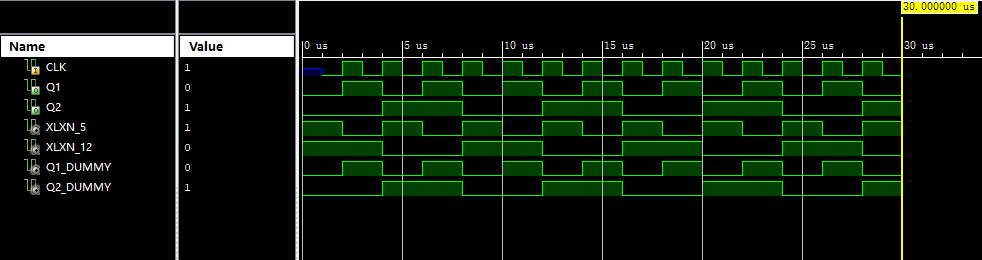


图 9 触发器实验行为仿真图

(3) 综合，绑定管脚，布局布线，生成bit文件，并下载到实验箱。此处需要特别注意绑定管脚。XC3S50AN TQG144芯片124-126脚分别为GCLK4, GCLK5, GCLK6，本次实验中的时钟信号CLK只能绑定在其中一个脚上。

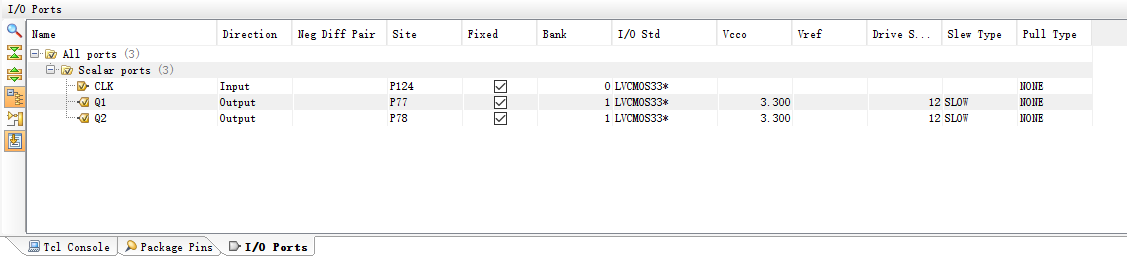


图 10 触发器实验管脚绑定图

(4) 根据绑定的管脚连接好电路。此处CLK绑定124脚，所以124脚需要连接实验箱上的2kHz时钟，Q1, Q2分别连接LED即可。随后用示波器连接CLK, Q1, Q2，观察三个输出波形。示波器调节要求如下：

1. 所有通道的耦合方式都必须“直流耦合”；
2. 每个通道的垂直灵敏度都调整为“5V/div”；
3. 信号上下彼此分开不要交叠，输入在上，输出在下；
4. 基线都对齐到屏幕的刻度线上，彼此之间空出两格的距离；
5. 选择Q1作为触发源。

如此设定的好处：每个信号都只占一个格子的高度，不会重叠，也不会超出屏幕。排列整齐，观察方便。

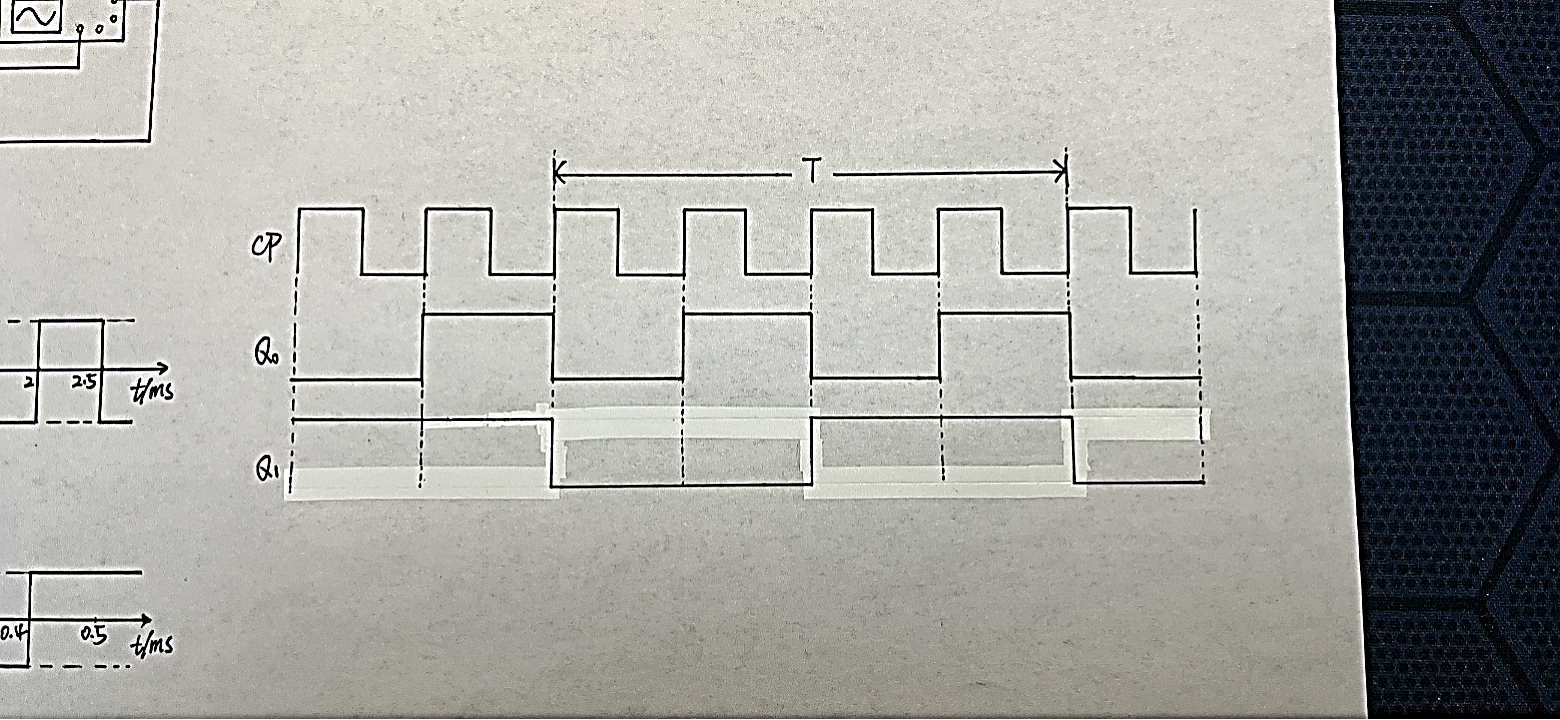


图 11 示波器波形图



图 12 触发器实验箱检验

## 实验小结

1. 需要特别注意绑定管脚。XC3S50AN TQG144芯片124-126脚分别为GCLK4, GCLK5, GCLK6，本次实验中的时钟信号CLK只能绑定在其中一个脚上。
2. 多路信号同时显示时，触发源应的选择方法：

①周期是整数倍关系；

②选择周期长的作为触发源；

③如果周期相同，则选择幅值较大的作为触发源。

## 课后思考题

**1. 触发器的哪些输入端一定要使用消抖动开关控制？**

时钟输入：如果时钟信号存在抖动，可能会导致触发器误触发或产生不稳定的输出。

复位和预置输入：如果复位或预置信号存在抖动，可能会导致触发器在不应复位或预置的时候进行状态改变。

使能输入：在某些设计中，使能输入决定触发器是否响应时钟信号。使能信号的抖动可能会导致触发器在非期望时间点触发。

**2. 如何用触发器将异步信号变成同步信号？**

采用两级触发器的同步方式，使用D触发器实现异步到同步的转换：

1. 第一级触发器：捕获异步信号，并将其输出作为同步信号的中间状态。
2. 第二级触发器：捕获第一级触发器的输出，生成最终的同步信号。

第一级触发器在每个时钟上升沿捕获异步信号的值，并将其传递到中间信号寄存器。第二级触发器在下一个时钟上升沿捕获中间信号的值，并将其传递到同步信号寄存器。

## 附录

