电工电子实验报告

课程名称：电工电子基础实验B

实验项目：SSI组合逻辑电路

学院：

班级：

学号：

姓名：

指导教师：

学期： 2023-2024 学年 第 二 学期

# SSI组合逻辑电路

## 实验目的

1. 掌握基本门电路的实际应用。
2. 掌握基本门多余端的处理方法。
3. 用实验验证所设计电路的逻辑功能。
4. 判断、观察组合逻辑电路险象并了解消除险象的方法。

## 主要仪器设备及软件

软件：Multisim 14.0；

ISE Design Suite 14.7

## 实验原理（或设计过程）

1. **组合逻辑电路的险象及消除方法**

组合逻辑电路存在两种不同类型险象：一种是逻辑险象，另一种是功能险象。所谓逻辑险象是指电路中一个输入变量发生变化时，电路在瞬变过程中出现短暂错误输出的现象。对与门会产生“0-1-0”型险象；对或门会产生“1-0-1”型险象，他们都被称为静态逻辑险象。静态逻辑险象的判别方法有代数法、卡诺图法和示波器法3种。若组合电路中有两个或两个以上输入变量同时发生变化，由于可能经历不同变化而产生的险象称为功能险象，可由卡诺图来判断。险象的消除方法有修改逻辑设计、加滤波电路、加取样脉冲3种。

1. **组合逻辑电路设计**

组合逻辑电路设计步骤如下：

首先，将逻辑问题的文字描述变换成真值表；然后，利用卡诺图或公式法求得最简逻辑表达式，并根据所选器件对最简式进行变换，得到所需形式的逻辑表达式；最后，由逻辑表达式画出逻辑图。

**题目：用与非门设计一个数字锁逻辑电路，该锁有3个按钮A、B、C，当A、B、C同时按下，或A和B同时按下，或只有A或B按下时开锁，如果不符合上述条件应报警。**

1. 变量分析

三个输入变量A、B、C，两个输出变量F1（表示是否成功开锁），F2（表示是否报警）。当A、B、C都等于0即不操作时，F1=F2=0，既不开锁也不报警。此外只能用与非门实现这个电路。

1. 列出真值表

表1 逻辑电路设计真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| C | B | A | F1 | F2 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

1. 根据真值表画出卡诺图

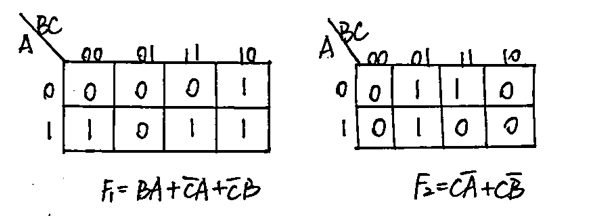


图1 卡诺图化简

1. 根据卡诺图，写出逻辑表达式





F1、F2合计一共需要8个二输入与非门，这样只需要2个7400即可实现该电路。

1. 根据表达式设计实验原理图

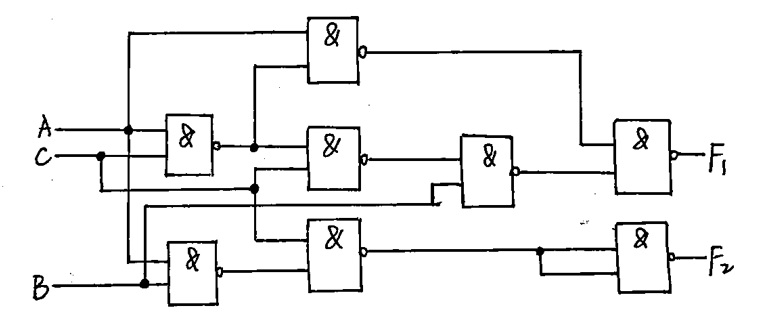


图2 实验原理图

## 实验电路图

根据图2的原理图，在ISE中设计出如下实验电路图：

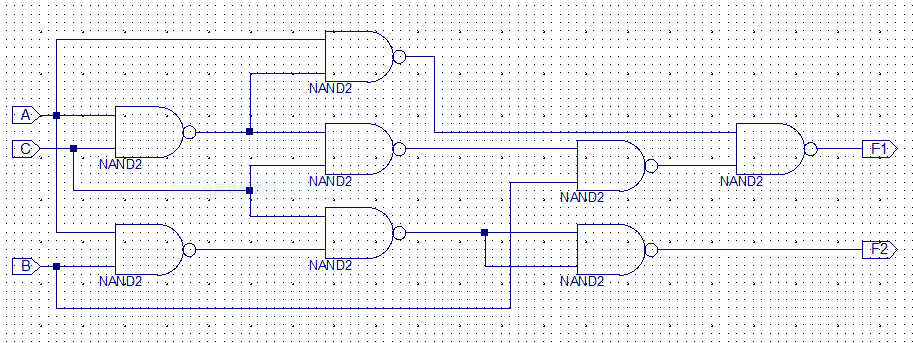


图3 实验电路图

## 实验数据分析和实验结果

（1）创建工程。顶层文件输入方式选择Schematic，根据芯片型号XC3S50AN TQG144选择合适的芯片的系列、名称、管脚封装形式。

（2）设计输入。完成工程创建后在工程管理区鼠标右键点击，呼出菜单，选择第一项“New Resource”，创建一个原理图，文件类型选择原理图（Schematic），然后根据实验电路图（图3），从Symbols菜单中选择所需元器件，连接出实验电路图。在定义输入输出管脚时，可以双击标签，在在“Nets”下修改标签名字，便于记忆。

（3）连接好电路图后仔细检查。点击保存，然后进入行为仿真环节。

（4）首先点选Design，回到工程控制区，然后点选Simulation，进入仿真控制区。此处我们选择行为仿真（Behavioral），然后单击选中仿真对象，双击Simulate Behavioral Model。等待几秒后进入Isim的工作界面，开始仿真。

（5）仿真开始前，需要对输入变量进行赋值。先将变量A赋值为0，在变量名称上鼠标右击，在菜单中选择Force Constant（强制为常量），Force to Value设为0，点击OK。同样，变量B和C也如此赋值为0。然后按下逐步运行的按钮，就会根据赋值发生改变了。然后根据真值表的顺序，依次改变A、B、C的值，每改变一次，仿真一个步长，观察输出F1和F2的变化。

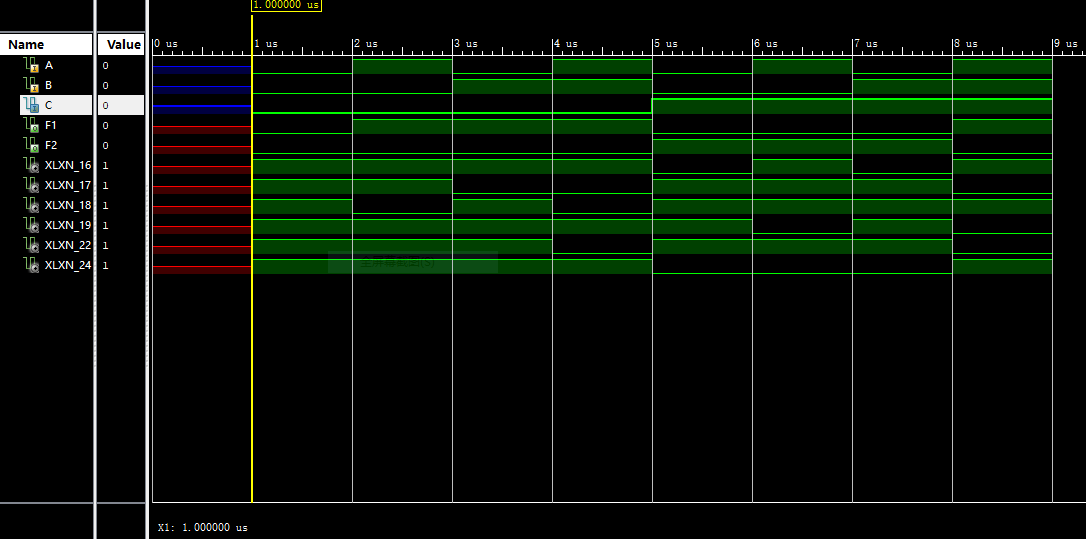


图4 行为仿真结果

（6）行为仿真完成后，关闭Isim软件（必须），回到ISE设计平台继续后续工作。

（7）设计综合，将电路转换成由基本逻辑单元构成的网表文件。点选Implementation，选中文件，双击Synthesize –XST，系统自动用XST工具，将电路转换成网表文件。

（8）管脚约束。单击加号“+”，将User Constraints菜单展开，双击I/O Pin Planning (PlanAhead) –Pre-Synthesis，系统将打开PlanAhead工具，进行管脚约束。PlanAhead界面打开后，看左下角列表。设置管脚号如下表：

表2 管脚号对应表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A | B | C | F1 | F2 |
| P76 | P77 | P78 | P79 | P90 |

需要确认每个端口都勾选了Fixed，然后将所有端口的输入输出电平标准从LVCMOS25改为LVCMOS33。保存，然后关闭PlanAhead工具。

（9）设计实现，系统进行模块布局、布线。双击Implementation Design，系统将自动依次运行Translate，Map，Place&Route三个步骤。此时在工程目录下会生成一个.bit文件。

（10）下载调测。首先按照刚才管脚锁定的情况，A、B、C对应的插孔分别连接到逻辑电平输入部分的K1、K2、K3三个开关；F1和F2输出到逻辑电平显示灯L1和L2上。然后在ISE中双击Configure Target Device，跳出对话框选择Yes，系统将打开下载工具imPact。在imPact工具中，先双击左上方Boundary Scan，然后在右边区域，鼠标右键呼出菜单，选择第一项Add Xilinx Device。点选Add Xilinx Device后，选择一个后缀名为.bit的文件打开。出现一个芯片的图标，xc3s50an表示目标芯片的型号，xxxxx.bit表示要下载的文件名称，确认这些信息是否正确。

（11）至此，一切就绪，只需将文件下载到实验箱的芯片中。在imPact中，芯片图标上鼠标右击，呼出菜单；选择菜单的第二项 Program FPGA Only。软件通过USB线将.bit文件从电脑下载到实验箱上的芯片中。如果下载成功，软件将显示Program Suceed，之后就可以在实验箱上测试了。

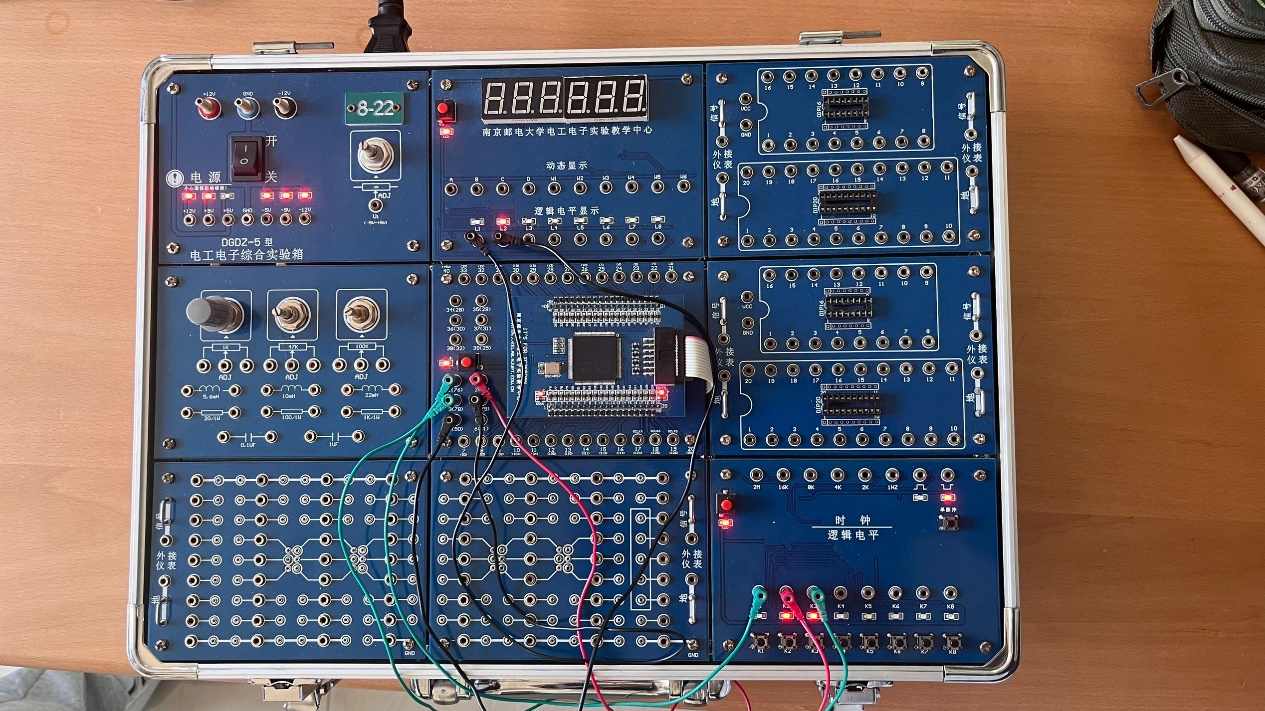


图5 实验箱测试结果图

## 实验小结

**本次实验中的一些注意事项总结：**

1. 课程中采用的是Xilinx公司的ISE系列开发软件，及其配套的FPGA芯片——“XC3S50AN TQG144”。芯片的型号需要记住！
2. 每次用到一个新的器件，都要首先在Symbol Info这里，了解它的功能。因为它们很有可能与我们原先所理解的有差异，甚至完全相反。关系到我们的设计能否正确地工作。
3. 在无关的位置随意点击，端口是不能被放置的。只能将鼠标移动到某个元件的端口节点上（鼠标会变化，周围出现四个小方框），此时点击，才能放置。当鼠标悬停在已有导线上时，不会出现定位方块，但这样的连接是允许的。（交叉处的黑点，表示连接成功）
4. 遇到在端口上分出其他支路的情况。必须把这些端口的标签向远处拖拽一下，延长导线，否则无法在此分出支路。
5. 为保护FPGA芯片，禁止带电插拔线路。按照正确规范，要求先将芯片的外部连线全部连接完毕，再通电和下载。
6. 下载调测时，.bit前面的文件名一定是和顶层文件相同的，如果出现其他\*.bit的文件，并不是后面真正需要下载的bit文件。
7. 由于实验箱本身的设计问题，芯片一旦断电，内部下载的程序就消失了，只能始终通电使用。一旦断电，须重新下载程序才能使用。

## 课后思考题

险象及消除方法实验电路图：

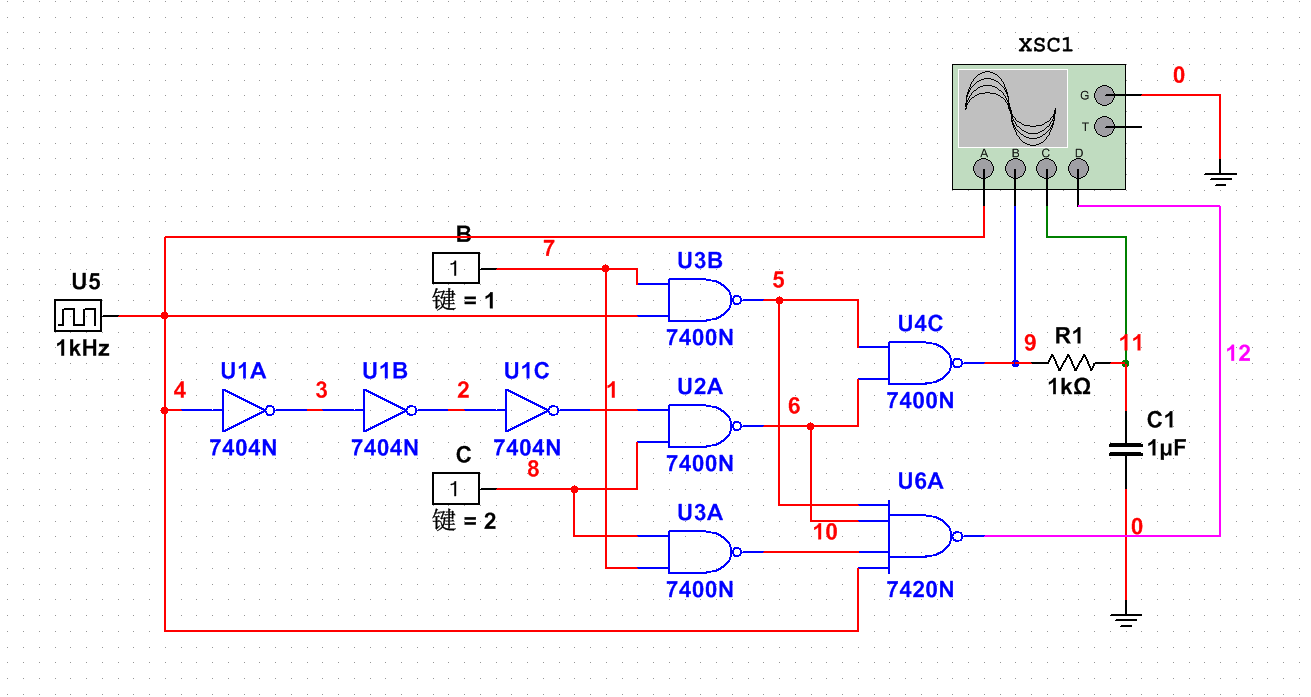


图6 实验电路图

使用4通道示波器分别显示使用不同方法消除险象后的波形：

① A端口（红色）为原时钟波形；

② B端口（蓝色）为没有消除险象的波形；

③ C端口（绿色）为加滤波电路后的波形；

④ D端口（粉色）为修改逻辑设计，添加多余项后的波形。

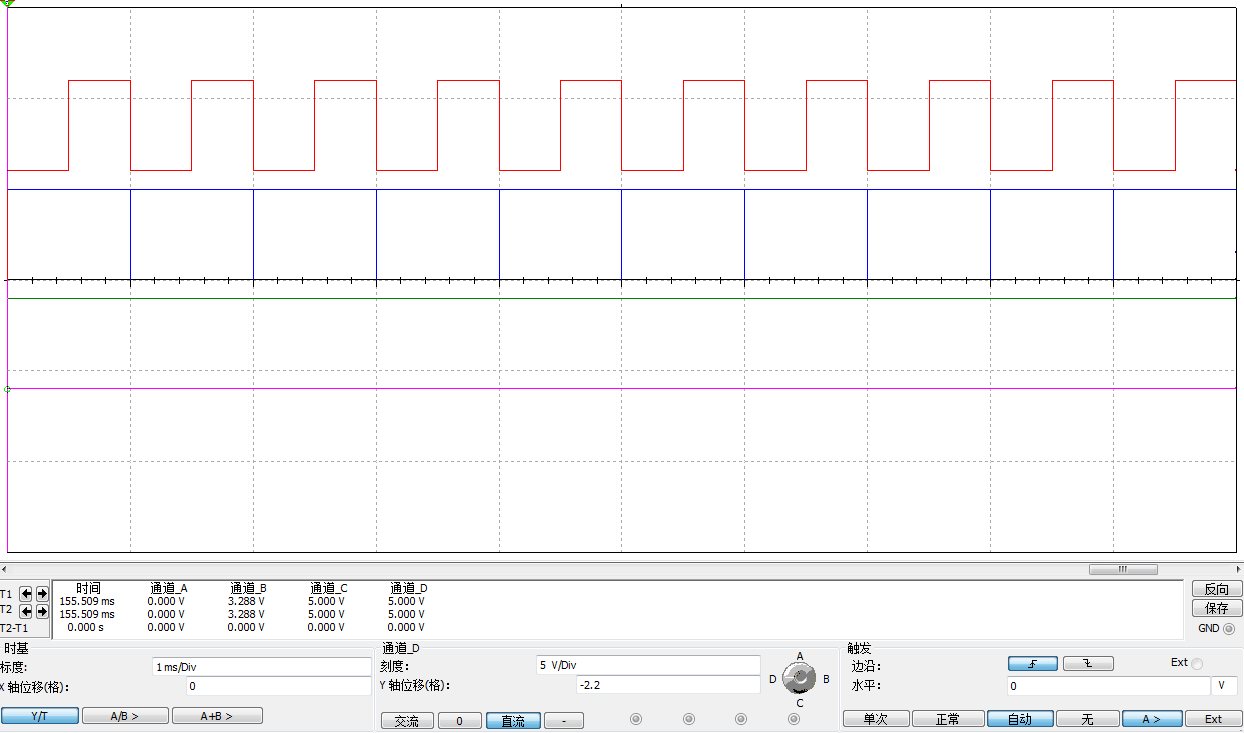


图7 四通道示波器所示波形图

图中，红色波形为原时钟波形，蓝色波形存在险象，而绿色和粉色波形则通过特定的方法消除了险象，表现为常“1”状态。

## 附录

