

SISTEMAS DIGITAIS

Circuitos sequenciais

Circuitos sequenciais

2

Sumário:

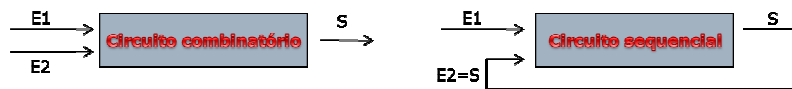
- Circuitos sequenciais
- Circuitos sequenciais assíncronos
- Circuitos sequenciais síncronos
- Activação do sinal de relógio
- Latches
- Flip - Flops

Circuitos sequenciais

3

O que são circuitos sequenciais?

- Os circuitos sequenciais são circuitos lógicos, segundo os quais, os valores das suas saídas não dependem exclusivamente dos valores apresentados nas entradas num determinado momento, mas também dos valores que já estavam presentes anteriormente nas suas saídas;
- Esta particularidade distingue os circuitos sequenciais dos circuitos combinatórios, no entanto ambos os circuitos são constituídos por portas lógicas variadas.

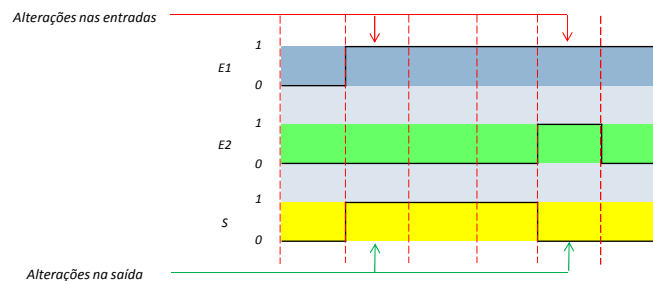


Circuitos sequenciais

4

Circuitos sequenciais assíncronos

Os circuitos sequenciais assíncronos são circuitos onde os valores da(s) saída(s) mudam em qualquer momento, quando se mudam os valores das suas entradas.

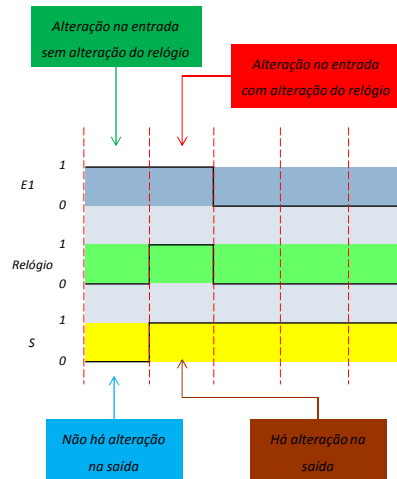


Circuitos sequenciais

5

Circuitos sequenciais síncronos

- Os circuitos sequenciais síncronos são circuitos onde os valores das saídas mudam em momentos bem determinados por uma nova entrada de controlo ou de sincronização, vulgarmente denominada de relógio ou **clock**.
- Com a entrada de controlo de *clock*, é possível um maior controlo do circuito, uma vez que as variações no circuito ocorrem em instantes bem determinados.

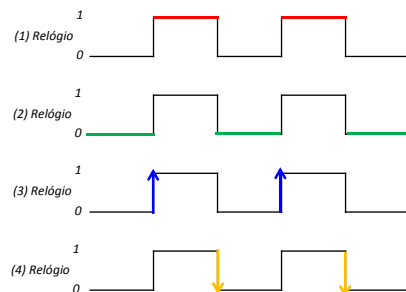


Circuitos sequenciais

6

Onde podem ocorrer as variações da entrada de relógio?

- Quando o sinal de relógio tem valor lógico igual a 1 – **activo alto**;
- Quando o sinal de relógio tem valor lógico igual a 0 – **activo baixo**;
- Na transição do valor lógico 0 para 1 – **transição ascendente**;
- Na transição do valor lógico 1 para 0 – **transição descendente**.



Circuitos sequenciais

7

Latches versus Flip-Flops

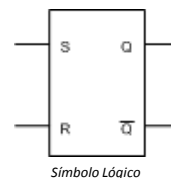
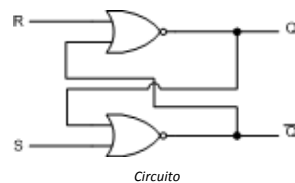
- Os circuitos sequenciais são circuitos com capacidade de armazenar informação (**memorização**);
- Os circuitos sequenciais mais simples, também denominados de biestáveis, podem ser classificados em ***latches*** e ***flip-flops***;
- Um ***latch***, é um circuito sequencial que muda as suas saídas dependendo das entradas;
- Um ***flip-flop***, é um circuito sequencial mais controlável, que muda as suas saídas unicamente por acção da entrada de controlo de relógio mas apenas nos flancos, ascendente ou descendente, do pulso do relógio;
- Através da associação de vários biestáveis, é possível construir circuitos sequenciais mais complexos, como contadores e registos de deslocamento.

Circuitos sequenciais

8

Latches SR

- É um circuito com duas entradas:
 - S – Set
 - R – Reset
- É implementado com portas NOR;
- Tem duas saídas:
 - Q
 - \bar{Q} - complementar de Q



Circuitos sequenciais

9

- Funcionamento:

- $Q^{(n)}$ representa o estado actual e $Q^{(n+1)}$ representa o estado seguinte;

- A saída Q toma o valor lógico 0 quando:
 - Se aplica à entrada S o valor lógico 0
 - Se aplica à entrada R o valor lógico 1
 - Operação de **RESET**

Entradas		Saída
S	R	$Q^{(n+1)}$
0	0	$Q^{(n)}$
0	1	0
1	0	1
1	1	Indefinido

Tabela de Verdade

- A saída Q toma o valor lógico 1 quando:
 - Se aplica à entrada R o valor lógico 0
 - Se aplica à entrada S o valor lógico 1
 - Operação de **SET**

Circuitos sequenciais

10

- Funcionamento:

- A saída Q **memoriza** o valor lógico do instante anterior quando:
 - Se aplica à entrada S o valor lógico 0
 - Se aplica à entrada R o valor lógico 0
 - Operação de memorização

Entradas		Saída
S	R	$Q^{(n+1)}$
0	0	$Q^{(n)}$
0	1	0
1	0	1
1	1	Indefinido

Tabela de Verdade

- A saída Q toma um valor lógico indefinido quando:
 - Se aplica à entrada R o valor lógico 1
 - Se aplica à entrada S o valor lógico 1

Circuitos sequenciais

11

- As entradas do latch SR são activas altas, devido ao facto de a mudança de estado ser levada a cabo nos impulsos positivos das entradas.

Entradas		Saída
S	R	$Q^{(n+1)}$
0	0	$Q^{(n)}$
0	1	0
1	0	1
1	1	Indefinido

Tabela de Verdade

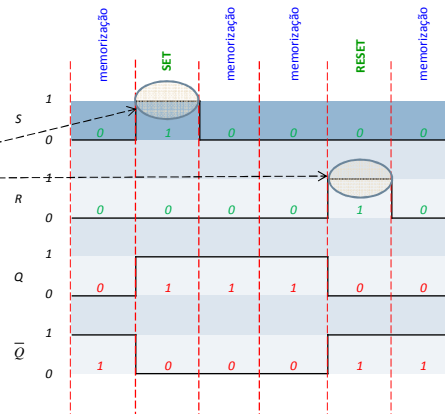


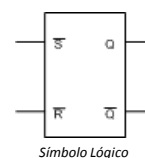
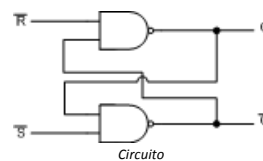
Diagrama de impulsos

Circuitos sequenciais

12

Latches \overline{SR}

- É um circuito com duas entradas:
 - \overline{S}
 - \overline{R}
- É implementado com portas NAND;
- Tem duas saídas:
 - Q
 - \overline{Q} - complementar de Q



Circuitos sequenciais

13

- Funcionamento:

- O seu funcionamento é análogo ao do *latch* com portas NOR, a diferença desta *latch* para o anterior é que este latch aparece com as entradas negadas;

- A saída Q toma o valor lógico 1 quando:
 - Se aplica à entrada S o valor lógico 0
 - Se aplica à entrada R o valor lógico 1
 - Operação de **SET**

- A saída Q toma o valor lógico 0 quando:
 - Se aplica à entrada R o valor lógico 0
 - Se aplica à entrada S o valor lógico 1
 - Operação de **RESET**

Entradas		Saída
\overline{S}	\overline{R}	$Q^{(n+1)}$
0	0	Indefinido
0	1	1
1	0	0
1	1	$Q^{(n)}$

Tabela de Verdade

Circuitos sequenciais

14

- Funcionamento:

- A saída Q toma um valor lógico **indefinido** quando:
 - Se aplica à entrada R o valor lógico 0
 - Se aplica à entrada S o valor lógico 0

- A saída Q **memoriza** o valor lógico do instante anterior quando:
 - Se aplica à entrada S o valor lógico 1
 - Se aplica à entrada R o valor lógico 1
 - Operação de memorização

Entradas		Saída
\overline{S}	\overline{R}	$Q^{(n+1)}$
0	0	Indefinido
0	1	1
1	0	0
1	1	$Q^{(n)}$

Tabela de Verdade

Circuitos sequenciais

15

- As entradas do latch SR são activas baixas, devido ao facto de a mudança de estado ser levada a cabo nos impulsos negativos das entradas.

Entradas		Saída
\overline{S}	\overline{R}	$Q^{(n+1)}$
0	0	Indefinido
0	1	1
1	0	0
1	1	$Q^{(n)}$

Tabela de Verdade

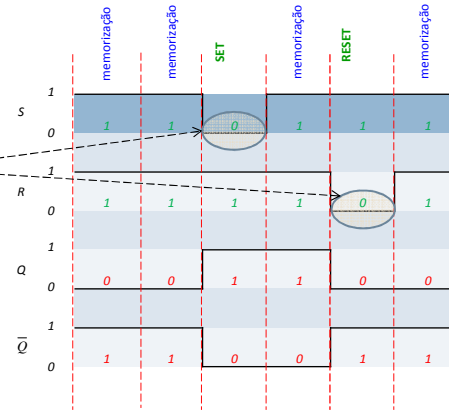


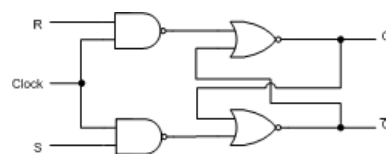
Diagrama de impulsos

Circuitos sequenciais

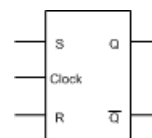
16

Latch SR sincronizado

- É um circuito com três entradas:
 - S
 - R
 - Clock
- É implementado com portas NOR e a entrada de controlo (clock) é implementada com portas NAND;
- Tem duas saídas:
 - Q
 - \overline{Q} - complementar de Q



Circuito



Símbolo Lógico

Circuitos sequenciais

17

- Funcionamento:
 - A diferença deste latch para o latch SR diz respeito à nova entrada que este circuito possui, isto é a entrada de clock;
 - A nova entrada permite um melhor controlo do latch por parte do utilizador;
 - Quando a entrada de relógio está a 0, o latch mantém o valor anterior que tinha memorizado;
 - Quando a entrada de relógio está a 1, o latch funciona de igual forma como se tratasse de um latch SR sem entrada de clock.

Entradas			Saída
S	R	Relógio	$Q^{(n+1)}$
0	0	0	$Q^{(n)}$
0	0	1	$Q^{(n)}$
0	1	0	$Q^{(n)}$
0	1	1	0
1	0	0	$Q^{(n)}$
1	0	1	1
1	1	0	$Q^{(n)}$
1	1	1	Indefinido

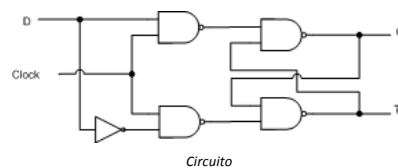
Tabela de Verdade

Circuitos sequenciais

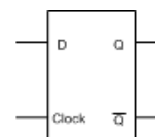
18

Latch D

- É um circuito com duas entradas:
 - D
 - Clock
- É implementado com portas NAND e uma porta NOT;
- A entrada de controlo é implementada com portas NAND
- Tem duas saídas:
 - Q
 - \bar{Q} - complementar de Q



Circuito



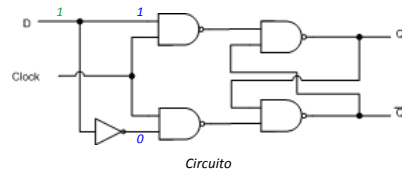
Simbolo Lógico

Circuitos sequenciais

19

- Funcionamento:

- Com este latch eliminamos o problema com que nos deparamos com os latches anteriores, que é o facto de termos o estado indefinido;
- O problema do estado indefinido é resolvido com a ligação das duas entradas a uma só, estando uma delas negada, assim nunca há a possibilidade das entradas serem iguais.



Circuitos sequenciais

20

- Funcionamento:

- Só há mudança de estado quando o relógio está activo;
- Quando o relógio está activo (clock = 1), o valor da saída é igual ao valor da entrada de dados, denominando-se esta característica por **transparência**;
- Quando o relógio não está activo (clock = 0), a saída mantém o valor lógico do instante anterior (**memorização**).

Entradas		Saída
D	Relógio	$Q^{(n+1)}$
0	0	$Q^{(n)}$
0	1	0
1	0	$Q^{(n)}$
1	1	1

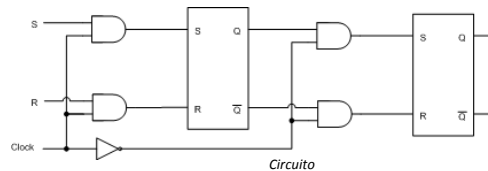
Tabela de Verdade

Circuitos sequenciais

21

Flip Flop SR Master Slave

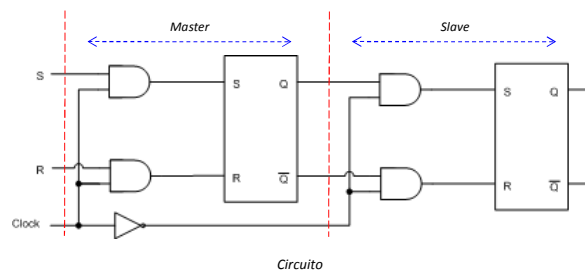
- A denominação Master Slave traduz a necessidade de resolver um problema com os circuitos sequenciais anteriores, que era o facto de as saídas das células de memória variarem logo após a verificação de um impulso de relógio, ainda dentro do intervalo de sensibilidade;
- A solução encontrada foi a separação das fases de actualização das células;
- Esta solução levou a que o funcionamento do flip-flop fosse realizado em duas fases distintas.



Circuitos sequenciais

22

- Funcionamento:
 - O circuito é constituído por dois flip-flops SR individuais encadeados, cada um com uma porta AND em cada entrada;
 - O relógio está em oposição de fase para cada flip-flop.

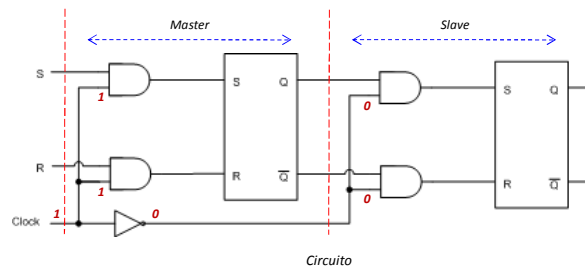


Circuitos sequenciais

23

- Funcionamento:

- Quando o relógio é activado a 1 lógico, as portas AND deixam passar a informação que vai entrar no Master, permanecendo as portas AND do Slave fechadas.

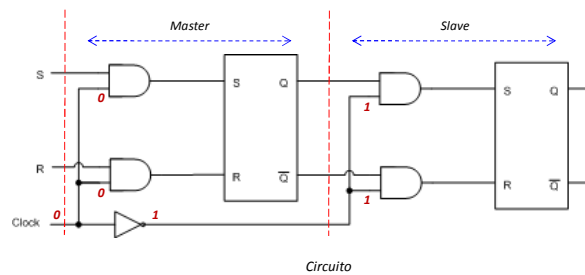


Circuitos sequenciais

24

- Funcionamento:

- Quando o relógio mudar para 0, a informação que estava no Master passa para o Slave, através das portas AND do Slave que se abrem, ficando as portas AND do Master fechadas, impossibilitando qualquer variação nas entradas do Master.

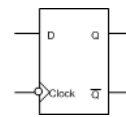
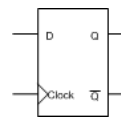
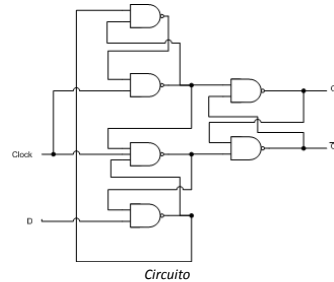


Circuitos sequenciais

25

Flip Flop D Edge Triggered

- Para termos a certeza que o flip-Flop D dispara unicamente no flanco positivo (transição de 0 para 1) ou no flanco negativo (transição de 1 para 0) foi criado o flip-flop edge triggered:
 - Flip-Flop **Positive** Edge Triggered - reage apenas à transição 0 para 1 do sinal de clock;
 - Flip-Flop **Negative** Edge Triggered - reage apenas à transição 1 para 0 do sinal de clock.



Circuitos sequenciais

26

Flip Flop D Edge Triggered com disparo no flanco ascendente

Entradas		Saída
D	Relógio	$Q^{(n+1)}$
0	↑	0
1	↑	1
0	0	$Q^{(n)}$
0	1	$Q^{(n)}$
1	0	$Q^{(n)}$
1	1	$Q^{(n)}$

Tabela de Verdade

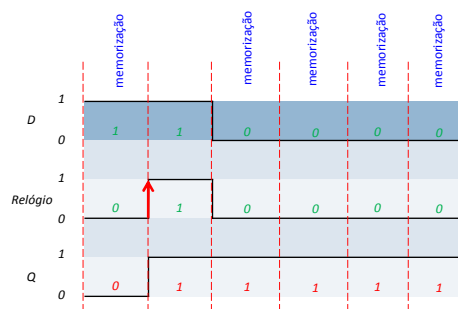


Diagrama de impulsos

Circuitos sequenciais

27

Flip Flop D Edge Triggered com disparo no flanco descendente

Entradas		Saída
D	Relógio	$Q^{(n+1)}$
0	↓	0
1	↓	1
0	0	$Q^{(n)}$
0	1	$Q^{(n)}$
1	0	$Q^{(n)}$
1	1	$Q^{(n)}$

Tabela de Verdade

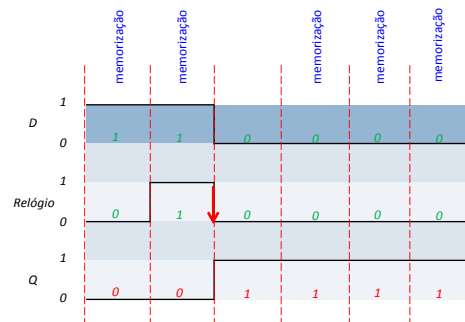


Diagrama de impulsos

Circuitos sequenciais

28

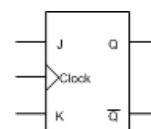
Flip Flop JK

- É um circuito com:
 - Duas entradas J e K;
 - Uma entrada de relógio;
 - Duas saídas, Q e o seu complementar.
- O Flip – Flop JK só funciona com impulso do relógio (ascendente ou descendente) e a sua tabela de verdade é idêntica à do latch SR com a diferença da combinação S=1 e R=1, que é indefinido enquanto que no JK é $\overline{Q}^{(n)}$.

Entradas		Saída
J	K	$Q^{(n+1)}$
0	0	$Q^{(n)}$
0	1	0
1	0	1
1	1	$\overline{Q}^{(n)}$

Tabela de verdade

(não está representado o sinal de clock)

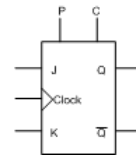


Símbolo Lógico

Circuitos sequenciais

29

- Funcionamento:
 - Normalmente este Flip – Flop possui outras duas entradas **Preset** e **Clear** que se sobrepõem às entradas J, K e clock;
 - Logo que a entrada Preset for a zero, a saída Q toma o valor 1, independentemente do valor lógico de J, K e clock;
 - Logo que a entrada Clear for a zero, a saída Q toma o valor 0, independentemente do valor lógico de J, K e clock;
 - Apenas quando as entradas Preset e Clear tiverem ambas o valor lógico 1, então as entradas J, K e Clock já podem operar normalmente.



Símbolo Lógico

Entradas				Saída
P	C	J	K	$Q^{(n+1)}$
1	0	x	x	1
0	1	x	x	0
1	1	0	0	$Q^{(n)}$
1	1	0	1	0
1	1	1	0	1
1	1	1	1	$\overline{Q}^{(n)}$

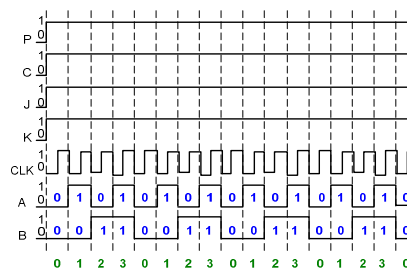
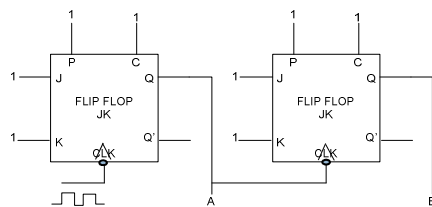
Tabela de verdade

(não está representado o sinal de clock)

Circuitos sequenciais

30

- Exemplo de aplicação de um flip – flop JK:
 - Contador de 0 até 3
 - A saída Q do primeiro flip – flop serve de sinal de clock do segundo flip – flop JK



Circuitos sequenciais

31

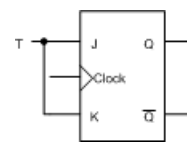
Flip Flop T

- É um circuito com:
 - Uma entrada T;
 - Duas saídas, Q e o seu complementar.
- O Flip – Flop T constrói-se unido as duas entradas do Flip – Flop JK;

Entradas	Saída
T	$Q^{(n+1)}$
0	$Q^{(n)}$
1	$\overline{Q}^{(n)}$

Tabela de verdade

(não está representado o sinal de clock)



Símbolo Lógico

Circuitos sequenciais

32

- Exemplo de aplicação de um latch T:
 - Divisor de onda
 - A saída Q do primeiro latch serve de sinal entrada do segundo latch JK
 - Não tem sinal de relógio

