Alunos: Bruno Rocha Ribeiro e Cristhian Sala Minoves

## Parte I

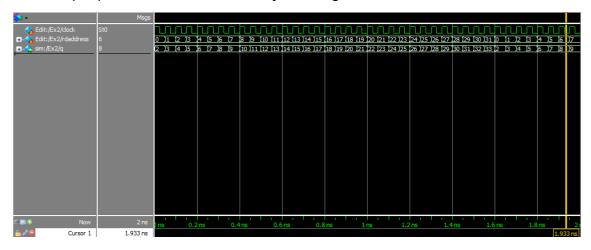
Na implementação da memória, foi seguido o passo a passo disponibilizado, com capacidade de 32 palavras de oito bits. Nos dois primeiros espaços de memória foram escritos os números 2 e 3, referentes a posição de chamada da dupla, como é possível ver na simulação abaixo.



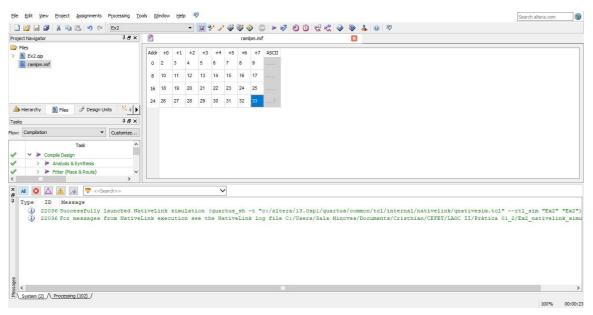
Note que nos dois primeiros pulsos de clock, o wren está ativo, possibilitando a escrita na memória, enquanto o endereço da memória alterna entre as duas primeiras posições. Nos dois pulsos seguintes, o wren está desativado, possibilitando a leitura de memória, novamente, das duas primeiras posições de memórias, portanto, as saídas estão se alternando entre os valores de 2 e 3, sendo na parte de escrita nos dois primeiros pulos e na leitura nos dois seguintes.

## Parte II

Nessa etapa, novamente, foi seguida o tutorial disponibilizado, na parte V, criando uma memória diferente, com entradas separadas para escrita e a leitura, que pode ser vista na simulação a seguir.



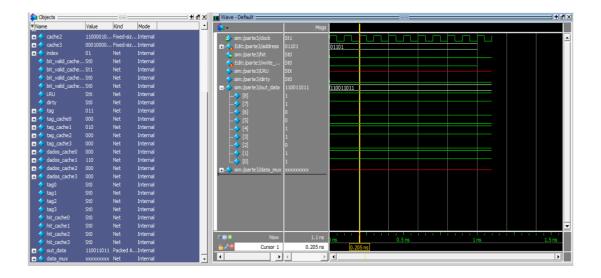
Note que, diferentemente da parte I, não existe uma onda para inserção de dados nem o wren, para permitir essa operação. Isso ocorre porque essa memória já está sendo iniciada previamente, por meio do arquivo ramlpm.mif, como orientado no tutorial.



Por fim, os números se iniciam em 2 e 3(números da chamada) e seguem numa contagem até 33, onde atinge o limite da memória.

## Parte 3

Nessa ultima etapa, deveríamos implementar uma cache associativa por conjunto de 4 vias, sendo que deveríamos ter considerando todos os casos de acerto e de falha. Porém, tivemos alguns problemas durante a implementação e infelizmente o arquivo teste não funcionou totalmente para as saídas selecionadas.



Conforme o print da simulação e com o arquivo enviado juntamente para avaliação, é possível notar que tivemos alguns erros, principalmente com a leitura do arquivo. Consideramos todos os bits de LRU, Dirty e Válido.