8237A El controlador 1

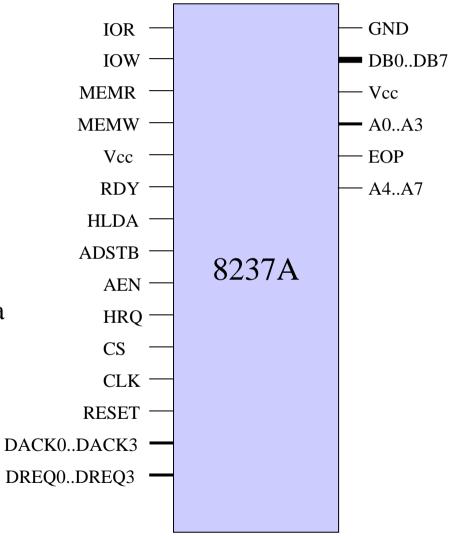
Características

- Permite realizar transferencias desde
 - dispositivos de I/O a memoria
 - memoria a dispositivos de I/O
 - memoria a memoria
- Frecuencia de funcionamiento de 6 Khz
- Hoy en día no es necesario su uso. Se mantiene por copatibilidad
- Necesario para las transferencias de datos desde o hacia unidades de disketes

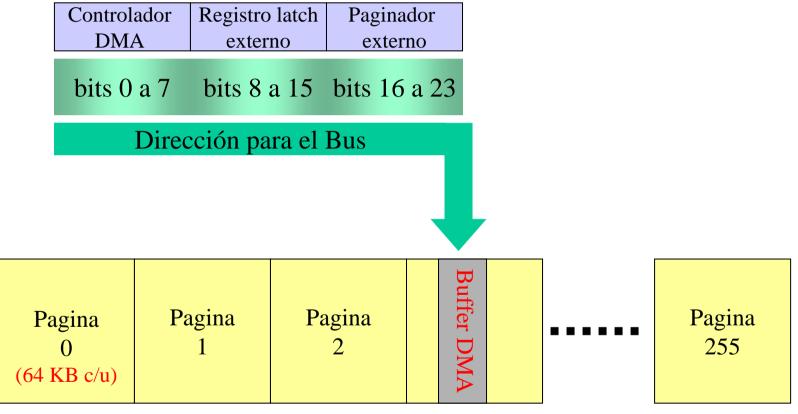
Arquitectura del DMA



- Sólo un canal puede estar activo
- 2 esquemas de prioridades
 - Fija : canal 0 prioridad mas alta canal 3 prioridad mas baja
 - rotativa : las prioridades rotan entre los canales

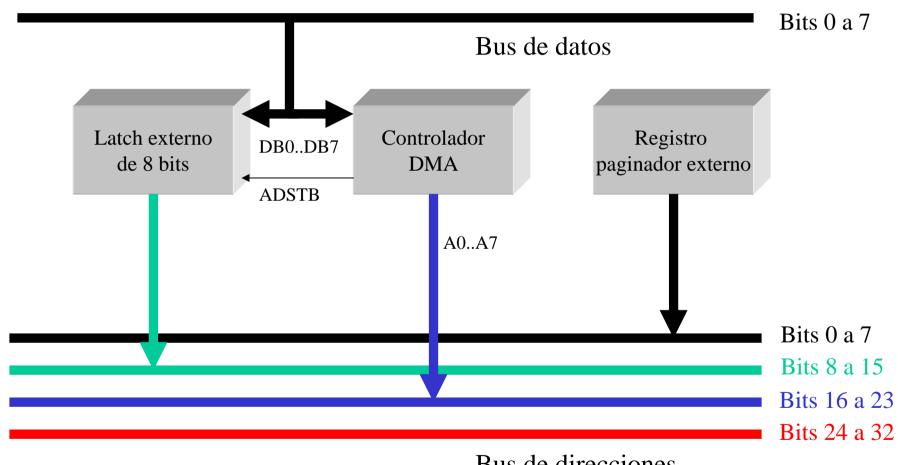


Generación de direcciones



0 Bytes 16 MBytes

Esquema de conexionado



Bus de direcciones

dma address

dma count

dma_page

Dirección de comienzo de transferencia DMA

Cantidad de bytes (palabras) a transferir

Página de memoria de la dirección

dma status

dma_command

dma_request

dma_chmask

dma mode

dma_flipflop

dma_masterclr

dma_temp

dma_maskclr

dma_mask

Registro de estado

Registro de comando

Disparar DMA-Request

Enmascarar canales

Modo transferencia

Flipflop carga de dirección

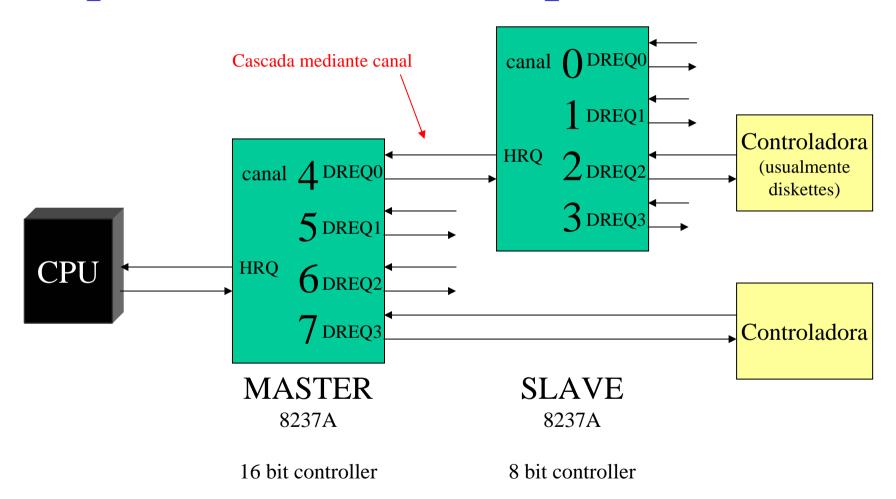
Reponer controlador

Registro temporal

Liberar todos canales

Enmascarar todos canales

Arquitectura DMA ampliada



Dirección de inicio

Dirección inicio 0 : 00h - C0h

Dirección inicio 1:02h - C4h

Dirección inicio 2:04h - C8h

Dirección inicio 3:06h - CCh

Carga una dirección de 16 bits en 2 registros de 8 bits como sigue:

Out 0Ch, 0 ; resetea el Flip Flop de byte-palabra

Out C4h, lo ; carga el registro latch externo

; setea el Flip Flop de byte palabra

Out C4h, hi ; carga el registro de dirección del DMA

Contador

Contador 0:01h - C2h

Contador 1:03h - C6h

Contador 2:05h - CAh

Contador 3:07h - CEh

Carga la longitud de la transferencia

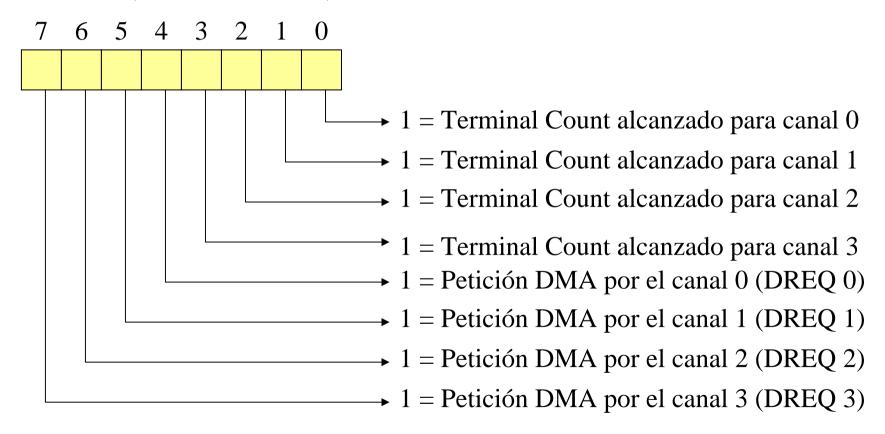
Out 0Ch, 0 ; resetea el Flip Flop de byte-palabra

Out C6h, lo ; carga parte baja de la cuenta

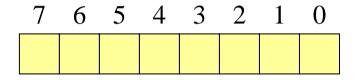
; setea el Flip Flop de byte palabra

Out C6h, hi ; carga la parte alta de la cuenta

Estado (08h - 0D0h)



Comando (08h - 0D0h)



0 : Tipo de transferencia

0 = mem-disp

1 = mem-mem

1 : fin transf mem-mem en canal 0

0 = canal recorre memoria

1 = canal detenido

2 : estado del controlador

0 = controlador activado (PC)

1 = controlador desactivado

3 : acceso comprimido

Programación en Ensamblador Ing. Marcelo Tosini - 2001 4 : formación de prioridades

0 =estáticas

1 = rotativas

5 : duración del write-signal

0 = tarde

1 = alargado

6: nivel DRQx

0 = petición si línea actica

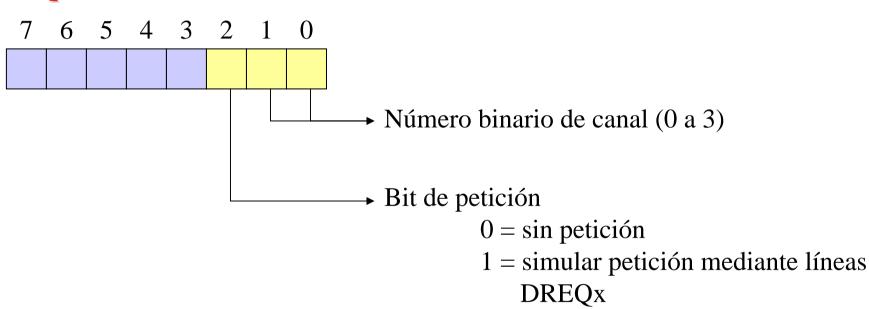
1 = petición si línea no activa

7: nivel DACKx

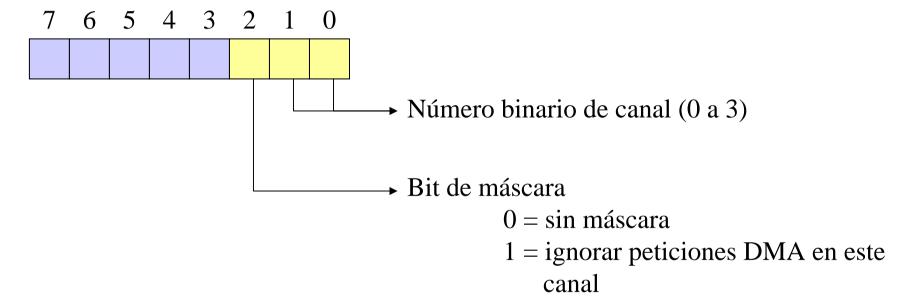
0 = confirmación activa

1 = confirmación no activa

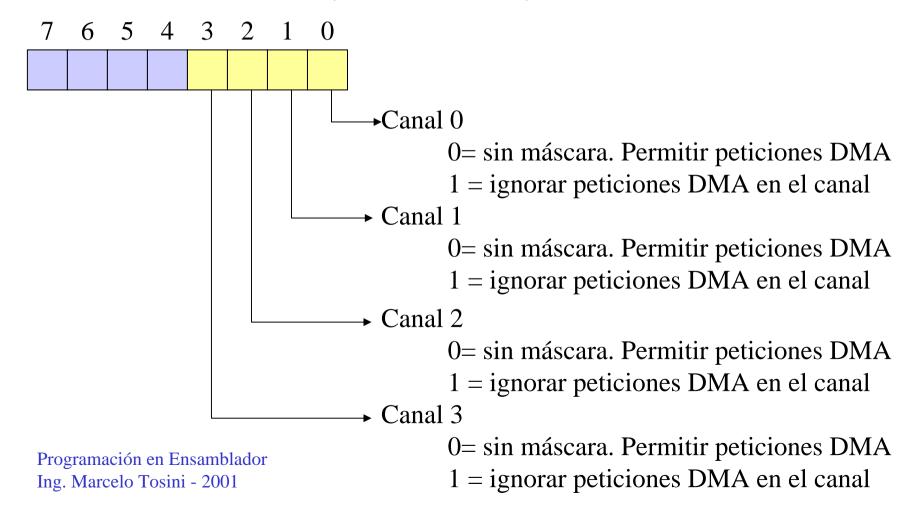
Request (09h - 0D2h)



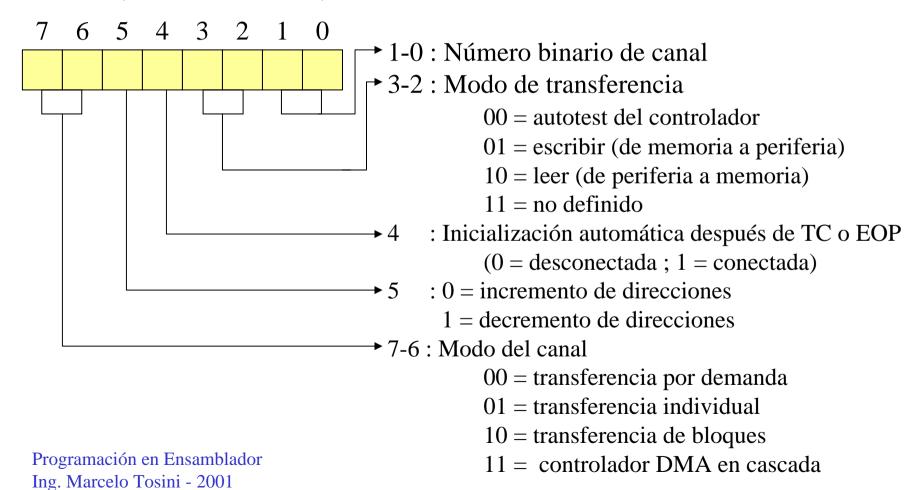
Enmascaramiento 1 (0Ah - 0D4h)



Enmascaramiento 2 (08h - 0D0h)

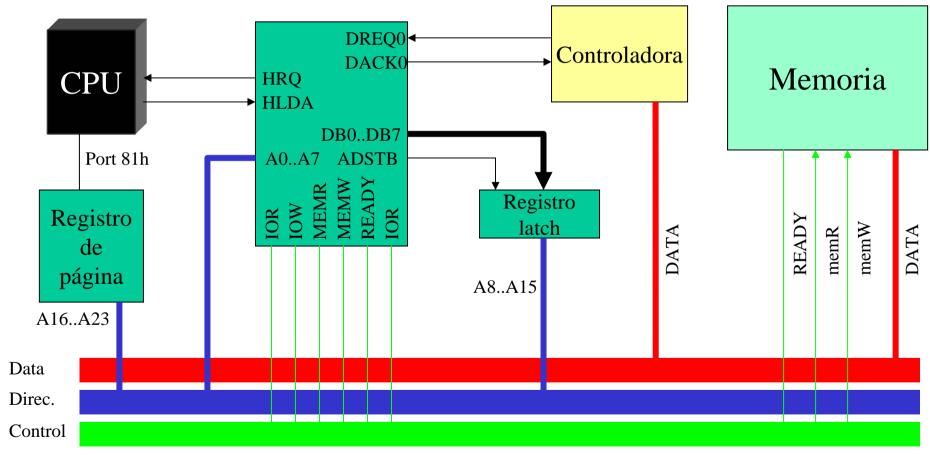


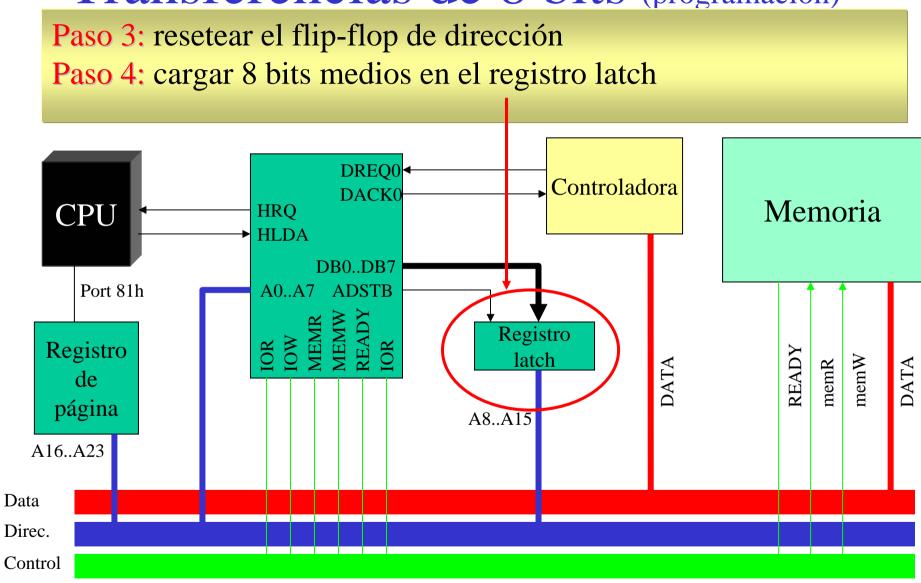
Modo (0Bh - 0D6h)



Paso 1: bloquear el puerto DMA correspondiente

Paso 2: convertir dirección de memoria al formato: Rdma, Rext, page



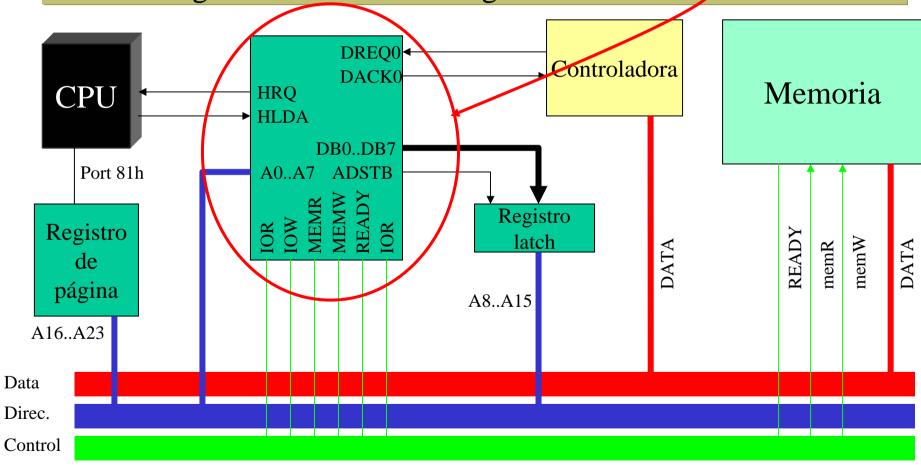


Paso 5: cargar 8 bits bajos en reg. de dirección del DMA Paso 6: cargar 8 bits altos en reg. de página correspondiente **DREQ**0 Controladora DACK0 Memoria **CPU HRO HLDA DB0..DB7** Port 81k **ADSTB** A0..A7 IOW MEMR Registro Registro READY memW latch memR DATA de página A8..A15 A16..A23 Data Direc. Control

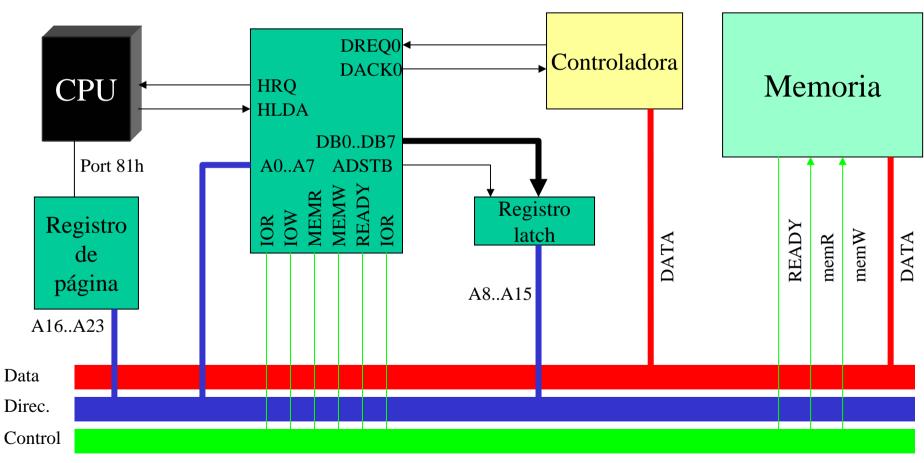
Paso 7: resetear el flip-flop de cuenta

Paso 8: cargar 8 bits bajos en el registro contador

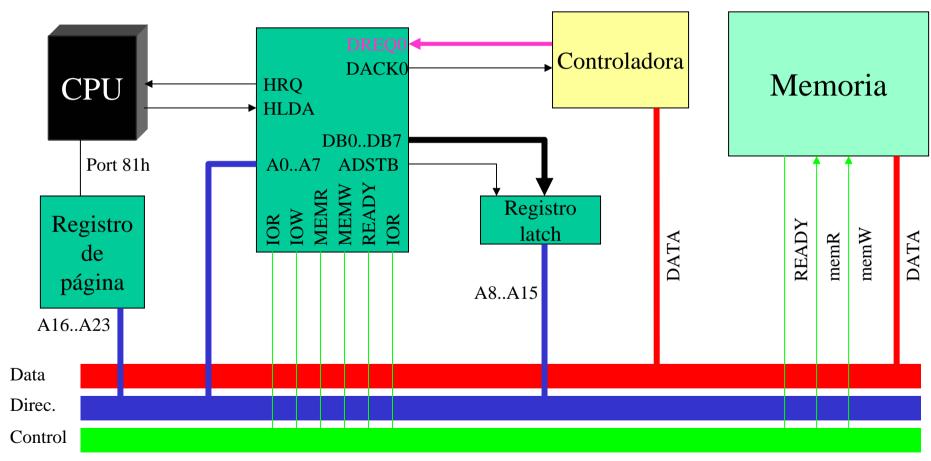
Paso 9: cargar 8 bits altos en el registro contador



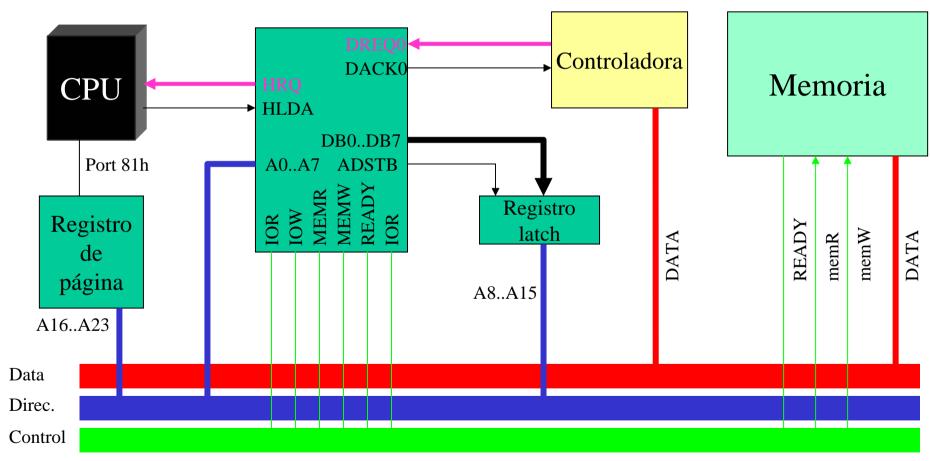
Paso 10: activar el puerto DMA correspondiente



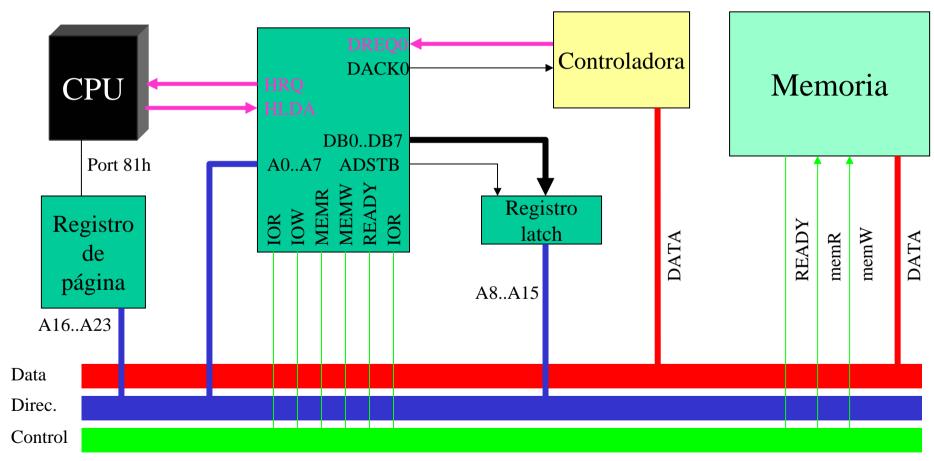
Paso 1: El dispositivo colgado al canal programado envía una petición por el DREQx correspondiente



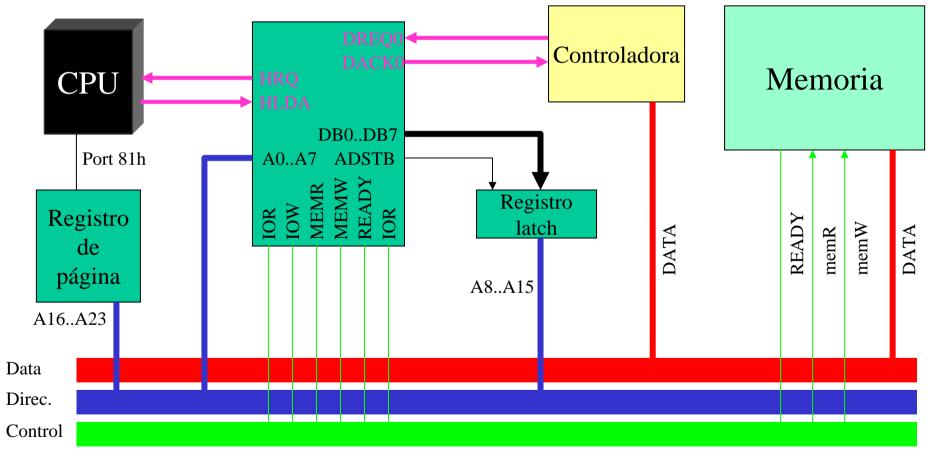
Paso 2: El controlador DMA solicita el uso del bus a la CPU a través de HRQ



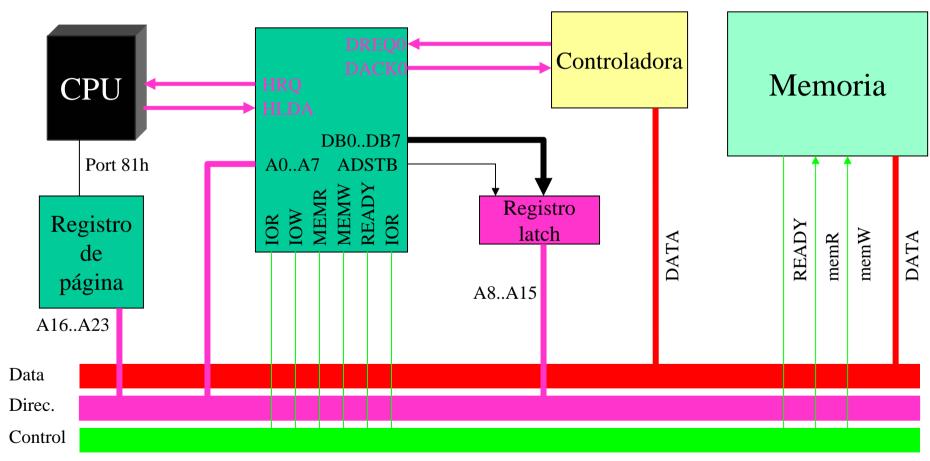
Paso 3: Cuando la CPU libera el BUS avisa al controlador DMA a través de HLDA



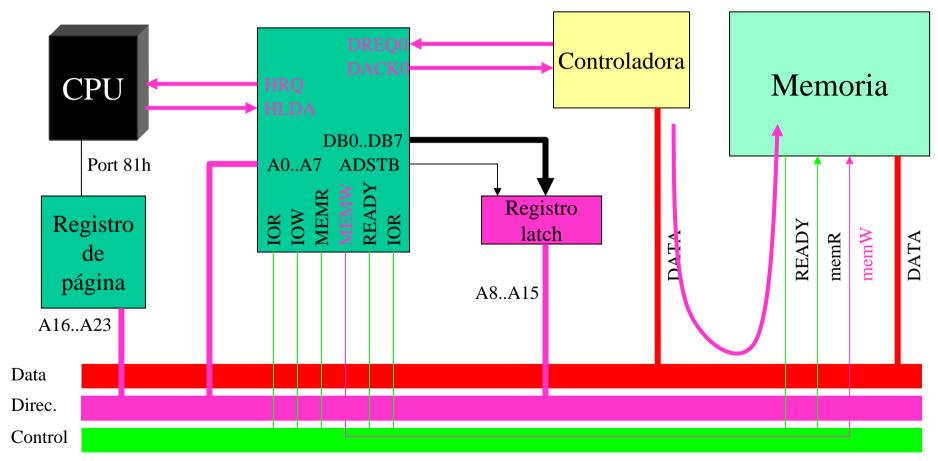
Paso 4: El controlador DMA avisa al dispositivo que puede iniciar la transferencia ya que el bus es del DMA



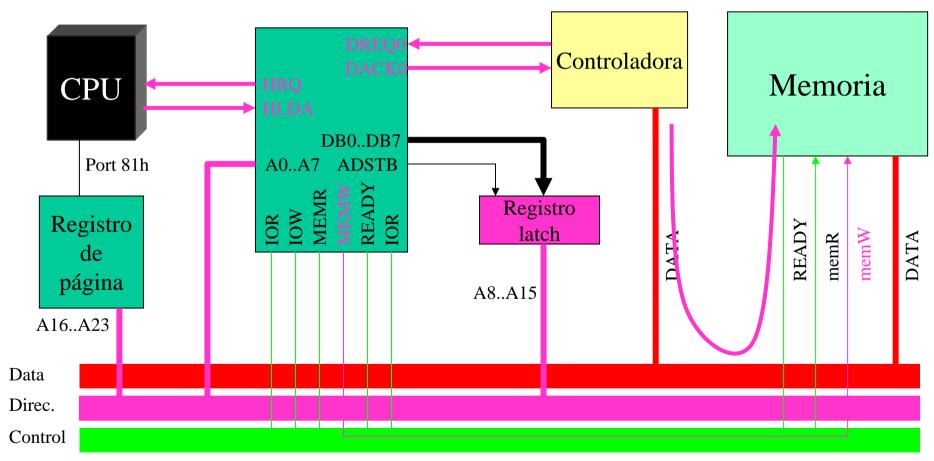
Paso 5: El DMA avisa al registro de página y al registro latch que pongan sus contenidos en el bus de direcciones



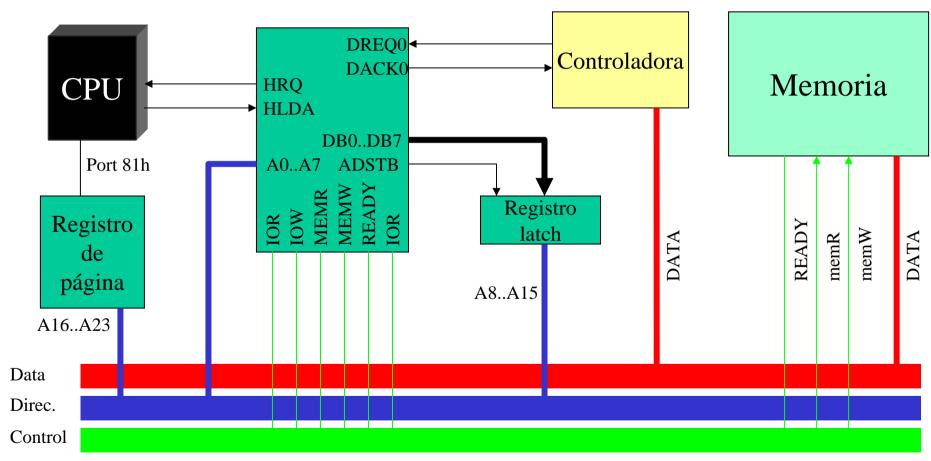
Paso 5: El DMA activa la memoria para escritura (memW) y avisa al controlador que puede enviar un byte del bloque



Paso 6: El proceso se repite hasta que el contador llegue a FFFFh En cada paso de incrementa o decrementa la dirección de RAM

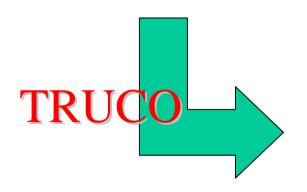


Paso 7: El DMA avisa al registro de página y al registro latch que pongan sus contenidos en el bus de direcciones



Transferencias de 16 bits

- Usualmente se usa el controlador DMA maestro para las transferencias de 16 bits en tanto que el esclavo se usa para 8 bits
- El DMA maestro es igual al esclavo



Se conectan los bits de dirección del maestro desplazados un lugar en el bus de direcciones, para referenciar palabras en lugar de bytes