

EXAMEN #1



Maestría en Ingeniería Eléctrica especialización Telecomunicaciones

Diseño Digital

Modulo UART con Baudrate Variable

EXAMEN #1

Tabla de contenido

Descripción	3
Recepción de Trama UART	4
Configuración Baudrate.....	5
Diseño de Modulo	6
Diseño Prescaler	6
Diseño Baudrate.....	6
Diseño Modulo Rx	7
Diseño Modulo Tx	7
Diseño Full Dúplex UART	8
Diseño Top Module UART “ARQUITECTURA”	9
Pruebas	10
Prueba Funcional en Hardware	10
Modulo Prescaler	12
Modulo Baudrate	12
Modulo Rx	13
Modulo Tx	14
Modulo Full Duplex UART	15
Modulo Top UART	16
Conclusiones	17
Referencias	18

EXAMEN #1

Descripción

El sistema se conforma por un generador de Baudrate variable a 9600, 57600 y 115200. Esta configuración se realiza mediante los Swich SW[9:8] donde 00, es 9600, 01 es 57600 y 11 es 115200. Una vez seleccionado el Baudrate el Modulo Uart esta en modo de espera, puede transmitir o recibir cualquier cosa, solo que en este diseño en particular para poder transmitir algo, primero necesita recibirlo en Rx y después presionando el botón Key0 se transmite por Tx.

Como se muestra el flujo de pasos a realizar en el diagrama de la **figura 1** que explica a grandes rasgos la aplicación.

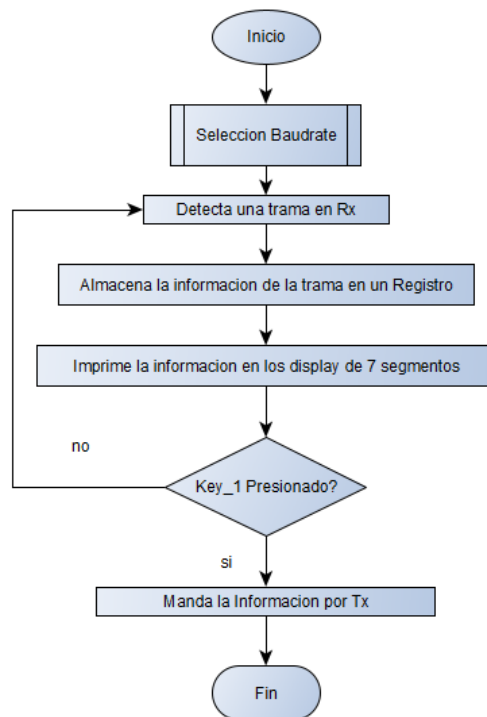
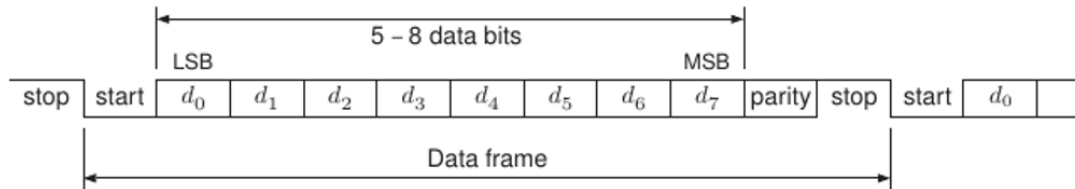


Fig. 1 Secuencia Top_Module

EXAMEN #1

Recepción de Trama UART



La recepción de una trama de UART RS-232 consta de algunos pasos para poder muestrear correctamente la trama entrante sin tener pérdidas de datos.

La primera parte es necesario detectar el bit start, y empezar a contar cuantos pulsos tendremos por cada bit en la trama de d_0 a d_7 , una vez detectando que son los 7 bits de datos, detectamos el bit de paridad y el de stop. Definiendo cada uno en la maquina de estados de envio

Para la detección del Bit start fue necesario declarar la estructura de 2 registros, para que en cuanto la señal cambie de estado alto a bajo detecte que hay una señal nueva entrante de RX.

La cuenta de bits de datos se incrementa cada que la trama detecta un bit nuevo recibido y estos bits se almacenan en un buffer llamado *no_bits_rcvd* donde es una cuenta en total de los bits recibidos en la trama.

Los datos recibidos del Rx se van almacenando en un buffer llamado *r_buffer* para almacenar cada bit recibido.

11 bits transmitidos es el tamaño de una trama, cuando se llega al bit 9 y solo cambio el bit 9 entonces se determina que cambio la paridad y se manda una bandera llamada, *parity_error*.

Se manda una bandera llamada *frame_error* cuando el tamaño del buffer de datos recibidos no es 10.

Se manda una bandera llamada *r_ready* alertando que tenemos una trama lista para almacenar, en *r_data* un buffer que con un latch se va a una memoria externa.

EXAMEN #1

Configuración Baudrate

Es el número de símbolos por segundo que una señal puede transmitir, un baudio puede contener vario bits.

La generación de la señal deseada para la transmisión del Baudrate es lo fundamental para poder tener una transmisión exitosa por UART, sin embargo no es nada fácil.

Por parte del Receptor la señal se tiene que muestrear por lo menos 16 veces la frecuencia de la señal a recibir para poderla muestrear correctamente sin errores es decir dividir un bit de la trama en 16 para poderlo leer correctamente y evitar tener información corrupta.

$$\frac{f_{oscilador}}{2 \times 16 \times \text{bauds}} \rightarrow \text{Freq muestreo Rx}$$

Las frecuencias de operación necesarias para las transmisiones requeridas son

9600 baud/s \rightarrow 104Us x Símbolo

57000 baud/s \rightarrow 17.5uS x Símbolo

115200 baud/s \rightarrow 8.6uS x Símbolo

Por lo tanto el número de cuentas a realizar para cada uno de los preescallers sería la división de la Freq_CLK/ Bauds

Para 9600 se requieren 1041 cuentas a una CLK de 10Mhz

Para 57000 se requieren 175 cuentas a una CLK de 10Mhz

Para 115200 se requieren 86.80 cuentas a una CLK de 10Mhz

O

Para 9600 se requieren 5208 cuentas a una CLK de 50Mhz

Para 57000 se requieren 877 cuentas a una CLK de 50Mhz

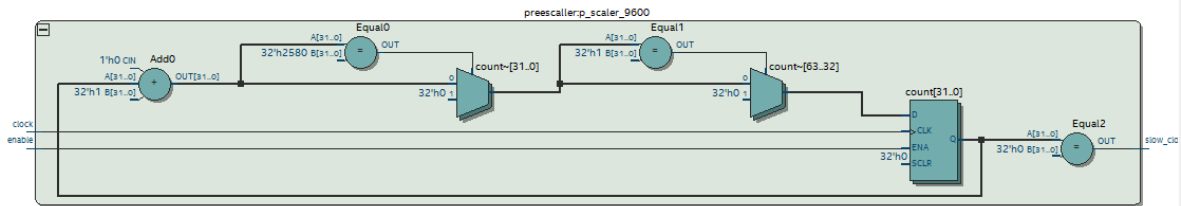
Para 115200 se requieren 434 cuentas a una CLK de 50Mhz

EXAMEN #1

Diseño de Modulo

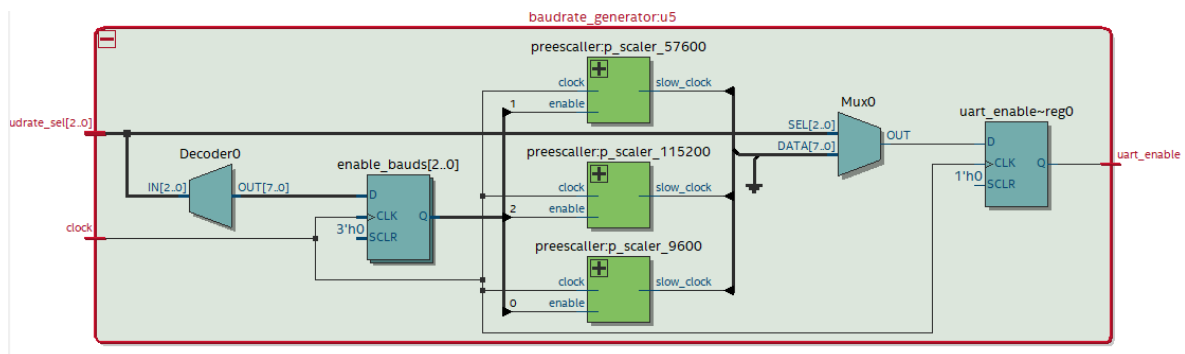
Diseño Prescaler

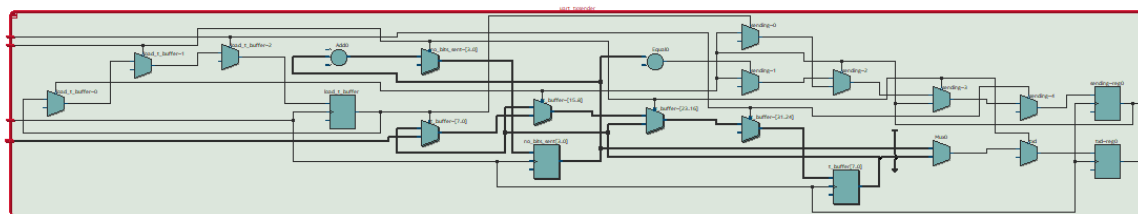
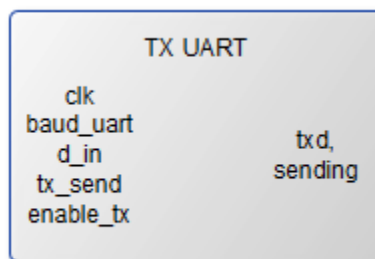
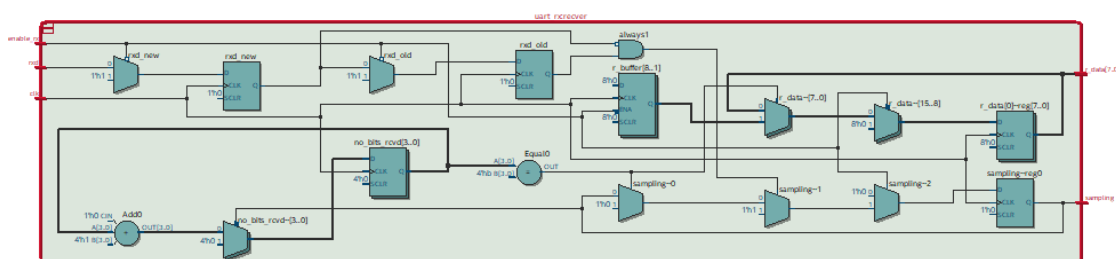
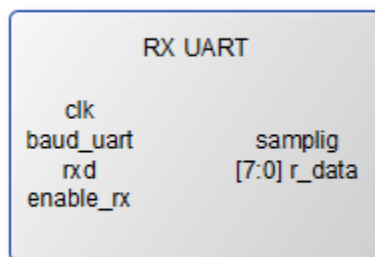
El prescaler es el dispositivo que cuenta la señal del reloj principal y la ajusta a una velocidad tal que se necesite con ayuda de contadores de diferentes bits.



Diseño Baudrate

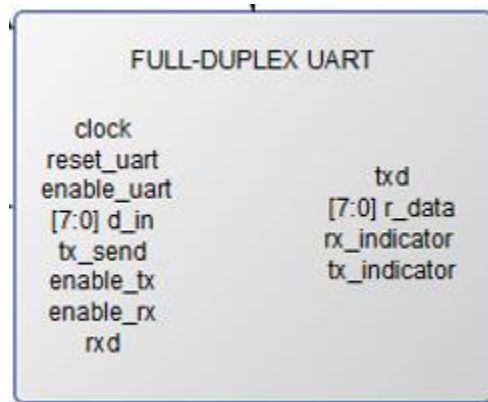
El generador de Baudrate es el que toma la señal del Reloj principal para ajustarla y sincronizarla a la velocidad de comunicación Uart, este módulo maneja una selección de 2 bits con switch externos para seleccionar a qué velocidad podemos transmitir y recibir información.



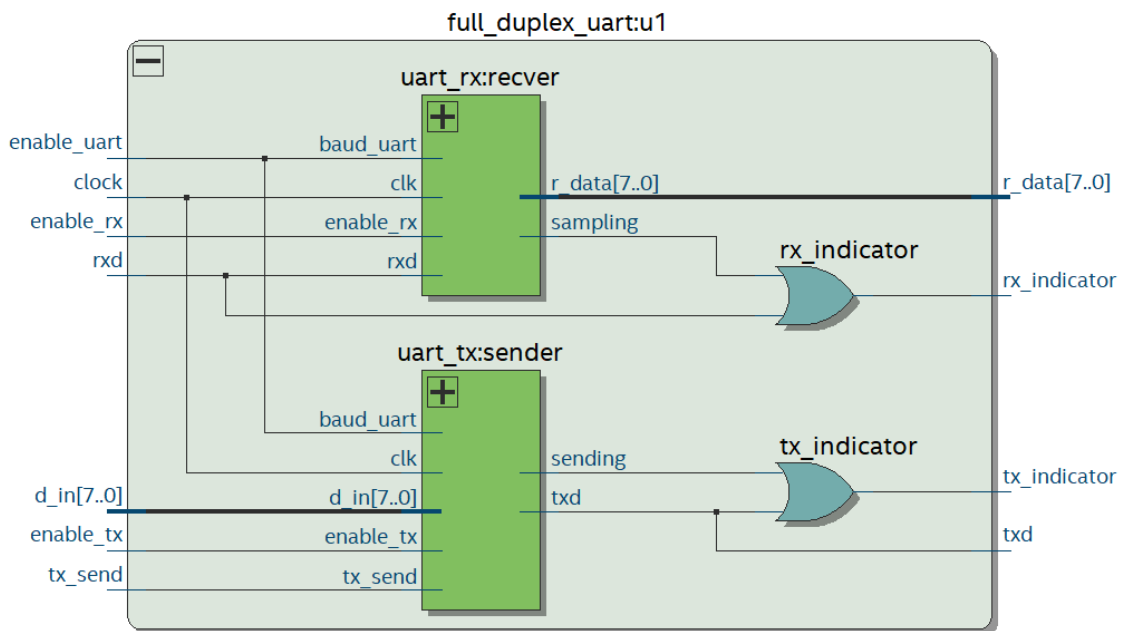


EXAMEN #1

Diseño Full Dúplex UART

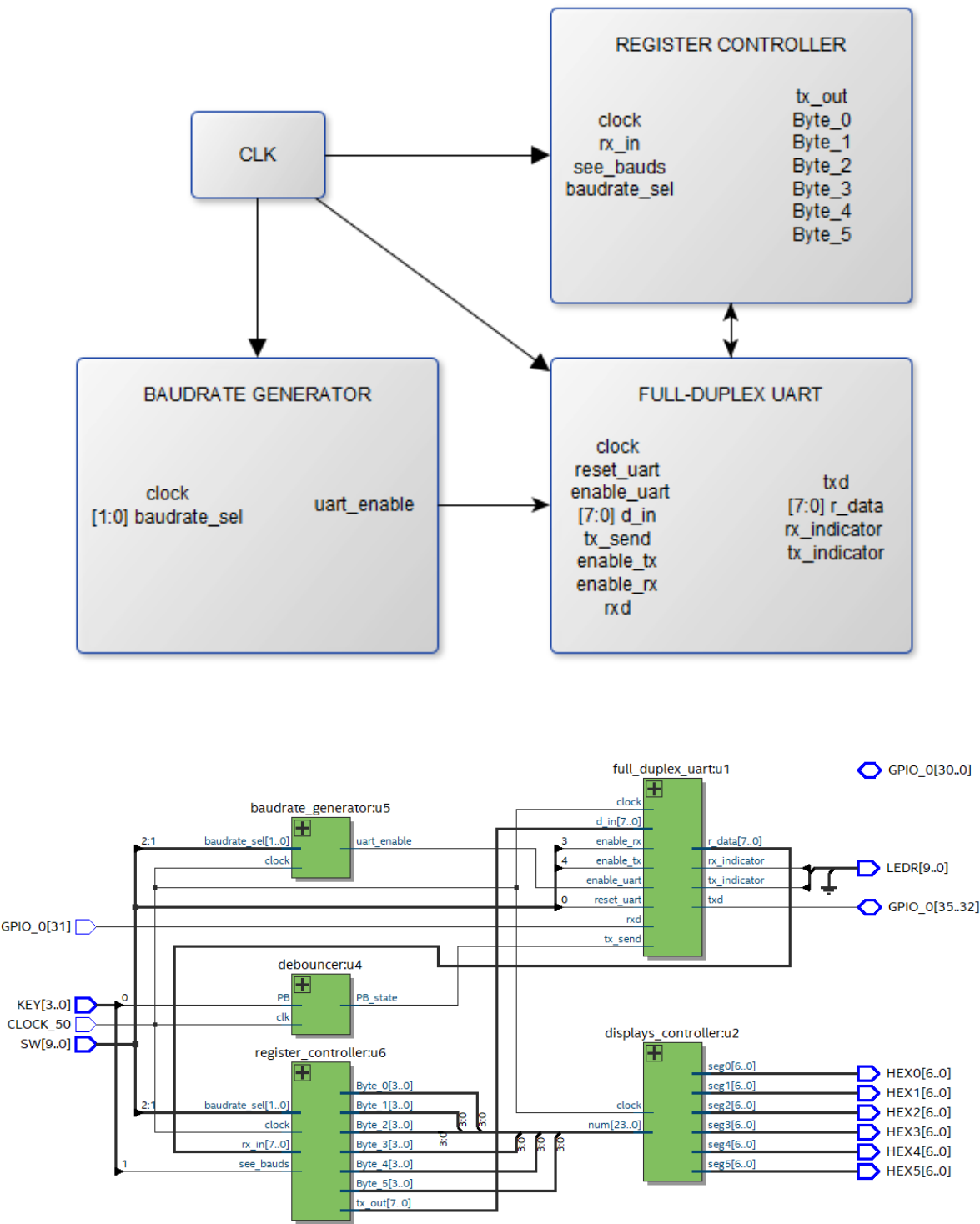


En esta parte del diseño esta arquitectado todo el UART Full Dúplex, con los módulos requeridos para su correcto funcionamiento para envío de ráfagas de tramas o solo una trama para su presentación demo. Se agrego un modulo extra que es el de Memoria para recibir momentáneamente el byte que se recibe en la trama y almacenarlo para mostrarlo y transmitirlo de regreso.



EXAMEN #1

Diseño Top Module UART "ARQUITECTURA"



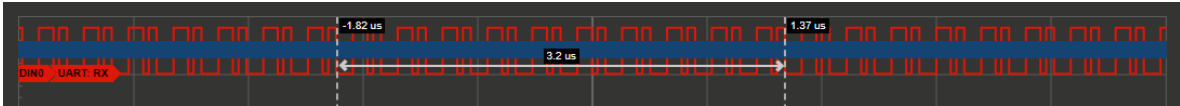
EXAMEN #1

Pruebas

Prueba Funcional en Hardware



Salida Tx del analizador lógico.



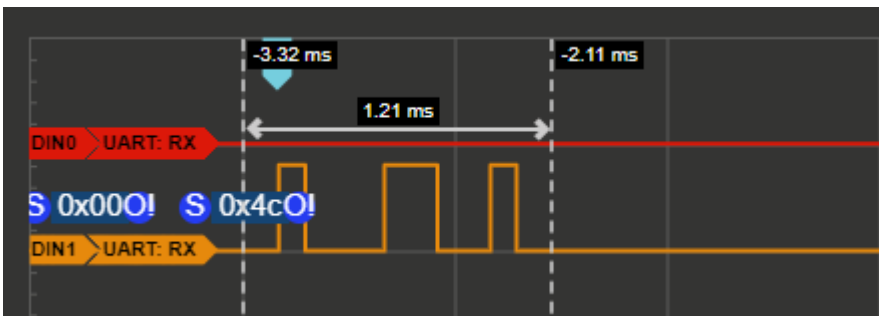
Entradas RX, enviando directamente del usb-ttl



Mandando un cero en ASCII y un 0x60



Mandando una G en ASCII



MSB primero.

75	4B	K
76	4C	L
77	4D	M

Mandando un C mayúscula

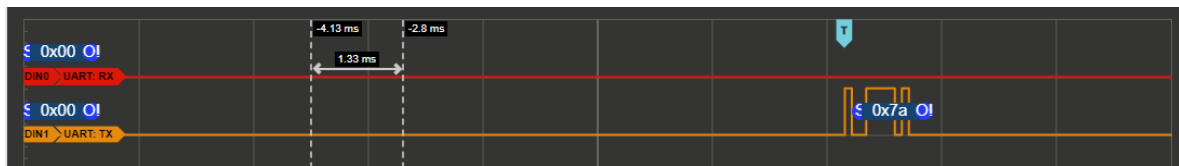
EXAMEN #1



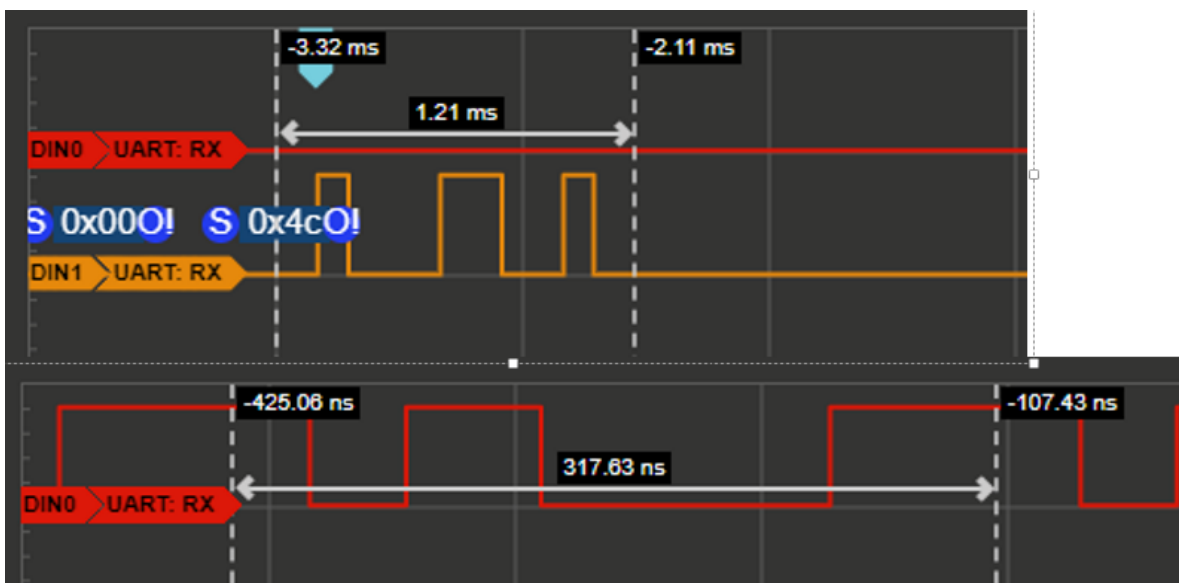
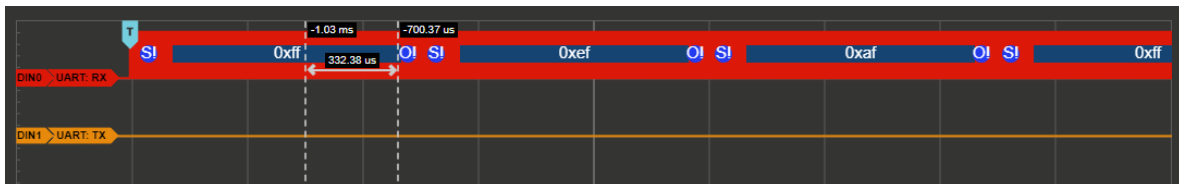
93	5D]
94	5E	^
95	5F	_

O

120	78	x
121	79	y
122	7A	z
123	7B	{



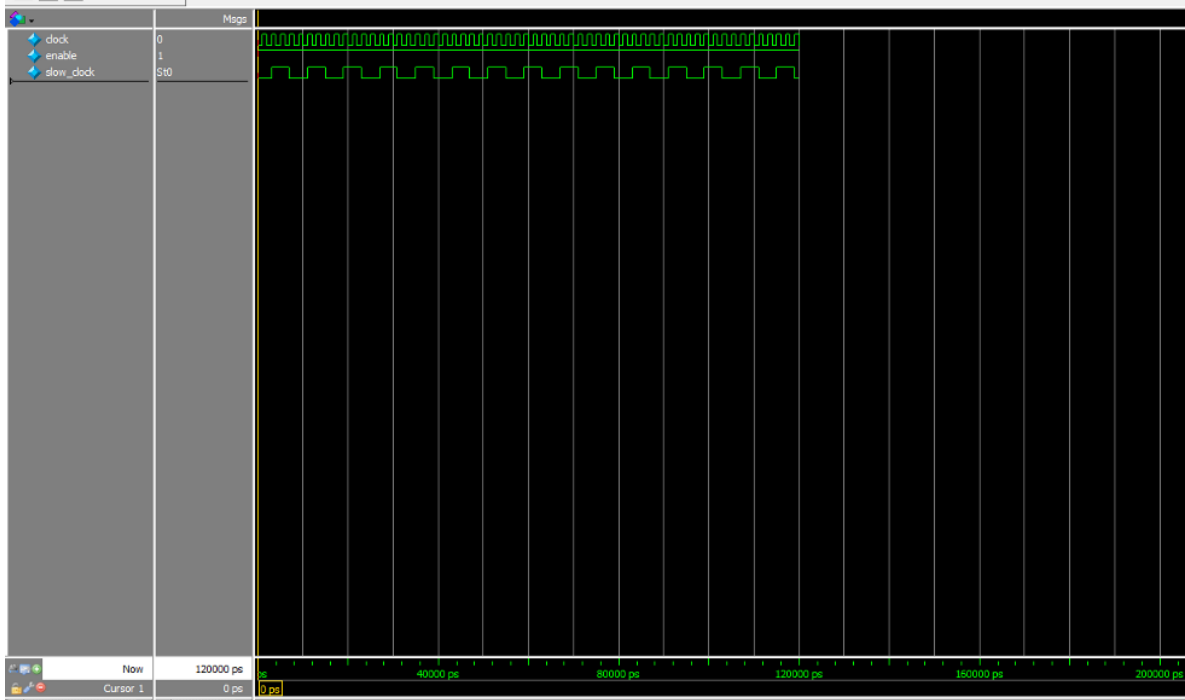
Con lo que manda el TX



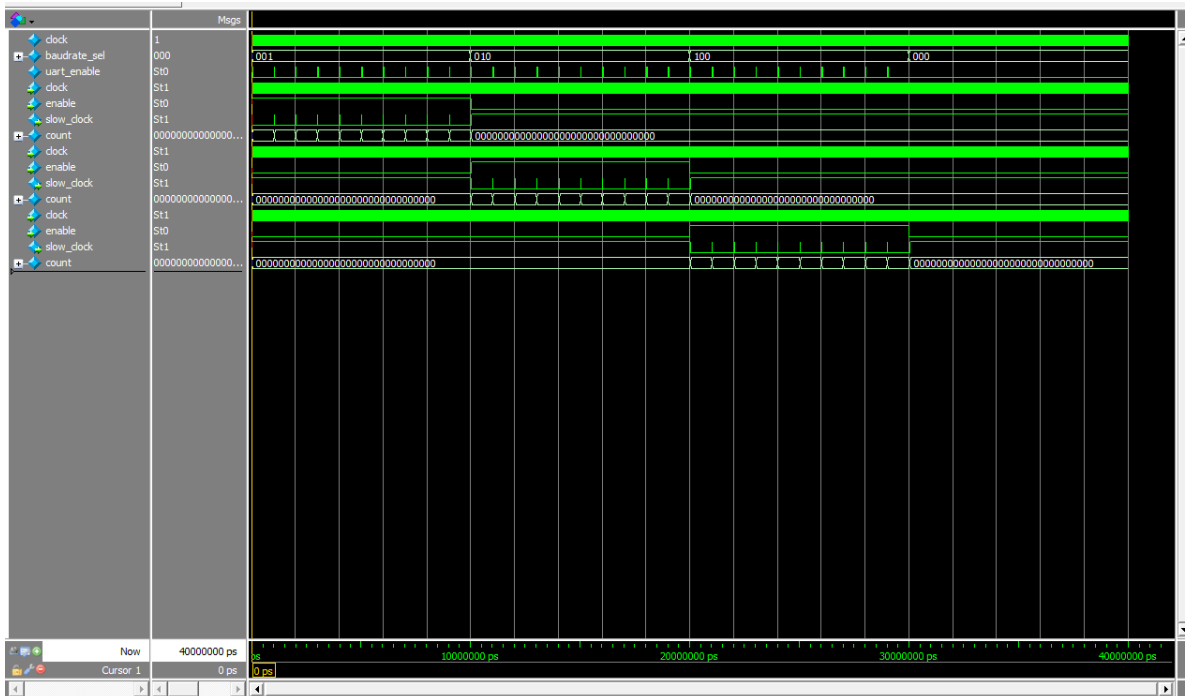
Esto es lo que necesito ajustar para que el modulo UART se comunice con el Tx diseñado.

EXAMEN #1

Modulo Prescaler

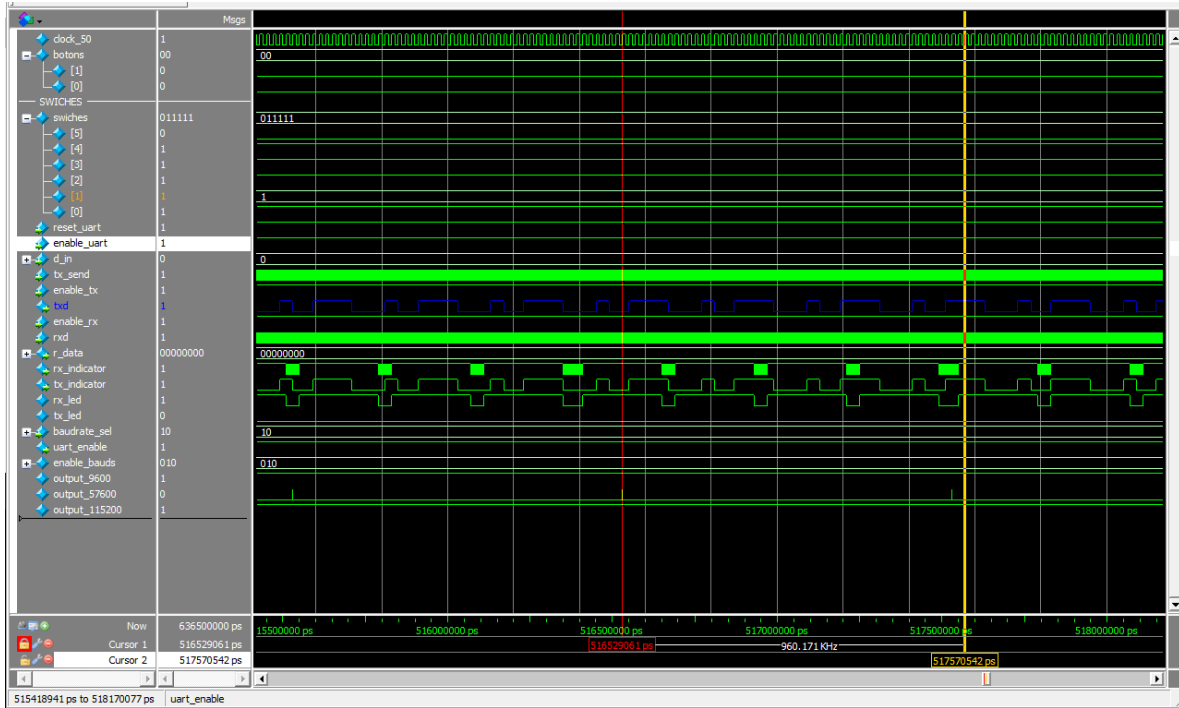


Modulo Baudrate



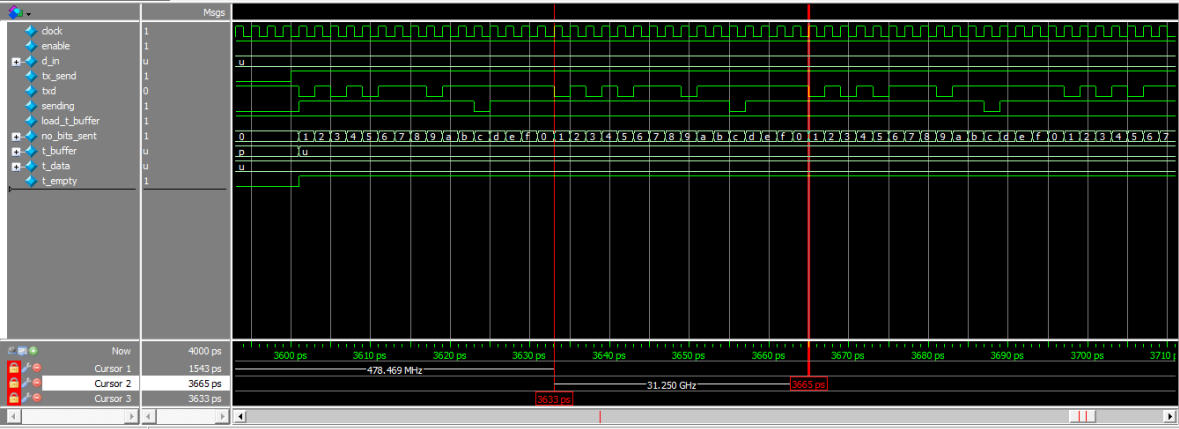
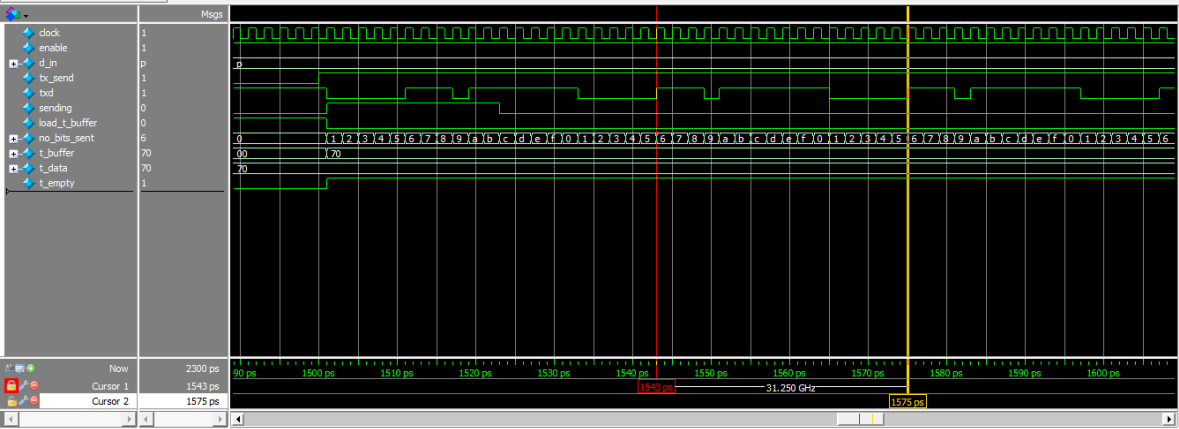
EXAMEN #1

Modulo Rx



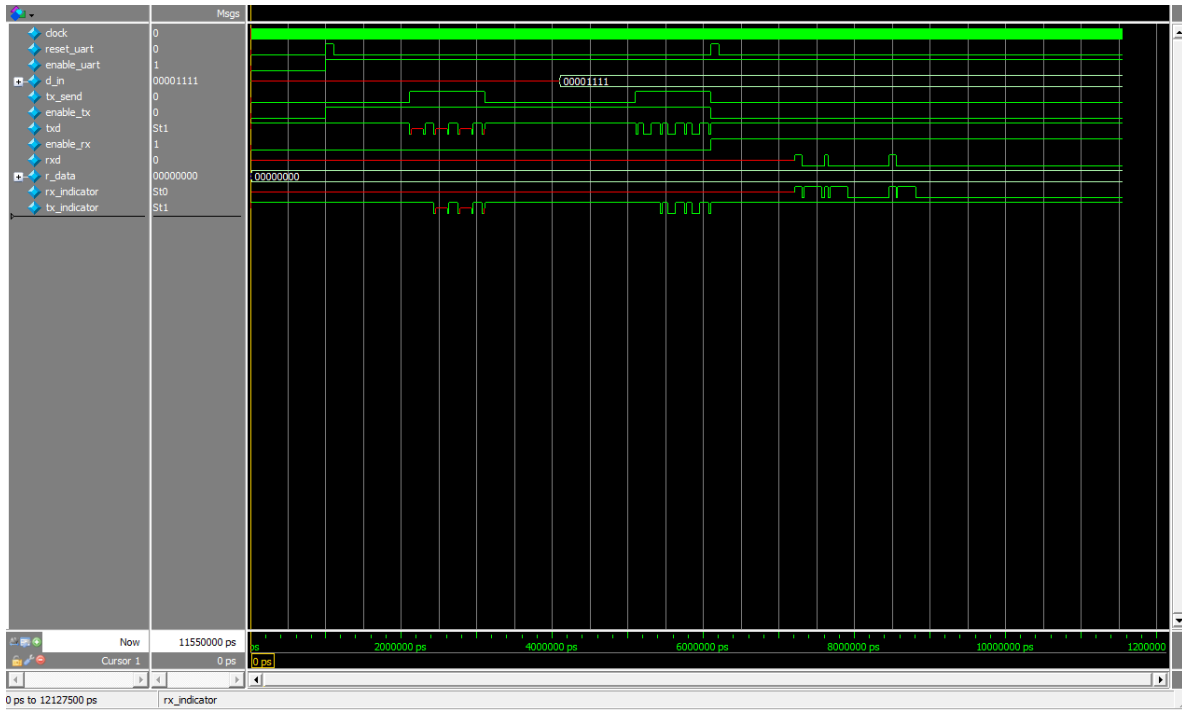
EXAMEN #1

Modulo Tx



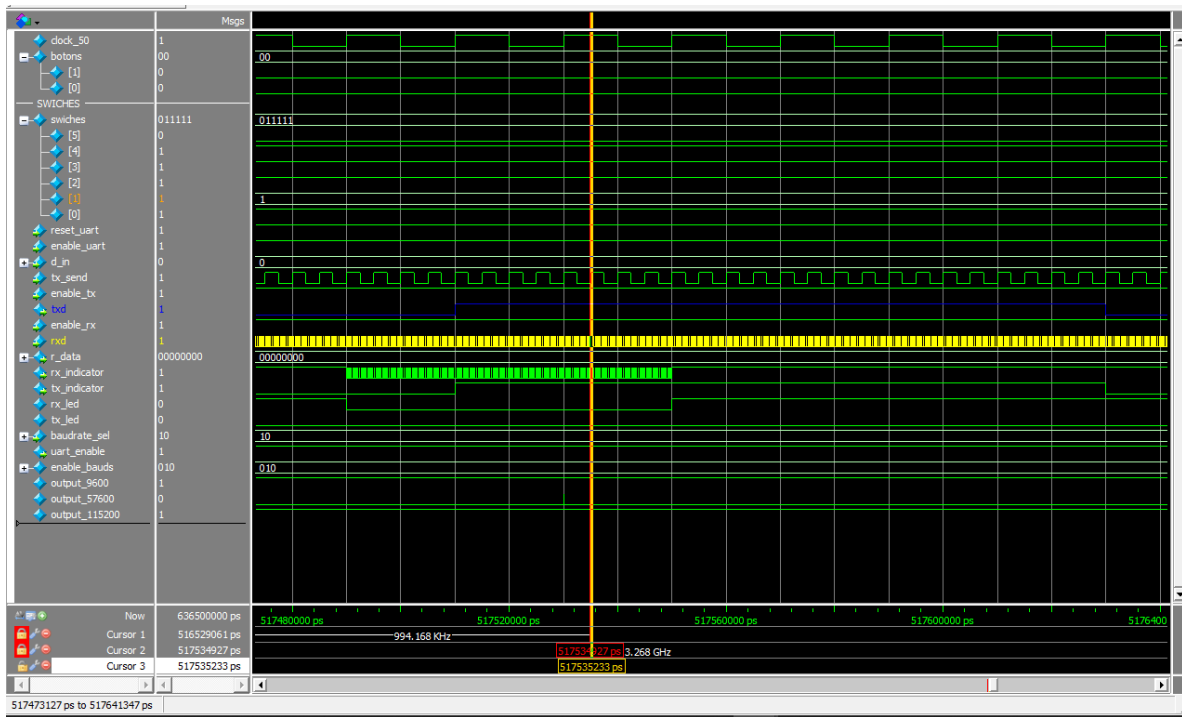
EXAMEN #1

Modulo Full Dúplex UART



EXAMEN #1

Modulo Top UART



EXAMEN #1

Conclusiones

El desarrollo de un Hardware necesita su planeación anticipada y estrictamente seguir con el plan de diseño y desarrollo ya que se puede prolongar su desarrollo si no se establece bien que hay que desarrollar.

La Etapa del diseño de una maquina de estados es muy útil ya que es una herramienta que facilita la abstracción de pasos a realizar por el hardware en solo un diagrama de estados.

La distribución del Reloj en cada una de las etapas es una tarea que debe de ser calculada correctamente, debido a que puede perder fácilmente el reloj de módulos de habilitación, es necesario definir cada estado para asegurar en hardware que esta trabajando en ese momento.

EXAMEN #1

Referencias

- [1] Digital design with verilog HDL, Rajvir Singh, yatin trivedi
- [2] Verilog digital syste design register transfer level, synthesis, testbench and verification, Zainalabedin Navabi.