

Maestría en Ingeniería Eléctrica especialización Telecomunicaciones

Diseño Digital

**Modulo UART con Baudrate Variable**

Tabla de contenido

[**Descripción** 3](#_Toc98480538)

[**Recepción de Trama UART** 3](#_Toc98480539)

[**Configuración Baudrate** 3](#_Toc98480540)

[**Diseño de Modulo** 4](#_Toc98480541)

[Diseño Preescaller 4](#_Toc98480542)

[Diseño Baudrate 4](#_Toc98480543)

[Diseño Modulo Rx 5](#_Toc98480544)

[Diseño Modulo Tx 6](#_Toc98480545)

[Diseño Full Dúplex UART 7](#_Toc98480546)

[Diseño Top Module UART “ARQUITECTURA” 8](#_Toc98480547)

[**Pruebas** 9](#_Toc98480548)

[Modulo Preescaller 9](#_Toc98480549)

[Modulo Baudrate 9](#_Toc98480550)

[Modulo Rx 10](#_Toc98480551)

[Modulo Tx 10](#_Toc98480552)

[**Conclusiones** 11](#_Toc98480553)

[**Referencias** 12](#_Toc98480554)

# **Descripción**

El sistema se conforma por un generador de Baudrate variable a 9600, 57600 y 115200. Esta configuración se realiza mediante los Swich SW[9:8] donde 00, es 9600, 01 es 57600 y 11 es 115200. Una vez seleccionado el Baudrate el Modulo Uart esta en modo de espera, puede transmitir o recibir cualquier cosa, solo que en este diseño en particular para poder transmitir algo, primero necesita recibirlo en Rx y después presionando el botón Key0 se transmite por Tx.

Diagrama

Descripción generada automáticamenteComo se muestra el flujo de pasos a realizar en el diagrama de la **figura 1** que explica a grandes rasgos la aplicación.

Fig. Secuencia Top\_Module

## **Recepción de Trama UART**

Tabla

Descripción generada automáticamente

## **Configuración Baudrate**

Es el número de símbolos por segundo que una señal puede transmitir, un baudio puede contener vario bits.

# **Diseño de Modulo**

## Diseño Preescaller

El preescaller es el dispositivo que cuenta la señal del reloj principal y la ajusta a una velocidad tal que se necesite con ayuda de contadores de diferentes bits.

Interfaz de usuario gráfica

Descripción generada automáticamente con confianza media

## Diseño Baudrate

El generador de Baudrate es el que toma la señal del Reloj principal para ajustarla y sincronizarla a la velocidad de comunicación Uart, este módulo maneja una selección de 2 bits con switch externos para seleccionar a qué velocidad podemos transmitir y recibir información.

Diagrama, Esquemático

Descripción generada automáticamente

## Diseño Modulo Rx

Diagrama

Descripción generada automáticamente

Diagrama

Descripción generada automáticamente

## Diseño Modulo Tx

Diagrama

Descripción generada automáticamente

Diagrama, Esquemático

Descripción generada automáticamente

## Diseño Full Dúplex UART

En esta parte del diseño esta arquitectado todo el UART Full Dúplex, con los módulos requeridos para su correcto funcionamiento para envió de ráfagas de tramas o solo una trama para su presentación demo. Se agrego un modulo extra que es el de Memoria para recibir momentáneamente el byte que se recibe en la trama y almacenarlo para mostrarlo y transmitirlo de regreso.

Diagrama

Descripción generada automáticamente

## Diseño Top Module UART “ARQUITECTURA”

Diagrama

Descripción generada automáticamente

Diagrama, Esquemático

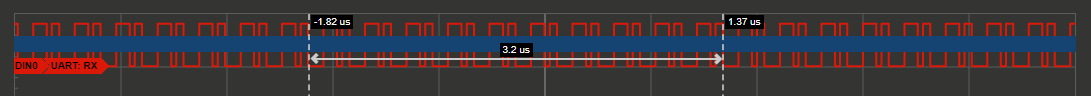
Descripción generada automáticamente

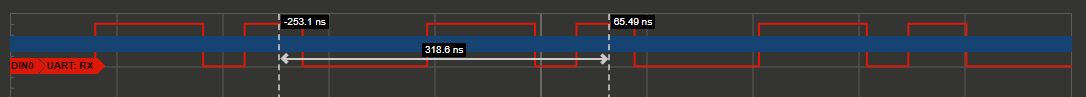
# **Pruebas**

## Prueba Funcional en Hardware



Salida Tx del analizador lógico.

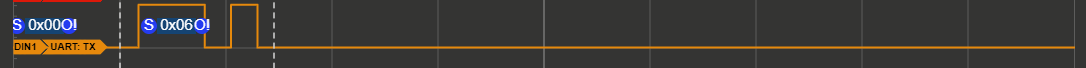




## 

Entradas RX, enviando directamente del usb-ttl



Mandando un cero en ASCII y un 0x60 

Mandando una G en ASCI

Diagrama

Descripción generada automáticamente

MSB primero.

Logotipo

Descripción generada automáticamente con confianza media

Mandando un C mayúscula

Gráfico de líneas

Descripción generada automáticamente con confianza media

Interfaz de usuario gráfica

Descripción generada automáticamente O Interfaz de usuario gráfica

Descripción generada automáticamente con confianza baja

Imagen que contiene edificio, hombre, vidrio, cuarto

Descripción generada automáticamente

Con lo que manda el TX

Escala de tiempo

Descripción generada automáticamente

Interfaz de usuario gráfica, Diagrama

Descripción generada automáticamente

Esto es lo que necesito ajustar para que el modulo UART se comunique con el Tx diseñado.

## Modulo Preescaller

Gráfico

Descripción generada automáticamente

## Modulo Baudrate

Imagen de la pantalla de un video juego

Descripción generada automáticamente con confianza media

## 

## Modulo Rx

Imagen que contiene Diagrama

Descripción generada automáticamente

## Modulo Tx

Imagen que contiene Escala de tiempo

Descripción generada automáticamente  
Imagen de la pantalla de un video juego

Descripción generada automáticamente con confianza baja

## Modulo Full Duplex UART

Imagen de la pantalla de un video juego

Descripción generada automáticamente con confianza media

## Modulo Top UART

**Imagen de la pantalla de un video juego

Descripción generada automáticamente con confianza media**

# **Conclusiones**

El desarrollo de un Hardware necesita su planeación anticipada y estrictamente seguir con el plan de diseño y desarrollo ya que se puede prolongar su desarrollo si no se establece bien que hay que desarrollar.

La Etapa del diseño de una maquina de estados es muy útil ya que es una herramienta que facilita la abstracción de pasos a realizar por el hardware en solo un diagrama de estados.

# **Referencias**