

Maestría en Ingeniería Eléctrica especialización Telecomunicaciones

Diseño Digital

**Modulo UART con Baudrate Variable**

Tabla de contenido

[**Descripción** 3](#_Toc96278783)

[**Diseño de Modulo** 4](#_Toc96278784)

[**Pruebas** 6](#_Toc96278785)

[**Conclusiones** 8](#_Toc96278786)

[**Referencias** 9](#_Toc96278787)

# **Descripción**

Se utiliza el mismo hardware anterior del sistema contador, se agregaron las test bench pendientes y se modifico el contador con el mismo relog en cada modulo y un enable para cada contador que viniera desde el preescaller, esto con la finalidad de construir el circuito de plano lógico asíncrono

# **Diseño de Modulo**

# **Pruebas**

# **Conclusiones**

# **Referencias**

[1] https://www.fpga4fun.com/Debouncer1.html

[2] http://www.labbookpages.co.uk/electronics/debounce.html