

Maestría en Ingeniería Eléctrica especialización Telecomunicaciones

Diseño Digital

**Modulo UART con Baudrate Variable**

Tabla de contenido

[**Descripción** 3](#_Toc98400826)

[**Diseño de Modulo** 4](#_Toc98400827)

[Diseño Preescaller 4](#_Toc98400828)

[Diseño Baudrate 4](#_Toc98400829)

[Diseño Modulo Rx 4](#_Toc98400830)

[Diseño Modulo Tx 4](#_Toc98400831)

[Diseño Top Module Full Dúplex UART 4](#_Toc98400832)

[**Pruebas** 5](#_Toc98400833)

[Modulo Preescaller 5](#_Toc98400834)

[Modulo Baudrate 5](#_Toc98400835)

[Modulo Rx 5](#_Toc98400836)

[Modulo Tx 5](#_Toc98400837)

[**Conclusiones** 6](#_Toc98400838)

[**Referencias** 7](#_Toc98400839)

# **Descripción**

El sistema se conforma por un generador de Baudrate variable a 9600, 57600 y 115200. Esta configuración se realiza mediante los Swich SW[9:8] donde 00, es 9600, 01 es 57600 y 11 es 115200. Una vez seleccionado el Baudrate el Modulo Uart esta en modo de espera, puede transmitir o recibir cualquier cosa, solo que en este diseño en particular para poder transmitir algo, primero necesita recibirlo en Rx y después presionando el botón Key0 se transmite por Tx.

Diagrama

Descripción generada automáticamenteComo se muestra el flujo de pasos a realizar en el diagrama de la **figura 1** que explica a grandes rasgos la aplicación.

Fig. Secuencia Top\_Module

## **Recepcion de Trama UART**

## **Configuración Baudrate**

# **Diseño de Modulo**

## Diseño Preescaller

El preescaller es el dispositivo que cuenta la señal del reloj principal y la ajusta a una velocidad tal que se necesite con ayuda de contadores de diferentes bits

## Diseño Baudrate

El generador de Baudrate es el que toma la señal del Reloj principal para ajustarla y sincronizarla a la velocidad de comunicación Uart, este módulo maneja una selección de 2 bits con switch externos para seleccionar a qué velocidad podemos transmitir y recibir información.

9600

57600

115200

## Diseño Modulo Rx

## Diseño Modulo Tx

## Diseño Top Module Full Dúplex UART

En esta parte del diseño esta arquitectado todo el UART Full Dúplex, con los módulos requeridos para su correcto funcionamiento para envió de ráfagas de tramas o solo una trama para su presentación demo. Se agrego un modulo extra que es el de Memoria para recibir momentáneamente el byte que se recibe en la trama y almacenarlo para mostrarlo y transmitirlo de regreso.

# **Pruebas**

## Modulo Preescaller

## Modulo Baudrate

## Modulo Rx

## Modulo Tx

# **Conclusiones**

El desarrollo de un Hardware necesita su planeación anticipada y estrictamente seguir con el plan de diseño y desarrollo ya que se puede prolongar su desarrollo si no se establece bien que hay que desarrollar.

La Etapa del diseño de una maquina de estados es muy útil ya que es una herramienta que facilita la abstracción de pasos a realizar por el hardware en solo un diagrama de estados.

# **Referencias**