

# 논리회로 실험 4

## Latch and Flip Flops

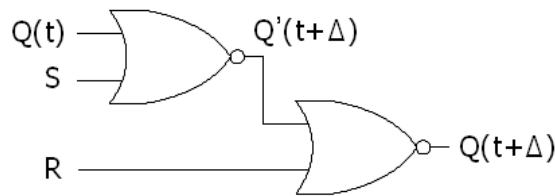
### 1. Latches

0) LogicEmulator 및 슬라이드 스위치를 사용하여 구현

- 실험자가 실험에 필요한 IC를 직접 찾을 것
- 스마트캠퍼스에서 Lab4-RS-2021.hbe를 Download하여 LogicEmulator에서 파일 Open
- LogicEmulator의 오른쪽 상단의 User Information을 '가반 - 1조'와 같이 자기 반과 조 번호로 변경
- Menu box의 '1 sec'를 '1 ms'로 변경
- 실험 후 File-Save Bitmap으로 파형 저장 (File name은 본인이 식별 가능한 이름으로 알아서 변경)

1) [그림 1]의 회로를 구현

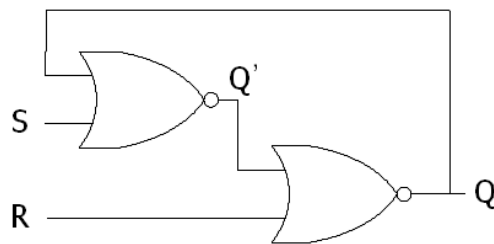
- Input  $Q(t)$ ,  $S$ ,  $R$ 을 슬라이드 스위치 1, 2, 3에 각각 연결
- Output  $Q(t+\Delta)$ ,  $Q'(t+\Delta)$ 를 LED 1, 2에 각각 연결



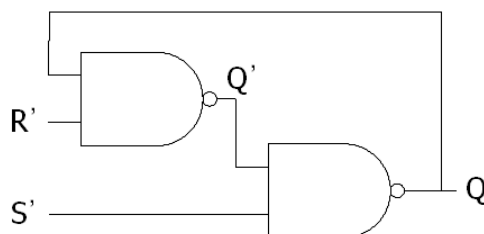
[그림 1]

2) [그림 2], [그림 3]의 회로를 구현

- 파형은 Lab4-RSNOR-2021.hbe 파일 Open하여 사용
- Input  $R$ ,  $S$ 를 Input Signal 1, 2에 각각 연결
- Output  $Q(t+\Delta)$ ,  $Q'(t+\Delta)$ 를 Output Signal 8, 7에 각각 연결
- [그림 3]은 Input  $R$ ,  $S$ 를 Inverter(NOT)을 사용하여  $R'$ ,  $S'$  만들어 사용



[그림 2]



[그림 3]

## 2. Flip Flops

0) LogicEmulator 및 슬라이드 스위치를 사용하여 구현

- 실험자가 실험에 필요한 IC를 직접 찾을 것
- 스마트캠퍼스에서 Lab4-SRF-2021.hbe, Lab4-JKF-2021.hbe, Lab4-DF-2021.hbe를 Download하여 LogicEmulator에서 파일 Open

1) SR latch에 Lab4-SRF-2021.hbe 파형을 인가하여 촬영하고 출력 파형 저장(1개)

- Input R, S를 Input Signal 1, 2에 순서대로 연결
- Inverter를 이용해서 R'과 S' 신호를 만들어서 사용
- Output Q, R', S'을 Output signal 8, 7, 6에 순서대로 연결

2) JK flip-flop에 Lab9-JKF-2021.hbe 파형을 인가하여 촬영하고 출력 파형 저장(4개)

- PRE'(preset')과 CLR'(clear')이 00, 01, 10, 11인 4가지 경우의 파형을 저장
- Input K, J, Clock을 Input signal 1, 2, 3에 순서대로 연결
- Output Q, Q'을 Output signal 8, 7에 순서대로 연결

3) D flip-flop에 Lab9-DF-2021.hbe 파형을 인가하여 촬영하고 출력 파형 저장(1개)

- Input D, Clock, Clear', Preset'을 Input signal 1, 2, 3, 4에 순서대로 연결
- Output Q, Q'을 Output signal 8, 7에 순서대로 연결.

## 3. 실험보고서 – 팀별 제출

1) Latches

- [그림 1]의 회로도, 사진, 진리표(입력 3개, 출력 2개)
- [그림 2]의 회로도, 사진, 파형(파형을 저장 후 보고서에 추가)
- [그림 3]의 회로도, 사진, 파형(파형을 저장 후 보고서에 추가)

2) Flip Flops

- 실험 1의 회로도, 사진, 파형(파형을 저장 후 보고서에 추가)
- 실험 2의 회로도, 사진, 파형(파형 4개를 저장 후 보고서에 추가), 출력 파형을 보고 실험 2에 사용한 IC가 Positive-level Sensitive, Negative-level Sensitive, Rising-edge Triggered, Falling-edge Triggered 중 어느 것인지 말하고, 그 이유를 설명
- 실험 3의 회로도, 사진, 파형(파형을 저장 후 보고서에 추가), 출력 파형을 보고 실험 2에 사용한 IC가 Positive-level Sensitive, Negative-level Sensitive, Rising-edge Triggered, Falling-edge Triggered 중 어느 것인지 말하고, 그 이유를 설명