

# 논리회로 실험 5

## Counters

### 1. Counters

- 0) LogicEmulator 및 슬라이드 스위치를 사용하여 구현
  - 실험자가 실험에 필요한 IC를 직접 찾을 것
  - 스마트캠퍼스에서 Lab5-2BC-2021.hbe, Lab5-3BC-2021.hbe를 Download하여 LogicEmulator에서 파일 Open
  - LogicEmulator의 오른쪽 상단의 User Information을 '가반 - 1조'와 같이 자기 반과 조 번호로 변경
  - Menu box의 '1 sec'를 '1 ms'로 변경
  - 실험 후 File-Save Bitmap으로 파형 저장 (File name은 본인이 식별 가능한 이름으로 알아서 변경)
- 1) JK Flip Flop을 이용하여 2-bit Synchronous Up Binary Counter를 구현
  - Lab5-2BC-2021.hbe 파형을 인가하여 사용
  - Input Clock을 Input Signal 1에 연결
  - 출력 Q<sub>B</sub>, Q<sub>A</sub>를 Output Signal 8, 7에 순서대로 연결
- 2) JK Flip Flop을 이용하여 3-bit Synchronous Up Binary Counter를 구현
  - Lab5-3BC-2021.hbe 파형을 인가하여 사용
  - Input Clock을 Input Signal 1에 연결
  - 출력 Q<sub>C</sub>, Q<sub>B</sub>, Q<sub>A</sub>를 Output Signal 8, 7, 6에 순서대로 연결
- 3) D Flip Flop을 이용하여 3-bit Synchronous Down Binary Counter를 구현
  - Lab5-3BC-2021.hbe 파형을 인가하여 사용
  - Input Clock을 Input Signal 1에 연결
  - 출력 Q<sub>C</sub>, Q<sub>B</sub>, Q<sub>A</sub>를 Output Signal 8, 7, 6에 순서대로 연결

### 2. 실험 보고서 – 팀별 제출

- 1) 실험 1의 사진, State Transition Diagram, State Transition Table, 카르노 맵(논리식), 회로도, 파형
- 2) 실험 2의 사진, State Transition Diagram, State Transition Table, 카르노 맵(논리식), 회로도, 파형
- 3) 실험 3의 사진, State Transition Diagram, State Transition Table, 카르노 맵(논리식), 회로도, 파형