

## Lab Report #06

---

### 2021.06.08. 실험 보고서

---

과 목 : 논리회로설계및실험

분 반 : 공통

담당교수 : 김석윤<sub>교수님</sub>

실 험 일 : 2021.06.08.

조 번 호 : 22

학 번 : 20163340 20193438

이 름 : 강 원 경 이 민 철

# 1. JK Flip Flop을 이용하여 Finite State Machine 구현

## - State Transition Table 유도

현재 상태		입력	차기 상태		플립플롭 입력				출력
$Q_A$	$Q_B$	$x$	$Q_A + \Delta$	$Q_B + \Delta$	$J_A$	$K_A$	$J_B$	$K_B$	$z$
0	0	0	1	0	1	X	0	X	0
		1	1	1	1	X	1	X	0
0	1	0	1	0	1	X	X	1	0
		1	1	1	1	X	X	0	0
1	0	0	1	0	X	0	0	X	0
		1	0	1	X	1	1	X	1
1	1	0	1	0	X	0	X	1	0
		1	1	1	X	0	X	0	1

## - 카르노 맵을 이용한 간소화 된 논리식 작성

$J_A :$

$x \backslash Q_A Q_B$	00	01	11	10
0	1	1	X	X
1	1	1	X	X

$$J_A = 1$$

$K_A :$

$x \backslash Q_A Q_B$	00	01	11	10
0	X	X	0	0
1	X	X	0	1

$$K_A = \overline{Q_B} x$$

$J_B :$

$x \backslash Q_A Q_B$	00	01	11	10
0	0	X	X	0
1	1	X	X	1

$$J_B = x$$

$K_B :$

$x \backslash Q_A Q_B$	00	01	11	10
0	X	1	1	X
1	X	0	0	X

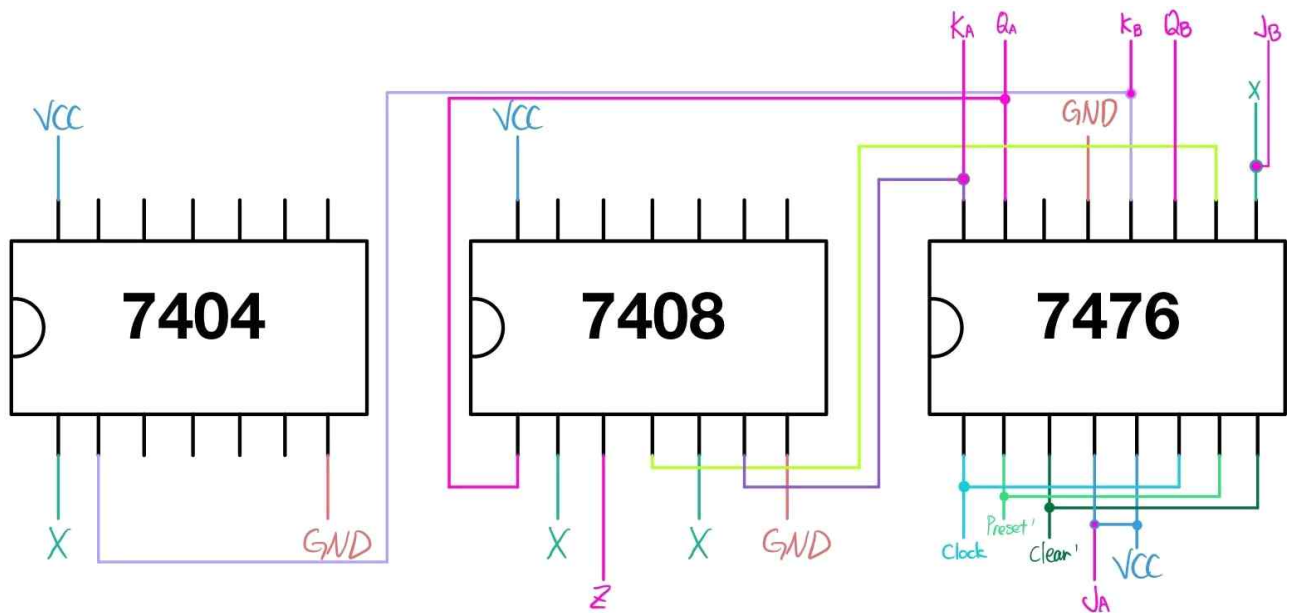
$$K_B = \overline{x}$$

$z :$

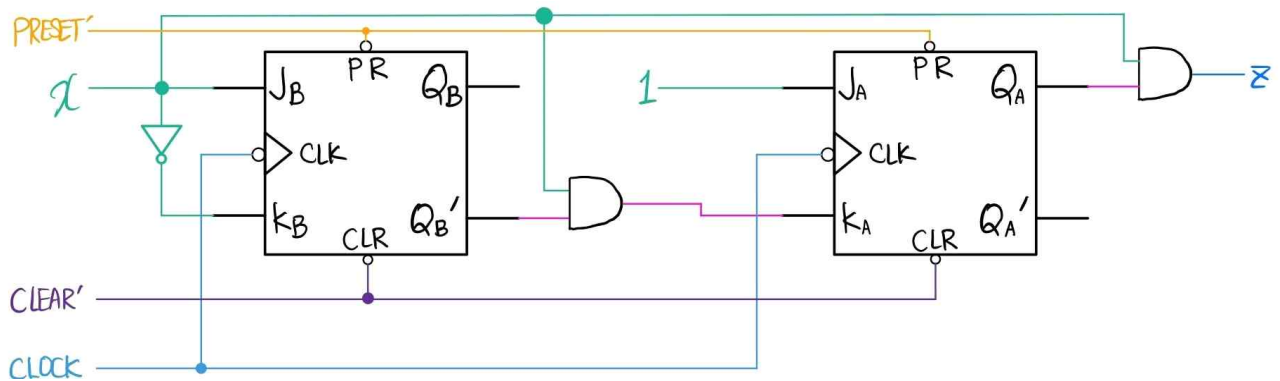
$x \backslash Q_A Q_B$	00	01	11	10
0	0	0	0	0
1	0	0	1	1

$$z = Q_A x$$

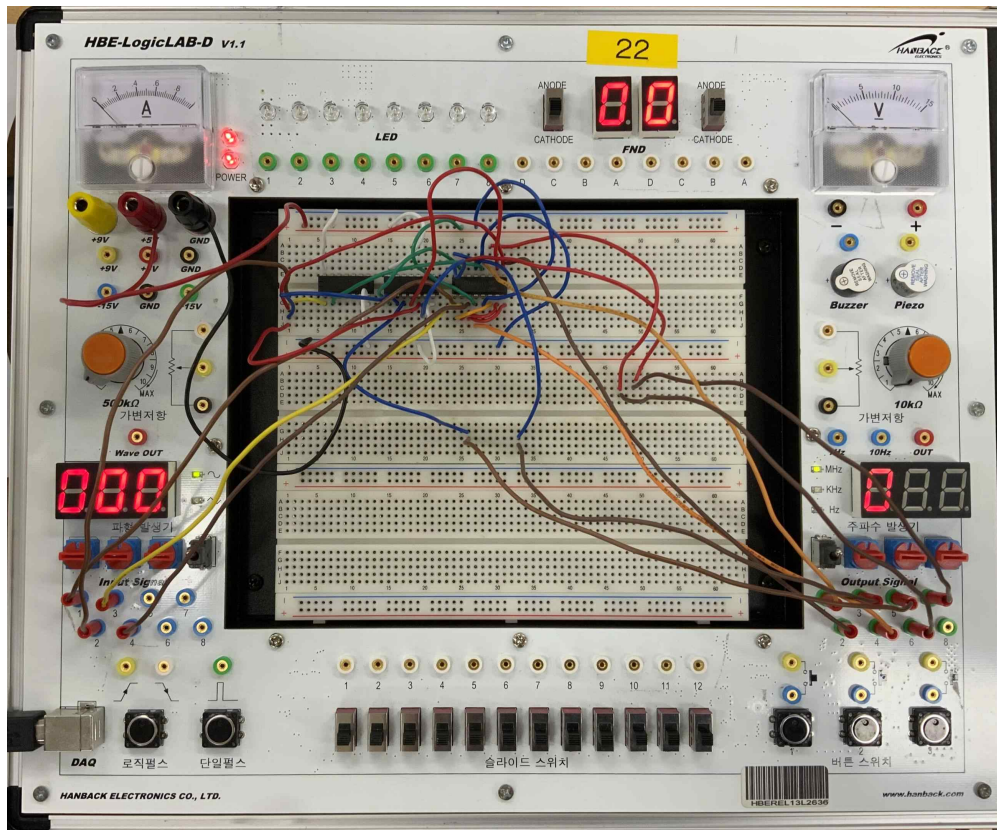
- 회로도 (IC칩 단위)



- 회로도 (블럭 단위)



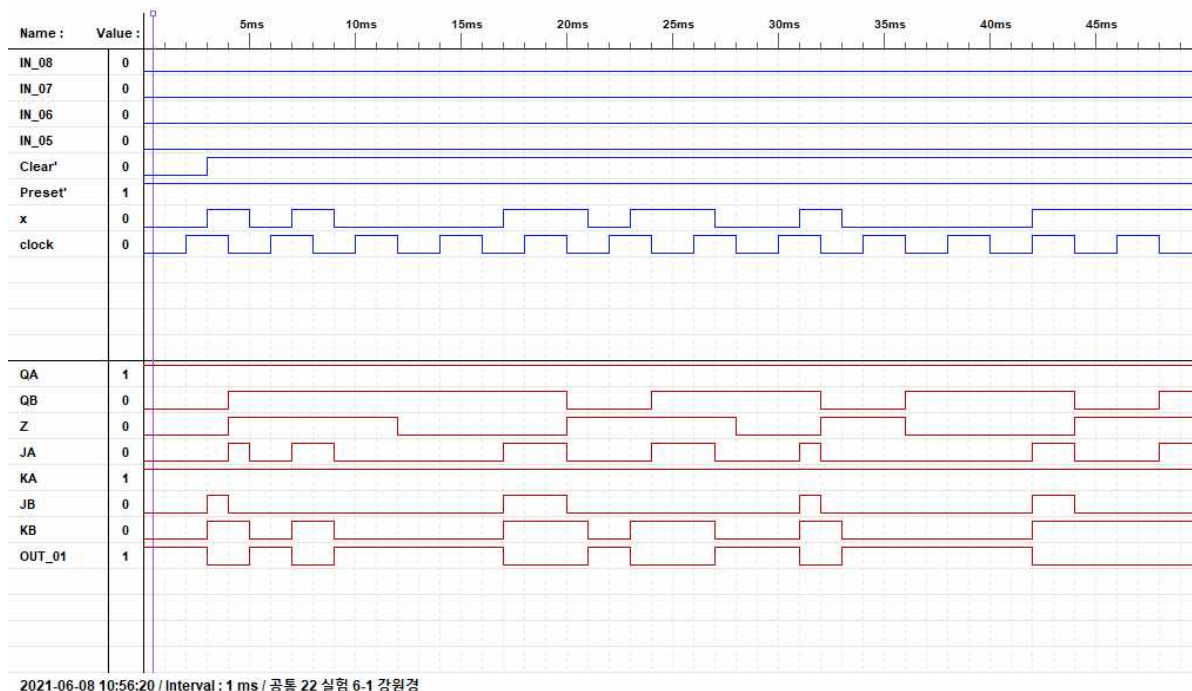
## - 사진



※ 8번 Output Signal 단자에 이상이 있어 출력 위치를 이동하였습니다.

▶  $Q_A$ : 7    $Q_B$ : 6    $z$ : 5    $J_A$ : 4    $J_B$ : 3    $J_B$ : 2    $K_B$ : 1

## - 파형



※ 8번 Output Signal 단자에 이상이 있어 출력 위치를 이동하였습니다.

▶  $Q_A$ : 7    $Q_B$ : 6    $z$ : 5    $J_A$ : 4    $J_B$ : 3    $J_B$ : 2    $K_B$ : 1

- 파형을 보고 State Transition Table 작성

↳ ①에서 만든 표 전체가 안 나오고 일부만 나올 수 있음.

현재 상태		입력	차기 상태		플립플롭 입력				출력
$Q_A$	$Q_B$	$x$	$Q_A + \Delta$	$Q_B + \Delta$	$J_A$	$K_A$	$J_B$	$K_B$	$z$
0	0	0	파형에 해당 상태 없음.						
		1	1	1	1	1	1	0	0
0	1	0	1	0	1	0	0	1	0
		1	1	1	1	0	1	0	0
1	0	0	1	0	1	0	0	1	0
		1	0	1	1	1	1	0	1
1	1	0	1	0	1	0	0	1	0
		1	1	1	1	0	1	0	1

- State Transition Table을 참고하여 State Diagram을 작성

↳ [그림 1] 전체가 안 나오고 일부만 나올 수 있음.

