

# 数字逻辑期末复习助力

@屈湘钧 for 计卓01班

以下按题目类型划分讲解助力，每个题型是2018级数字逻辑考试的题型分数和原题参考。

原题回忆参考<https://github.com/VayneDuan/cqu-cs-learning-materials.git>

## 填空题 (15个空, 15分)

- 1.进制转换、补码反码运算。
- 2.与或非运算
- 3.组合逻辑竞争冒险概念 (填空)
- 4.卡诺图运算 和 概念填空
- 5.D触发器、JK触发器等方程填写 (背下来)
- 6.对偶函数
- 7.各种器件 如 译码器、编码器、移位寄存器等的实现原理，同步异步实现的逻辑原理，组合逻辑与时序逻辑电路的实现原理。(可能考概念填空，如译码器是组合逻辑电路还是时序逻辑电路? ——组合逻辑电路)
- 8.最大项最小项的运算原理，其相互关系。
- 9.verilog 的基础语法知识，如定义变量、定义接口、定义常量等。(eg 定义一个具有256个8位的存储器my\_mem())
10. `timescale 5ns/1ps 的意思是什么 (时间单位5ns, 时间精度1ps) ——testbench相关也考。
11. 其他一些概念性 如 (Verilog 程序 四大部分 模块声明, 端口定义, 信号类型声明, 功能描述)

## 二, 画图题 (2道 \* 5分 = 10分)

非阻塞和阻塞的画图

非阻塞 (non-blocking)赋值方式 ( $b <= a$ ):

- b的值被赋成新值a的操作, 并不是立刻完成的, 而是在块结束时才完成;
- 块内的多条赋值语句在块结束时同时赋值;
- 硬件有对应的电路。

阻塞 (blocking)赋值方式 ( $b = a$ ):

- b的值立刻被赋成新值a;
- 完成该赋值语句后才能执行下一句的操作;
- 硬件没有对应的电路, 因而综合结果未知。

非阻塞赋值方式代码和画图

always 块中所有非阻塞赋值语句在求值时所用的值全部都是进入 always 时, 各个变量已具有的值。

非阻塞的意思是每条赋值语句的结果直到 always块的结尾才能看到。

```

always @(posedge clk)

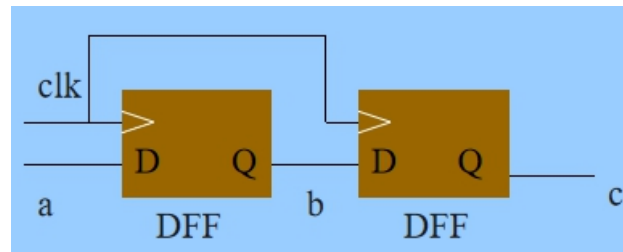
begin

    b <= a ;

    c <= b;

end

```



阻塞赋值方式代码和画图

```

always @(posedge clk)

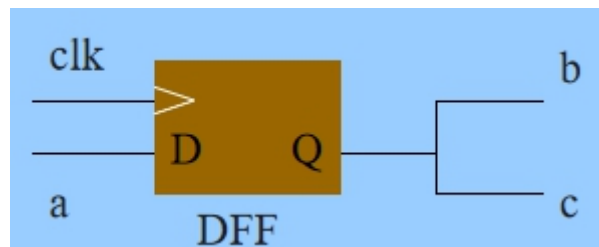
begin

    b = a ;

    c = b;

end

```

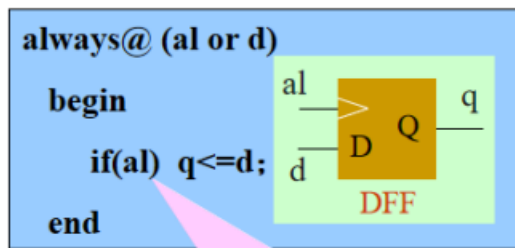


其他可能考的如 ifesle画法、多路选择器画图，但是都离不开画D触发器一类的。具体内容还可参考之前发的数字逻辑复习压缩包中 赋值语句word文档内容。

此外

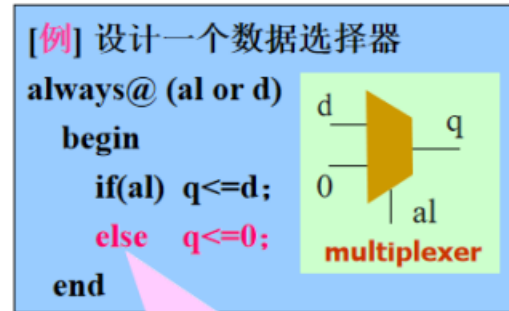
注意考这个

生成了不想要的锁存器：



当al为0时，q保持原值！

不会生成锁存器：



当al为0时，q等于0！

### 三, 设计 (2道 \* 15分 = 30分)

1. 给一个如下面的类似题型

2. 用卡诺图化简逻辑函数

$$F(A, B, C, D) = \sum m(2, 3, 9, 11, 12) + \sum d(5, 6, 7, 8, 10, 13)$$

求出最简“与-或”表达式和最简“或-与”表达式。（6分）

AB \ CD	00	01	11	10
00				
01				
11				
10				

注：

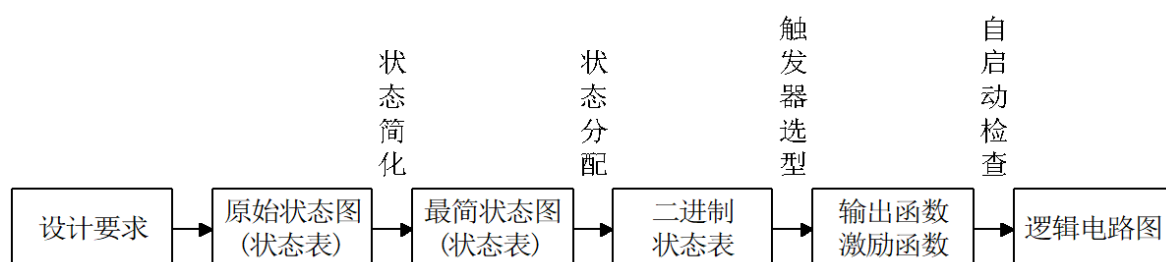
一般这类题型都是4个变量的，太少简单了，4个以上的不好画，也没学。

2.

考题涉及相关：几种触发器及其激励函数、状态机应用、状态机的mealy、more型

考题类型：

1) 给定功能，用特定的触发器设计某某器件。需要从设计状态机、状态机状态转移图、化简、画图等多个步骤答题。

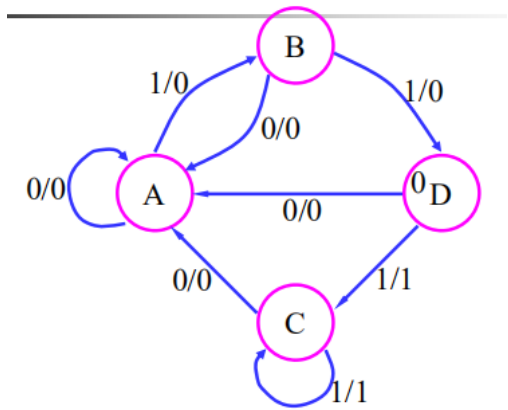


例子：

设计一个“111...”序列检测器，用来检测串行二进制序列，要求每当连续输入3个(或3个以上)1时，检测器输出为1，否则输出为0。其典型输入输出序列如下：

输入x: 0 1 1 1 0 1 1 1 1 0  
 输出Z: 0 0 0 1 0 0 0 1 1 0

★ 作状态图和状态表



现 态	次态/输出Z	
	x=0	x=1
A	A/0	B/0
B	A/0	C/0
C	A/0	D/1
D	A/0	D/1

- ★ 状态化简
- 用观察法可得最大等效类为：(A), (B), (C,D)
- 令C=(C,D),可得下列最简状态表

现 态	次态/输出Z	
	x=0	x=1
A	A/0	B/0
B	A/0	C/0
C	A/0	C/1

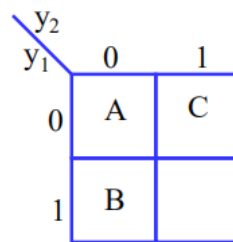
● 状态分配

• AB, BC, AC应相邻

• AB, AC应相邻

• AB应相邻

• A应为逻辑0



现 态		次态 $y_2^{(n+1)}y_1^{(n+1)}$ /输出Z	
$y_2$	$y_1$	$x=0$	$x=1$
0	0	00/0	01/0
0	1	00/0	10/0
1	0	00/0	10/1

※ 确定激励函数和输出函数表达式

选用J—K触发器作为存储元件

$Q \rightarrow Q^{(n+1)}$		J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

输入	现 态		次 态	激励函数				输 出
$x$	$y_2$	$y_1$	$y_2^{(n+1)}y_1^{(n+1)}$	$J_2$	$K_2$	$J_1$	$K_1$	Z
0	0	0	0 0	0	d	0	d	0
0	0	1	0 0	0	d	d	1	0
0	1	1	d d	d	d	d	d	d
0	1	0	0 0	d	1	0	d	0
1	0	0	0 1	0	d	1	d	0
1	0	1	1 0	1	d	d	1	0
1	1	1	d d	d	d	d	d	d
1	1	0	1 0	d	0	0	d	1

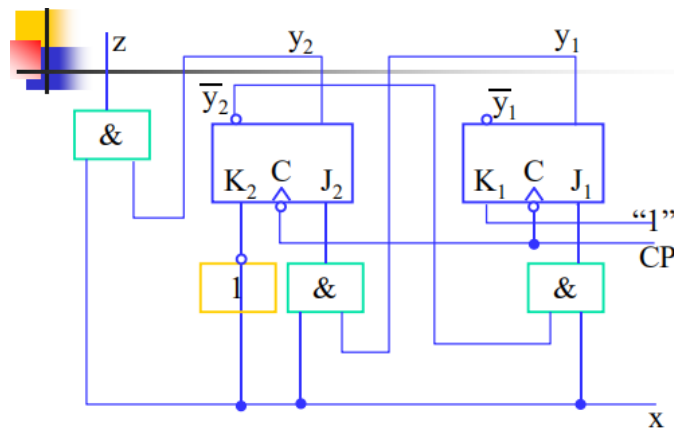
通过卡诺图化简，最后可得：

$$J_2 = xy_1, \quad k_2 = \bar{x}$$

$$J_1 = \bar{y}_2x, \quad k_1 = 1$$

$$Z = xy_2$$

画电路图

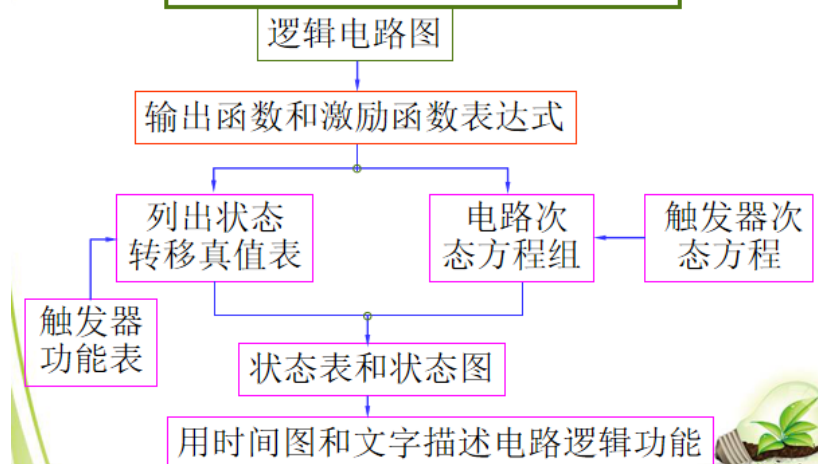


相关资料见：同步时序电路ppt（145页左右开始）或同步时序电路pdf（80页左右开始）。

2) 给定电路图，要求分析其逻辑功能。答题需要先写出输入输出函数、激励函数，然后画真值表，再得状态图等。

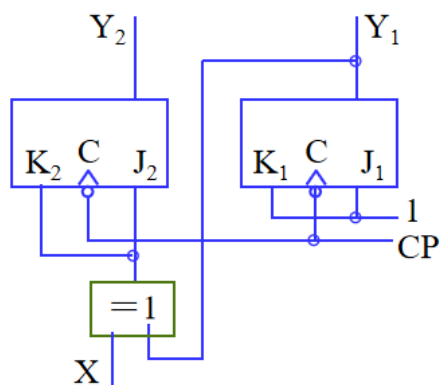
## 同步时序逻辑电路的分析方法

常用的方法有表格化和代数法。



例子：

**例：**用表格法分析下图所示的同步是序逻辑电路



**解：**

**第一步：**写出输出函数和激励函数表达式。

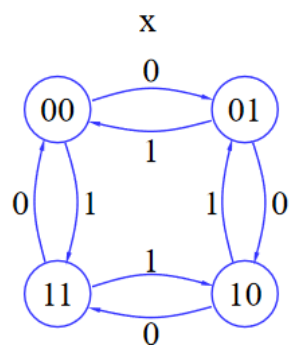
$$J_1=K_1=1 \quad J_2=K_2=x \oplus y_1$$

**第二步：**列同状态转移真值表。

输入 x	现 态 $y_2 \ y_1$	激 励 函 数				次 态	
		$J_2$	$K_2$	$J_1$	$K_1$	$y_2^{(n+1)}$	$y_1^{(n+1)}$
0	0 0	0	0	1	1	0	1
0	0 1	1	1	1	1	1	0
0	1 0	0	0	1	1	1	1
0	1 1	1	1	1	1	0	0
1	0 0	1	1	1	1	1	1
1	0 1	0	0	1	1	0	0
1	1 0	1	1	1	1	0	1
1	1 1	0	0	1	1	1	0

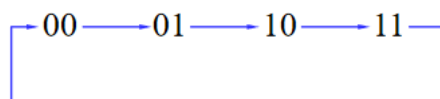
**第三步：**作出状态表和状态图。

现 态 $y_2 \ y_1$	次 态 $y_2^{(n+1)} y_1^{(n+1)}$	
	x = 0	x = 1
0 0	0 1	1 1
0 1	1 0	0 0
1 0	1 1	0 1
1 1	0 0	1 0

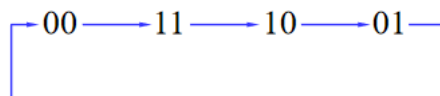


第四步：用时间图和文字描述电路和逻辑功能。

当 $x=0$ 时,该电路进行加1计数,计数序列为:



当 $x=1$ 时,该电路进行减1计数,计数序列为:



时间图的作法:

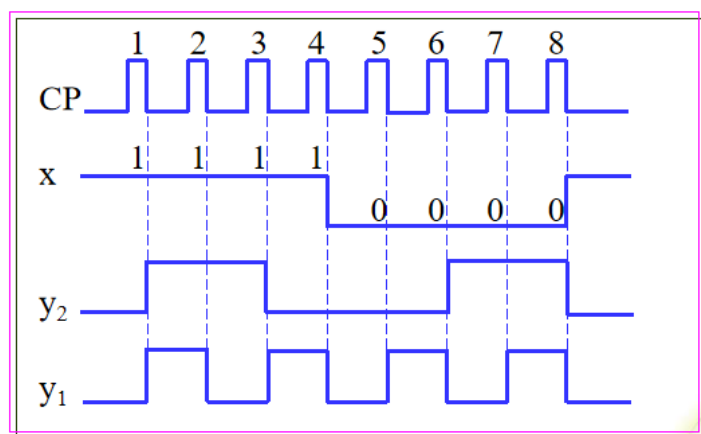
★ 选定一个典型的输入序列;

输入序列为:  $x=11110000$ ,初态:  $y_2y_1=00$

★ 根据选定的典型输入序列, 求出状态响应序列(和输出响应序列)

CP:	1	2	3	4	5	6	7	8
x:	1	1	1	1	0	0	0	0
$y_2$ :	0	1	1	0	0	0	1	1
$y_1$ :	0	1	0	1	0	1	0	1
$y_2^{(n+1)}$ :	1	1	0	0	0	1	1	0
$y_1^{(n+1)}$ :	1	0	1	0	1	0	1	0

✱ 画时间图。



相关资料: 同步时序电路ppt (53页左右开始)

总结:

此类题型主要分从电路图->公式->状态机 和 状态机->公式->电路图两种考法。

去年考了后一种, 前者考的话可能难度大一些, 毕竟功能有些不容易看出来, 但是可能要求分析过程即可。

以上两种题型比较重要, 建议多复习。



## 四, 代码(4道 : 15分 +15分 +10分 +5分 = 45分)

去年题型如下:

1. 四位计数器(load, en, clk, reset, 进位q, 等等) 15分
2. 具有异步清零的D触发器 15分
3. 具有同步清零功能的移位寄存器 10分
4. 根据输入输出图, 写代码(其实就是一个D锁存器, 电平触发) 5分

总结:

这类题型就是简单的写代码, 上课你们ppt也让你们写了一系列代码, 建议自己总结一遍, 然后手写一遍。我自己去年写了一份很全的各种器件类型的代码, 最后上考场全是写过的, 刷刷写就完事了。

## 写在最后的话

数字逻辑看似难度很大, 其实考试真的非常简单, 难就难在平时讲得太杂乱, 感觉东西很多, 实际学的知识总结如下:

1. 有关码的部分和离散数学的逻辑运算
2. verilog语法
3. 组合、时序逻辑电路, 同步异步知识
4. 触发器
5. 状态机相关

但是如果现在针对题型来复习, 大家可以在PPT对照题型进行复习总结, 难度大大下降。

但是, 这只是我们去年的分析, 希望大家也不要掉以轻心, 认真复习, 以防汪司令不讲 \*德!

提前拜个早年, 大家数字逻辑 满满满 绩!!!