数字电路知识点汇总（东南大学）

第 1 章　数字逻辑概论

一、进位计数制

1.十进制与二进制数的转换

2.二进制数与十进制数的转换

3.二进制数与 16 进制数的转换

二、基本逻辑门电路

第 2 章　逻辑代数

表示逻辑函数的方法，归纳起来有：真值表，函数表达式，卡诺图，逻辑图及波形图等几种。

一、逻辑代数的基本公式和常用公式

1）常量与变量的关系 A +0＝A 与 $A\cdot 1=A$

$$A+1=1 \text{ 与 } A\cdot 0=0$$

$$A+\overline{A}=1 \text{ 与 } A\cdot\overline{A}=0$$

2）与普通代数相运算规律

a.交换律：A＋B ＝B＋A

$A\cdot B=B\cdot A$

b.结合律：（A＋B）＋C ＝A＋（B＋C）

$(A\cdot B)\cdot C=A\cdot(B\cdot C)$

c.分配律：$A\cdot(B\cdot C)=A\cdot B+\ A\cdot C$

$A+B\cdot C=(A+B)()A+C)$ ）

3）逻辑函数的特殊规律

a.同一律：A＋A＋A

b.摩根定律：$\overline{A+B}=\overline{A}\cdot\overline{B}$，$\overline{A\cdot B}=\overline{A}+\overline{B}$

b.关于否定的性质 A ＝$\overline{\overline{A}}$

二、逻辑函数的基本规则

代入规则

在任何一个逻辑等式中，如果将等式两边同时出现某一变量 A 的地方，都用一个函数 L 表示，则等式仍然成立，这个规则称为代入规则

例如：$A\cdot\overline{B\oplus C}+\overline{A}\cdot B\oplus C$

可令 L ＝$B\oplus C$

则上式变成 $A\cdot\overline{L}+\overline{A}\cdot L$ ＝ $A\oplus L=A\oplus B\oplus C$

三、逻辑函数的：——公式化简法

公式化简法就是利用逻辑函数的基本公式和常用公式化简逻辑函数，通常，我们将逻辑函数化简为最简的与—或表达式

1）合并项法：

利用 A＋$A+\overline{A}=1$ 或 $A\cdot B=A\cdot\overline{B}=A$,将二项合并为一项，合并时可消去一个变量

例如：L ＝ $\overline{A}\overline{B}\overline{C}+\overline{A}\overline{B}C=\overline{A}\overline{B}(C+\overline{C})=\overline{A}\overline{B}$

2）吸收法

利用公式 $A+A\cdot B=A$，消去多余的积项，根据代入规则 $A\cdot B$ 可以是任何一个复杂的逻辑式

例如　　化简函数 L ＝ $\overline{AB}+\overline{A}D+\overline{B}\overline{E}$

解：先用摩根定理展开：$\overline{AB}$ ＝ $\overline{A}+\overline{B}$　　再用吸收法

L ＝ $\overline{AB}+\overline{A}D+\overline{B}\overline{E}$

$= \overline{A} + \overline{B} + \overline{A}D + \overline{B}\overline{E}$

$= (\overline{A} + \overline{A}D) + (\overline{B} + \overline{B}\overline{E})$

$= \overline{A}(1 + \overline{A}D) + \overline{B}(1 + \overline{B}\overline{E})$

$= \overline{A} + \overline{B}$

3）消去法

利用 $A + \overline{A}B = A + B$ 消去多余的因子

例如，化简函数 L $= \overline{A}B + A\overline{B} + \overline{A}\overline{B}E + ABC$

解：L $= \overline{A}B + A\overline{B} + \overline{A}\overline{B}E + ABC$

$= (\overline{A}B + \overline{A}\overline{B}E) + (A\overline{B} + ABC)$

$= \overline{A}(B + \overline{B}E) + A(\overline{B} + BC)$

$= \overline{A}(B + C)(B + \overline{B}) + A(B + \overline{B})(\overline{B} + C)$

$= \overline{A}(B + C) + A(\overline{B} + C)$

$= \overline{A}B + \overline{A}C + A\overline{B} + AC$

$= \overline{A}B + A\overline{B} + C$

4)配项法

利用公式 $A \cdot B + \overline{A} \cdot C + BC = A \cdot B + \overline{A} \cdot C$ 将某一项乘以（$\overline{A} + A$），即乘以 1，然后将其折成几项，再与其它项合并。

例如：化简函数 L $= A\overline{B} + B\overline{C} + \overline{B}C + \overline{A}B$

解：L $= A\overline{B} + B\overline{C} + \overline{B}C + \overline{A}B$

$= A \cdot \overline{B} + B \cdot \overline{C} + (A + \overline{A})\overline{B}C + \overline{A}B(C + \overline{C})$

$= A \cdot \overline{B} + B \cdot \overline{C} + A\overline{B}C + \overline{A}\overline{B}C + \overline{A}BC + \overline{A}B\overline{C}$

$= (A \cdot \overline{B} + A\overline{B}C) + (B \cdot \overline{C} + \overline{A}B\overline{C}) + (\overline{A}\overline{B}C + \overline{A}BC)$

$= A\cdot\overline{B}(1+C)+B\overline{C}(1+\overline{A})+\overline{A}C(\overline{B}+B)$

$= A\cdot\overline{B}+B\overline{C}+\overline{A}C$

2.应用举例

将下列函数化简成最简的与－或表达式

1）L＝$A\overline{B}+BD+DCE+D\overline{A}$

2)　L=$A\overline{B}+\overline{B}\,\overline{C}+AC$

3)　L=$AB+\overline{A}\,\overline{C}+B\overline{C}+ABCD$

解：1）L＝$A\overline{B}+BD+DCE+D\overline{A}$

$= A\overline{B}+D(B+\overline{A})+DCE$

$= A\overline{B}+D\overline{\overline{B}A}+DCE$

$= A\overline{B}+D\overline{A\overline{B}}+DCE$

$=(A\overline{B}+D)(A\overline{B}+\overline{A\overline{B}})+DCE$

$= A\overline{B}+D+DCE$

$= A\overline{B}+D$

2)　L=$A\overline{B}+\overline{B}\,\overline{C}+AC$

$= A\overline{B}(C+\overline{C})+\overline{B}\,\overline{C}+AC$

$= A\overline{B}C+A\overline{B}\,\overline{C}+\overline{B}\,\overline{C}+AC$

$= AC(1+\overline{B})+\overline{B}\,\overline{C}(1+A)$

$= AC+\overline{B}\,\overline{C}$

3) L=$AB+\overline{A}\,\overline{C}+B\overline{C}+ABCD$

$= AB+\overline{A}\,\overline{C}+B\overline{C}(A+\overline{A})+ABCD$

$= AB+\overline{A}\,\overline{C}+AB\overline{C}+\overline{A}B\overline{C}+ABCD$

$= (AB + AB\overline{C} + ABCD) + (\overline{A}\overline{C} + \overline{A}B\overline{C})$

$= AB(1 + \overline{C} + CD) + \overline{A}\overline{C}(1 + B)$

$= AB + \overline{A}\overline{C}$

四、逻辑函数的化简—卡诺图化简法：

卡诺图是由真值表转换而来的，在变量卡诺图中，变量的取值顺序是按循环码进行排列的，在与—或表达式的基础上，画卡诺图的步骤是：

1.画出给定逻辑函数的卡诺图，若给定函数有 n 个变量，表示卡诺图矩形小方块有 2^n 个。

2.在图中标出给定逻辑函数所包含的全部最小项，并在最小项内填 1，剩余小方块填 0.

用卡诺图化简逻辑函数的基本步骤：

1.画出给定逻辑函数的卡诺图

2.合并逻辑函数的最小项

3.选择乘积项，写出最简与—或表达式

选择乘积项的原则：

①它们在卡诺图的位置必须包括函数的所有最小项

②选择的乘积项总数应该最少

③每个乘积项所包含的因子也应该是最少的

A \ BC	00	01	11	10
0	1		1	
1		1	1	

例 1.用卡诺图化简函数 L $= \overline{A}BC + ABC + A\overline{B}C + \overline{A}\overline{B}C$

解：1.画出给定的卡诺图

2.选择乘积项：L $= AC + BC + \overline{A}\overline{B}\overline{C}$

例 2.用卡诺图化简 L＝$F(ABCD)=\overline{B}CD+B\overline{C}+\overline{A}\overline{C}D+A\overline{B}C$

解：1.画出给定 4 变量函数的卡诺图

AB \ CD	00	01	11	10
00		1	1	
01	1	1		
11	1	1		
10			1	1

2.选择乘积项

设到最简与—或表达式 L＝$B\overline{C}+\overline{A}\overline{B}D+A\overline{B}C$

例 3.用卡诺图化简逻辑函数

L＝$\sum m(1,3,4,5,7,10,12,14)$

解：1.画出 4 变量卡诺图

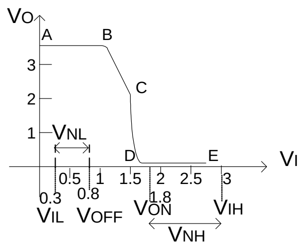
AB \ CD	00	01	11	10
00	m_0	m_1 1	m_3 1	m_2
01	m_4 1	m_5 1	m_7 1	m_6
11	m_{12}	m_{13} 1	m_{15}	m_{14} 1
10	m_8	m_9	m_{11}	m_{10} 1

2.选择乘积项，设到最简与—或表达式

L＝$\overline{A}D+B\overline{C}D+AC\overline{D}$

第 3 章　逻辑门电路

门电路是构成各种复杂集成电路的基础，本章着重理解 TTL 和 CMOS 两类集成电路的外部特性：输出与输入的逻辑关系，电压传输特性。



1. TTL 与 CMOS 的电压传输特性

开门电平V_{ON}—保证输出为额定低电平时所允许的最小输入高电平值

在标准输入逻辑时，V_{ON}＝1.8 V

关门V_{OFF}—保证输出额定高电平 90%的情况下，允许的最大输入低电平值，在标准输入逻辑时，V_{OFF}＝0.8 V

V_{IL}—为逻辑 0 的输入电压　　典型值V_{IL}＝0.3 V

V_{IH}—为逻辑 1 的输入电压　　典型值V_{IH}＝3.0 V

V_{OH}—为逻辑 1 的输出电压　　典型值V_{OH}＝3.5 V

V_{OL}—为逻辑 0 的输出电压　　典型值V_{OL}＝0.3Ｖ

对于 TTL：这些临界值为$V_{OH\min}=2.4V$， $V_{OL\max}=0.4V$

$$V_{IH\min}=2.0V,V_{IL\max}=0.8V$$

低电平噪声容限：$V_{NL}=V_{OFF}-V_{IL}$

高电平噪声容限：$V_{NH}=V_{IH}-V_{ON}$

例：74ＬＳ00 的$V_{OH(\min)}=2.5V$　　$V_{OL(出最小)}=0.4V$

$V_{IH(\min)}=2.0V$　　$V_{IL(\max)}=0.7V$

它的高电平噪声容限　$V_{NH}=V_{IH}-V_{ON}$＝3－1.8＝1.2Ｖ

它的低电平噪声容限　$V_{NL}=V_{OFF}-V_{IL}$＝0.8－0.3＝0.5Ｖ

2.TTL 与 COMS 关于逻辑 0 和逻辑 1 的接法

74ＨＣ00 为 CMOS 与非门采用+5Ｖ电源供电，输入端在下面四种接法下都属于逻辑 0

①输入端接地

②输入端低于 1.5Ｖ的电源

③输入端接同类与非门的输出电压低于 0.1Ｖ

④输入端接 10$K\Omega$电阻到地

74LS00 为 TTL 与非门，采用+5Ｖ电源供电，采用下列 4 种接法都属于逻辑 1

①输入端悬空

②输入端接高于 2Ｖ电压

③输入端接同类与非门的输出高电平 3.6Ｖ

④输入端接 10$K\Omega$电阻到地

第 4 章　组合逻辑电路

一、组合逻辑电路的设计方法

根据实际需要，设计组合逻辑电路基本步骤如下：

1.逻辑抽象

①分析设计要求，确定输入、输出信号及其因果关系

②设定变量，即用英文字母表示输入、输出信号

③状态赋值，即用 0 和 1 表示信号的相关状态

④列真值表，根据因果关系，将变量的各种取值和相应的函数值用一张表格一一列举，变量的取值顺序按二进制数递增排列。

2.化简

①输入变量少时，用卡诺图

②输入变量多时，用公式法

3.写出逻辑表达式，画出逻辑图

①变换最简与或表达式，得到所需的最简式

②根据最简式，画出逻辑图

例，设计一个 8421BCD 检码电路，要求当输入量 ABCD<3 或>7 时，电路输出为高电平，试用最少的与非门实现该电路。

解：1.逻辑抽象

①分由题意，输入信号是四位 8421ＢＣＤ码为十进制，输出为高、低电平；

②设输入变量为 DCBA，输出变量为Ｌ；

③状态赋值及列真值表

由题意，输入变量的状态赋值及真值表如下表所示。

A	B	C	D	L
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	×
1	0	1	1	×
1	1	0	0	×
1	1	0	1	×
1	1	1	0	×
1	1	1	1	×

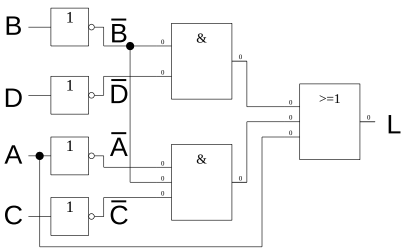
AB \ CD	00	01	11	10
00	1	1	0	1
01	0	0	0	0
11	×	×	×	×
	1	1	×	×

2.化简

由于变量个数较少，帮用卡诺图化简

3.写出表达式

经化简，得到 $L = A + \overline{B}\,\overline{D} + \overline{A}\,\overline{B}\,\overline{C}$



4.画出逻辑图

二、用组合逻辑集成电路构成函数

①74LS151 的逻辑图如右图图中，$\overline{E}$ 为输入使能端，低电平有效 $S_2S_1S_0$ 为地址输入端， $D_0 \sim D_7$ 为数据选择输入端， Y 、$\overline{Y}$ 互非的输出端，其菜单如下表。

$$Y = D_0\overline{S_2}\,\overline{S_1}\,\overline{S_0} + D_1\overline{S_2}\,\overline{S_1}S_0 + D_2\overline{S_2}S_1\overline{S_0} + \ldots + D_7S_2S_1S_0$$

$$Y_i = \sum_{i=0}^{i=7} \ \sum m_i D_i$$

其中 m_i 为 $S_2S_1S_0$ 的最小项

D_i 为数据输入

当 D_i ＝1 时，与其对应的最小项在表达式中出现

当 D_i ＝0 时，与其对应的最小项则不会出现

利用这一性质，将函数变量接入地址选择端，就可实现组合逻辑函数。

②利用入选一数据选择器 74LS151 产生逻辑函数 $L=\overline{A}BC+A\overline{B}C+AB$

解：1）将已知函数变换成最小项表达式

L ＝ $\overline{A}BC+A\overline{B}C+AB$

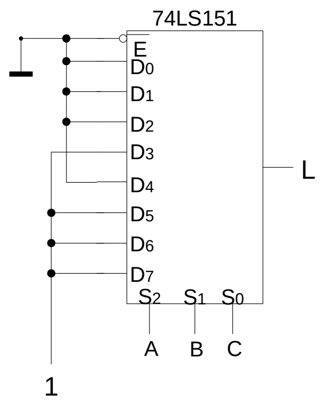
＝ $\overline{A}BC+A\overline{B}C+AB(C+\overline{C})$

＝ $\overline{A}BC+A\overline{B}C+ABC+AB\overline{C}$

2)将 $L=\overline{A}BC+A\overline{B}C+ABC+AB\overline{C}$ 转换成 74LS151 对应的输出形式 $Y_i=\sum_{i=0}^{7}\ \sum m_i D_i$

在表达式的第 1 项 $\overline{A}BC$ 中 $\overline{A}$ 为反变量， B 、C 为原变量，故 $\overline{A}BC$ ＝011 $\Rightarrow m_3$

在表达式的第 2 项 $A\overline{B}C$，中 A、C 为反变量，为 $\overline{B}$ 原变量，故 $A\overline{B}C$ ＝101 $\Rightarrow m_5$



同理 ABC=111 $\Rightarrow m_7$

$AB\overline{C}$=110 $\Rightarrow m_6$

这样 L ＝ $m_3D_3+m_5D_5+m_6D_6+m_7D_7$

将 74LS151 中 m D_3、D_5、D_6、D_7 取 1

即 $D_3=D_5=D_6=D_7$ ＝1

D_0、D_1、D_2、D_4 取 0，即 $D_0=D_1=D_2=D_4$ ＝0

由此画出实现函数 L ＝ $\overline{A}BC+A\overline{B}C+ABC+AB\overline{C}$ 的逻辑图如下图示。

第 5 章　锁存器和触发器

一、触发器分类：基本 R-S 触发器、同步 RS 触发器、同步 D 触发器、主从 R-S 触发器、主从 JK 触发器、边沿触发器{上升沿触发器（D 触发器、JK 触发器）、下降沿触发器（D 触发器、JK 触发器）

二、触发器逻辑功能的表示方法

触发器逻辑功能的表示方法，常用的有特性表、卡诺图、特性方程、状态图及时序图。

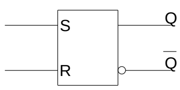
对于第 5 章　表示逻辑功能常用方法有特性表，特性方程及时序图

对于第 6 章　上述 5 种方法其本用到。

三、各种触发器的逻辑符号、功能及特性方程

1.基本 R-S 触发器　　　逻辑符号　　　逻辑功能

特性方程：



$Q^{n+1}=S+\overline{R}Q^n$

$R\cdot S=0$（约束条件）

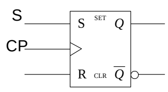
若 $R=1,S=0$，则 $Q^{n+1}=0$

若 $R=0,S=0$，则 $Q^{n+1}=1$

若 $R=1,S=0$，则 $Q^{n+1}=Q^n$

若 $R=1,S=1$，则 $Q=\overline{Q}$＝1（不允许出现）

2.同步 RS 触发器



$Q^{n+1}=S+\overline{R}Q^n$（CP＝1 期间有效）

$R\cdot S=0$　　　（约束条件）

若 $R=1,S=0$，则 $Q^{n+1}=0$

若 $R=0,S=0$，则 $Q^{n+1}=1$

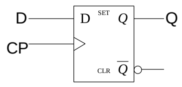
若 $R=1,S=0$，则 $Q^{n+1}=Q^n$

若 $R=1,S=1$，则 $Q=\overline{Q}$＝1

处 于 不 稳

定状态

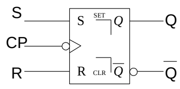
3.同步 D 触发器



特性方程 $Q^{n+1}=D$ (CP=1 期间有效)

4.主从 R-S 触发器

特性方程 $Q^{n+1}=S+\overline{R}Q^{n}$ (作用后)



$R\cdot S=0$　约束条件

逻辑功能

若 $R=1,S=0$，CP 作用后，$Q^{n+1}=0$

若 $R=0,S=1$，CP 作用后，$Q^{n+1}=1$

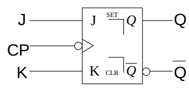
若 $R=0,S=0$，CP 作用后，$Q^{n+1}=Q^{n}$

若 $R=1,S=1$，CP 作用后，处于不稳定状态

Note:　CP 作用后指ＣＰ由 0 变为 1，再由 1 变为 0 时

5.主从 JK 触发器

特性方程为：$Q^{n+1}=J\overline{Q^{n}}+\overline{K}Q^{n}$ (CP 作用后)



逻辑功能

若 $J=1,K=0$，CP 作用后，$Q^{n+1}=1$

若 $J=0,K=1$，CP 作用后，$Q^{n+1}=0$

若 $J=1,K=0$，CP 作用后，$Q^{n+1}=Q^{n}$ (保持)

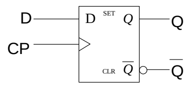
若 $J=1,K=1$，CP 作用后，$Q^{n+1}=\overline{Q^{n}}$ (翻转)

7. 边沿触发器

边沿触发器指触发器状态发生翻转在 CP 产生跳变时刻发生，

边沿触发器分为：上升沿触发和下降沿触发

1）边沿 D 触发器

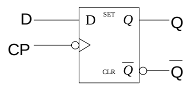


①上升沿 D 触发器

其特性方程 $Q^{n+1}=D$ (CP 上升沿到来时有效)

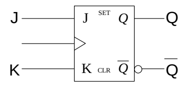
②下降沿 D 触发器

其特性方程 $Q^{n+1}=D$ (CP 下降沿到来时有效)



2）边沿 JK 触发器

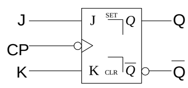
①上升沿 JK 触发器



其特性方程 $Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$ (CP 上升沿到来时有效)

②下降沿 JK 触发器

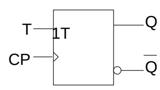
其特性方程 $Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$ (CP 下降沿到来时有效)



3） T 触发器

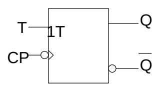
①上升沿 T 触发器

其特性方程 $Q^{n+1}=T\oplus Q^n$ (CP 上升沿到来时有效)



②下降沿 T 触发器

其特性方程: $Q^{n+1}=T\oplus Q^n$ (CP 下降沿到来时有效)



例：设图 A 所示电路中，已知 A 端的波形如图 B 所示，试画出 Q 及 B 端波形，设触发器初始状态为 0.

由于所用触发器为下降沿触发的 D 触发器，

其特性方程为 $Q^{n+1}=D=\overline{Q^n}$ (CP 下降沿到来时)　　　B =CP＝ $A\oplus\overline{Q^n}$

t_1 时刻之前　　$Q^n=1$，$\overline{Q^n}$ ＝0， A ＝0

CP=B=0⊕0=0

t_1 时刻到来时　　$Q^n=0$， A ＝1

CP=B=1⊕0=1　$Q^n=0$不变

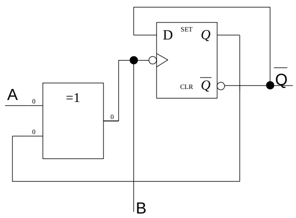
t_2时刻到来时　　A＝0，$Q^n=0$，故B=CP=0，当CP由1变为0时，$Q^{n+1}=\overline{Q^n}$＝$\bar{0}$＝1

当$Q^{n+1}=1$，而A=0⇒CP=1

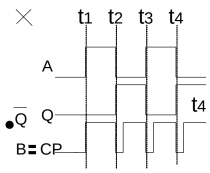
t_3时刻到来时，A=1，$Q^n=1$⇒CP=A⊕Q^n=0

当CP＝0时，$Q^{n+1}=\overline{Q^n}$＝0

当$Q^{n+1}=0$时，由于A=1，故CP= A⊕Q^n=1



图A



图B

若电路如图C所示，设触发器初始状态为0，C的波形如图D所示,试画出Q及B端的波形

当特性方程$Q^{n+1}=D$＝$\overline{Q^n}$（CP下降沿有效）

t_1时刻之前，A=0,　Q=0,　CP=B=$A\otimes Q^n=1$

t_1时刻到来时　　A＝1，　$Q^n=0$　故CP=B=$A\otimes Q^n=1\otimes 0=0$

当CP由1变为0时，$Q^{n+1}=\overline{Q^n}$＝1

当Q^n＝1时，由于A=1,故CP＝$1\otimes 1$, Q^n不变

t_2时刻到来时，Θ A＝0，Q^n＝1，故CP=B=$A\otimes 1=0$

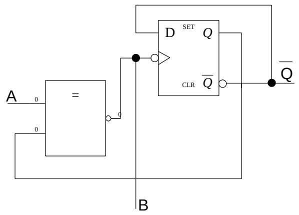
此时，CP由1变为0时，$Q^{n+1}=\overline{Q^n}$＝0

当Q^n＝0时，由于A＝0故CP=0⊗0=1

t_3时刻到来时，由于A=1，而Q^n＝0，故CP＝$A\otimes Q^n=0$

当 CP 由 1 变为 0 时，$Q^{n+1}=\overline{Q^n}$ ＝1

当 Q ＝1 时，由于 A ＝1，故 C P ＝ B ＝$1\otimes 1=1$



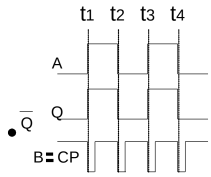
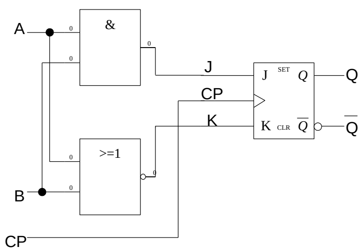


图 C　　　　　　　　　　图 D

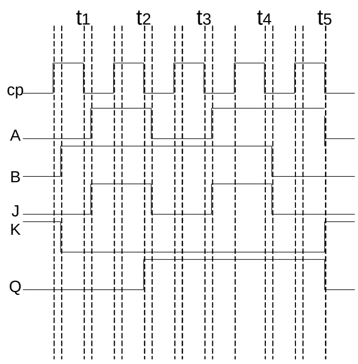
例：试写出如图示电路的特性方程，并画出如图示给定信号 CP、A 、 B 作用下 Q 端的波形，设触发器的初始状态为 0.



解：由题意该触发器为下降沿触发器 JK 触发器其特性方程

$Q^{n+1}=J\overline{Q^n}+\overline{K}Q^n$（CP 下降沿到来时有效）

其中 $J=A\cdot B$　　$K=\overline{A+B}$



由 JK 触发器功能：

J=1, K=0　CP 作用后 $Q^{n+1}=1$

J=0, K=0　CP 作用后 $Q^{n+1}=0$

J=0, K=0　CP 作用后 $Q^{n+1}=Q^n$

J=1, K=1　CP 作用后 $Q^{n+1}=\overline{Q^n}$

第 6 章　时序逻辑电路分类

一、时序逻辑电路分类

时序逻辑电路分为同步时序逻辑电路和异步时序逻辑电路，时序逻辑电路通常由组合逻辑电路和存贮电路两部分组成。

二、同步时序电路分析

分析步骤：①确定电路的组成部分

②确定存贮电路的即刻输入和时序电路的即刻输出逻辑式

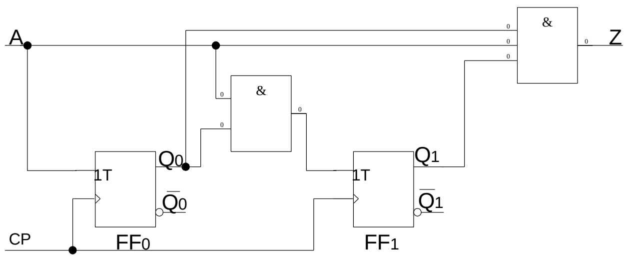
③确定电路的次态方程

④列出电路的特性表和驱动表

⑤由特性表和驱动表画出状态转换图

⑥电路特性描述。

例：分析如下图示同步时序电路的逻辑功能



解：①确定电路的组成部分

该电路由2个上升沿触发的T触发器和两个与门电路组成的时序电路

②确定存贮电路的即刻输入和时序电路的即刻输出

存贮电路的即刻输入：对于 FF_0： $T_o = A$

对于 FF_1： $T_o = AQ_0^n$

时序电路的即刻输出： $I = AQ_1^n Q_0^n$

③确定电路的状态方程

对于 FF_0： $Q_0^{n+1} = A \oplus Q_0^n$

对于 FF_1： $Q_1^{n+1} = (AQ_0^n) \oplus Q_1^n$

④列出状态表和真值表

由于电路有 2 个触发器，故可能出现状态分别为 00、01、10、11

设 $S_0 = Q_0^n Q_0^n = 00$

$S_1 = Q_0^n Q_0^n = 01$

$S_2 = Q_1^n Q_0^n = 10$

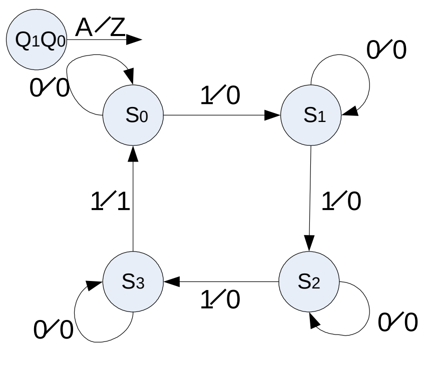
$S_3 = Q_1^n Q_0^n = 11$

Q_1^n	Q_0^n	$Q_1^{n+1} Q_0^{n+1} / Z$ A=0	A=1
0	0	00/0	01/0
0	1	01/0	10/0
1	0	10/0	11/0
1	1	11/0	00/1

$\Rightarrow$

Q_1^n Q_0^n	$Q_1^{n+1} Q_0^{n+1} / Z$ A=0	A=1
S_0	S_0/0	S_1/0
S_1	S_1/0	S_2/0
S_2	S_2/0	S_3/0
S_3	S_3/0	S_0/1

⑤电路状态图为

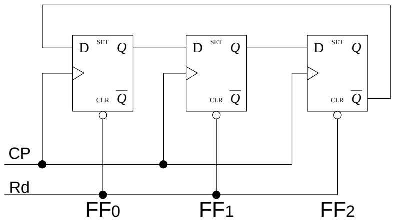


⑥电路的特性描述

由状态图，该电路是一个可控模 4 加法计数器，当 A=1 时，在 CP 上升沿到来后电路状态值加 1，一旦计数到 11 状态，Y=1，电路状态在下一个 CP 上升沿加到 00，输出信号 Y 下降沿可用于触发器进位操

作，当 A=0 时停止计数。

例：试分析下图示电路的逻辑功能



解：①确定电路的组成部分

该电路由 3 个上升沿触发的 D 触发器组成

②确定电路的太方程

对于 FF_0： $Q_0^{n+1}=D_0=\overline{Q_2^n}$ （CP 上升沿到来有效）

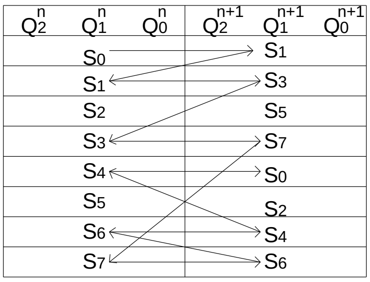
对于 FF_1： $Q_1^{n+1}=D_1=Q_0^n$ （CP 上升沿到来有效）

对于 FF_2： $Q_2^{n+1}=D_2=Q_1^n$ （CP 上升沿到来有效）

③列出状态转换真值表

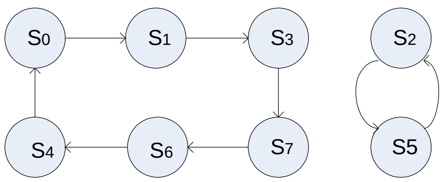
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	1	0	1
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	1	1	0

$\Rightarrow$



④由状态表转换真值表画出如下图示状态图

S_0、S_1、S_3、S_7、S_6、S_4这 6 个状态，形成了主循环电路，S_2、S_5为无效循环



有效循环　　无效循环

⑤ 逻辑功能分析

由状态图可以看出，此电路正常工作时，每经过 6 个时钟脉冲作用后，电路的状态循环一次，因此该电路为六进制计数器，电路中有 2 个无效状态，构成无效循环，它们不能自动回到主循环，故电路没有自启动能力。

三、同步时序电路设计

同步时序设计一般按如下步骤进行：

1）根据设计要求画出状态逻辑图；

2）状态化简；

3）状态分配；

4）选定触发器的类型，求输出方程、状态方程和驱动方程；

5）根据方程式画出逻辑图；

6）检查电路能否自启动，如不能自启动，则应采取措施加以解决。

例：用 JK 触发器设计一同步时序电路，其状态如下表所示，分析如图示同步时序电路。

Q_2^n	Q_1^n	$Q_2^{n+1}Q_1^{n+1}/Y$ A=0	A=1
0	0	01/0	11/0
0	1	10/0	00/0
1	0	11/0	01/0
1	1	00/1	10/1

解：

由题意，状态图已知，状态表已知。故进行状态分配及求状态方程，输出方程。

由于有效循环数 N=4，设触发器个数为 K,则 $2^k \geqslant 4$ 得到 K=2.

故选用 2 个 JK 触发器，将状态表列为真值表，求状态方程及输出方程。

A	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Y
0	0	0	0	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	0	0
1	1	0	0	1	0
1	1	1	1	0	1

Y 的卡偌图：

A \ $Q_1^nQ_0^n$	00	01	11	10
0	0	0	1	0
1	0	0	1	

$Y=Q_1^nQ_0^n$

Q_0^{n+1} 的卡偌图：

A \ $Q_1^nQ_0^n$	00	01	11	10
0	1	0	0	1
1	1	0	0	1

$Q_0^{n+1} = \overline{Q_0^n}$

Q_1^{n+1} 的卡偌图：

A \ $Q_1^nQ_0^n$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$Q_1^{n+1} = A\overline{Q_1^n}\,\overline{Q_0^n} + AQ_1^nQ_0^n + \bar{A}\overline{Q_1^n}Q_0^n + \bar{A}Q_1^n\overline{Q}_0^n$$

$$= (A\overline{Q_0^n} + \bar{A}Q_0^n)\overline{Q_1^n} + (AQ_0^n + \bar{A}\overline{Q_0^n})Q_1^n$$

$$= (\mathrm{A}\oplus Q_0^n)\,\overline{Q_1^n} + (\overline{A\oplus Q_0^n})Q_1^n$$

将 $Q_1^{n+1} = \overline{Q_0^n}$

$Q_1^{n+1}=(A\oplus Q_0^n)\overline{Q_1^n}+\overline{(A\oplus Q_0^n)}Q_1^n$ 分别写成 JK 触发器的标准形式：

$Q_1^{n+1}=J\ \overline{Q^n}+\overline{K}Q^n$

对于 $FF_0: Q_0^{n+1}=1\cdot\overline{Q_0^n}+\bar{1}\cdot Q_0^n$

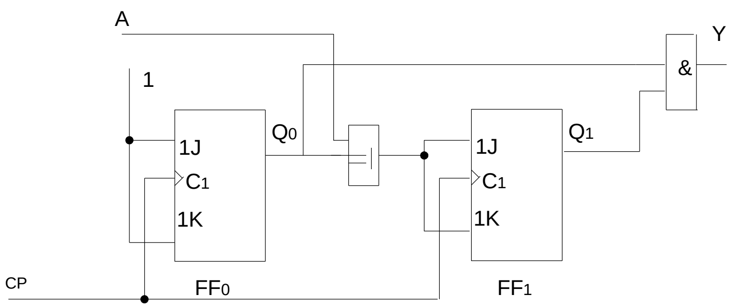
得到 $J_0=1$，$K_0=1$

对于方程 $Q_1^{n+1}=(A\oplus Q_0^n)\overline{Q_1^n}+\overline{(A\oplus Q_0^n)}Q_1^n$

得到 $J_1=A\oplus Q_0^n$

$K_1=A\oplus Q_0^n$

画出逻辑图，选用上升沿触发的 JK 触发器



第八章　脉冲波形的变换与产生

555 定时器及其应用

1.电路结构及工作原理

555 定时器内部由分压器、电压比较器、RS 锁存器（触发器）和集电极开路的三极管 T 等三部分组成，其内部结构及示意图如图 22a)、22b) 所示。

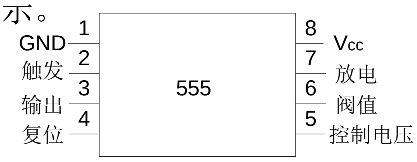


图22b) 引脚图

在图 22b）中，555 定时器是 8 引脚芯卡，放电三极管为外接电路提供放电通路，在使用定时器时，该三极管集电极

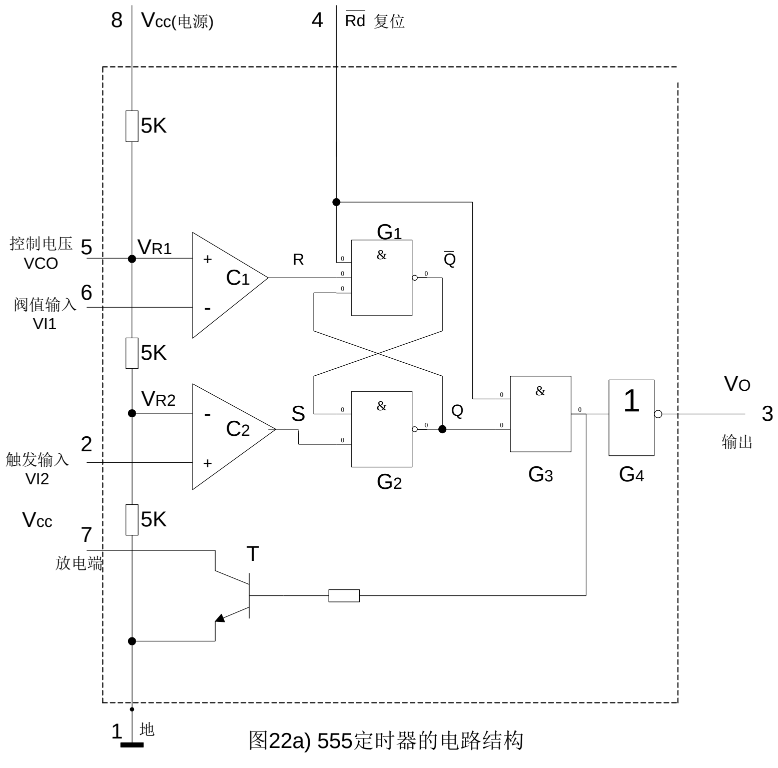


图22a) 555定时器的电路结构

（第 7 脚）一般要接上拉电阻，

C_1为反相比较器，C_2为同相比较器，比较器的基准电压由电源电压V_{CC}及内部电阻分压比决定，在控制V_{CO}（第 5 脚）悬空时，$V_{R_1}=\frac{2}{3}V_{CC}$、$V_{R_2}=\frac{1}{3}V_{CC}$；

如果第 5 脚外接控制电压，

则$V_{R_1}=V_{CO}$、$V_{R_2}=\frac{1}{2}V_{CO}$，$\overline{R_d}$端（第 4 脚）是复位端，只要$\overline{R_d}$端加上低电平，输出端（第 3 脚）立即被置成低电平，不受其它输入状态的影响，因此正常工作时必须使$\overline{R_d}$端接高电平。

由图 22a)，G_1和G_2组成的 RS 触发器具有复位控制功能，可控制三极管 T 的导通和截止。

由图 22a)可知，

当$V_{i1}>V_{R_1}$（即$V_{i1}>\frac{2}{3}V_{CC}$）时，比较器C_1输出$V_R=0$

当$V_{i2}>V_{R_2}$（即$V_{i2}>\frac{1}{3}V_{CC}$）时，比较器C_2输出$V_S=1$

RS 触发器 Q＝0

G_3输出为高电平，三极管 T 导通，输出为低电平（$V_o=0$）

当$V_{i1}<V_{R_1}$（即$V_{i1}<\frac{2}{3}V_{CC}$）,$V_{i2}<\frac{1}{3}V_{CC}$时，比较器C_1输出高电平，$V_R=1$，C_2输出为低电平$V_S=0$

基本 RS 触发器 Q＝1，G_3输出为低电平，三极管 T 截止，同时G_4输出为高电平。

当$V_{i1}>V_{R_1}$（即$V_{i1}>\frac{2}{3}V_{CC}$）时，比较器C_1输出$V_R=0$

当$V_{i2}<V_{R_2}$（即$V_{i2}<\frac{1}{3}V_{CC}$）时，比较器C_2输出$V_S=0$

$\Rightarrow G_1$、G_2输出 Q＝1，$\overline{Q}=1$

同进 T 截止，G_4输出为高电平

这样，就得到了表 2 所示 555 功能表。

表 2 555定时器功能表

$\overline{R}$d	V_{I1}	V_{I2}	V_O	T的状态
0	×	×	0	导通
1	$>\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	0	导通
1	$<\frac{2}{3}V_{CC}$	$<\frac{1}{3}V_{CC}$	1	截止
1	$>\frac{2}{3}V_{CC}$	$<\frac{1}{3}V_{CC}$	1	截止
1	$<\frac{2}{3}V_{CC}$	$>\frac{1}{3}V_{CC}$	不变	不变

2.应用

1）用 555 构成单稳态触发器

其连接图如图 23 所示。

若将其第 2 脚（V_{i2}）作为触发器信号的输入端，第 8 脚外接电阻 R 是第 7 脚;第 7 脚与第 1 脚之间再接一个电容 C，则构成了单稳态触发器。

其工作原理如下：

电源接通瞬间，电路有一个稳定的过程，即电源通过 R 向 C 充电，当V_C上升到$\frac{2}{3}V_{CC}$时，V_O为低电平，放电三极管和 T 导通，电容 C 放电，电路进入稳定状态。

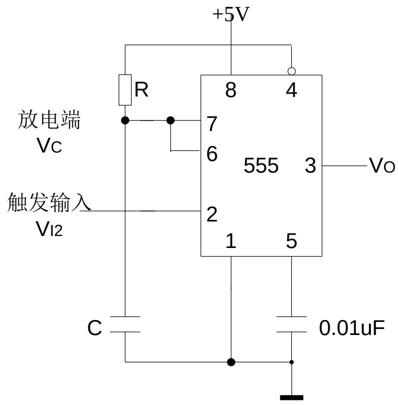


图23 用555定时器接成的单稳态触发器

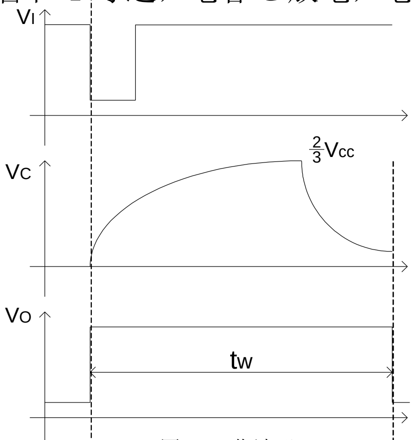


图24 工作波形

若触发输入端施加触发信号（$V_i < \frac{1}{3}V_{CC}$），触发器翻转，电路进入暂稳态，V_O输出为高电平，且放电三极管 T 截止，此后电容 C 充电至$V_C = \frac{2}{3}V_{CC}$时，电路又发生翻转，V_O为低电平，放电三极管导通，电容 C 放电，电路恢复至稳定状态。

其工作波形如图 24 所示。

$t_w = RC\ln 3 = 1.1RC$

2）用 555 构成施密特触发器

将 555 定时器的V_{i1}和V_{i2}两个输入端连在一起作为信号输入端，即可得到施密特触发器，如图 25 所示，施密特触发器能方便地将三角波、正弦波变成方波。

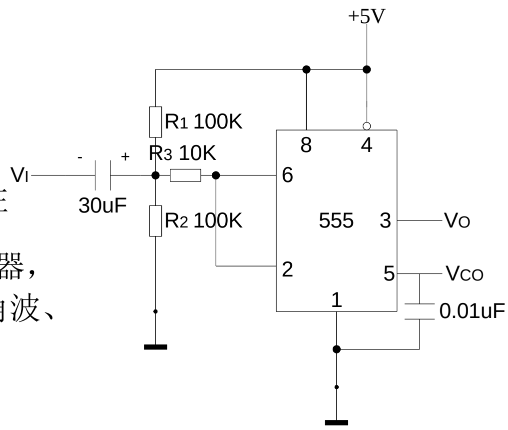


图25

由于 555 内部比较器C_1和C_2的参考电压不同，因而基本 RS 触发器的置 0 信号和置 1 信号必然发生在输入信号的不同电平，因此，输出电压V_o由高电平变为低电平和由

低电平变为高电平所对应的V_i值也不同，这样，

就形成了施密特触发器。

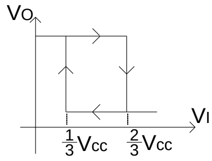


图26

为提高比较器参考电压V_{R_1}和V_{R_2}的稳定性，

通常在V_{CO}端接有 0.01 μF 左右的滤波电容。

根据 555 定时器的结构和功能可知：

当输入电压$V_i=0$时，$V_O=1$，当V_i由 0 逐渐升高到$\frac{2}{3}V_{CC}$时，V_O由 1 变为 0；

当输入电压V_i从高于$\frac{2}{3}V_{CC}$开始下降直到$\frac{1}{3}V_{CC}$，V_O由 0 变为 1；

由此得到 555 构成的施密特触发器的正向阀值电压$V_{T+}=\frac{2}{3}V_{CC}$

负向阀值电压$V_{T-}=\frac{1}{3}V_{CC}$，回差电压$\Delta V_T=V_{T+}-V_{T-}=\frac{1}{3}V_{CC}$

如果参考电压由外接的电压V_{CO}供给，则这时$V_{T+}=V_{CO}$，$V_{T-}=\frac{1}{2}V_{CO}$

$\Delta V_T=\frac{1}{2}V_{CO}$，通过改变$V_{CO}$值可以调节回差电压的大小

3）用 555 构成多谐振荡器

由 555 构成的多谐振荡器及其工作波形如图 27 所示

a. 接通电源后，电容 C 被充电，V_C上升，当V_C上升到$\frac{2}{3}V_{CC}$时，触发器被复位，同时放电三极管 T 导通，此时V_O为低电平，电容 C 通过R_2和 T 放电，使V_C下降；

b. 当V_C下降到$\frac{1}{3}V_{CC}$时，触发器又被置位，V_O翻转为高电平，电容器 C 放电所需的时间为$t_{pL}=R_2C\ln 2=0.7RC$

c. 当 C 放电结束时，T 截止，V_{CC}通过R_1、R_2向电容器 C 充电，V_C由$\frac{1}{3}V_{CC}$上升到$\frac{2}{3}V_{CC}$所需的时间为$t_{pH}=(R_1+R_2)C\ln 2=0.7(R_1+R_2)C$

d. 当V_C上升到$\frac{2}{3}V_{CC}$时，触发器又发生翻转，如此周而复始，在输出端就得到一个周期性的方波，其频率为$f=\frac{1}{t_{pL}+t_{pH}}=\frac{1.43}{(R_1+R_2)C}$

在图 16 所示电路中，$t_{pL}\neq t_{pH}$，而且占空比固定不变，若将图 16 改成 17 所示电路，电路利用D_1、D_2单向导电性将电容器 C 放电回路分开，再加上电

位器调节，使构成了占空比可调 的多谐振荡器。

图中，V_{CC} 通过 R_A、 D_1 向电容 C 充电，充电时间为 t_{pH} ＝0.7 R_AC

电容 C 通过 D_2、R_B 及 555 中的放电三极管 T 放电，放电时间为 t_{pL} ＝0.7 R_B C

因而振荡频率为 $f=\dfrac{1}{t_{pL}+t_{pH}}=\dfrac{1.43}{(R_A+R_B)C}$

可见，这种振荡器输出波形占空比为 $q(\%)=\dfrac{R_A}{R_A+R_B}\times 100\%$

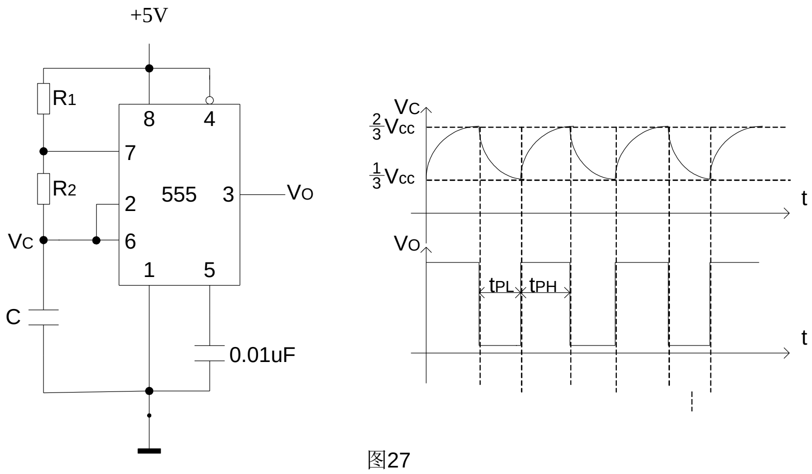


图27