

实验一 基本门电路——Vivado 开发环境及 FPGA 开发板的熟悉

实验目的

熟悉 Vivado 开发环境，掌握设计流程，包括如何用 Verilog 语言设计电路、仿真、综合、实现与下载。

实验内容

门电路设计

使用 Verilog HDL 语言的数据流描述方法设计一个数据宽度可在 1~32 之间变化的 2 输入与门 andgate（或门、非门、与非门等基本门电路），利用仿真来验证设计。并将该与门封装成可变数据宽度参数的 IP 核。

与门真值表如下：

输入		输出
<i>a</i>	<i>b</i>	<i>c</i>
0	0	0
0	1	0
1	0	0
1	1	1

实验过程

门电路设计与 IP 核封装

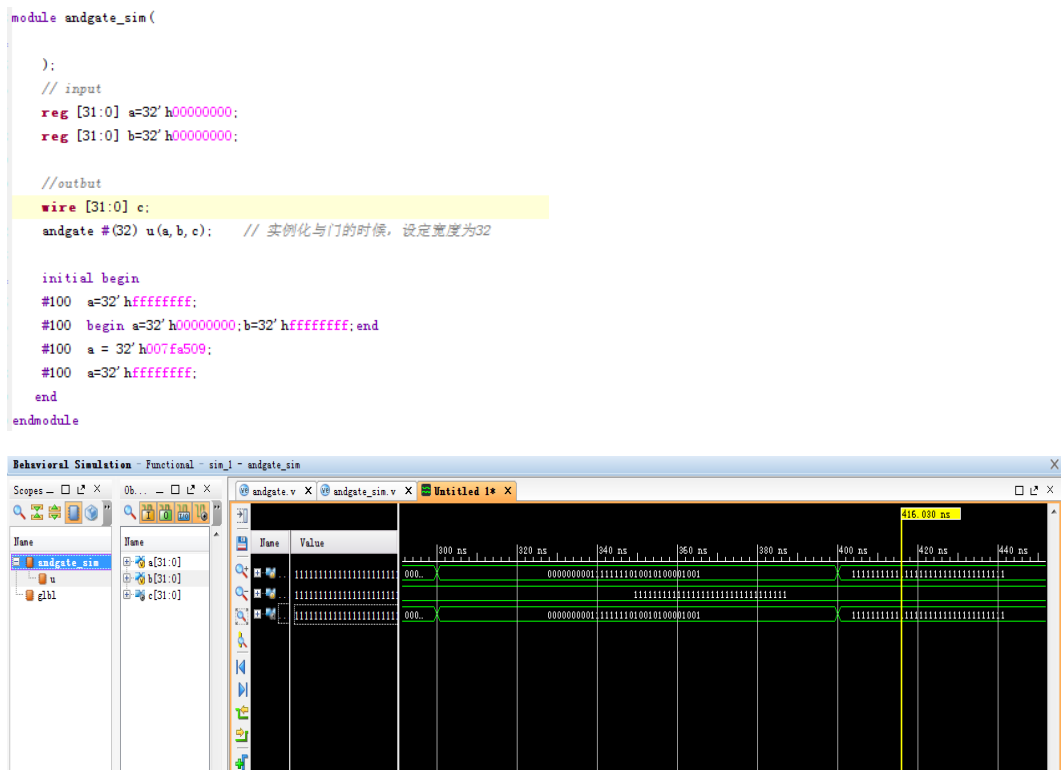
- 1、参考 “Vivado 设计流程” 打开 vivado 开发环境，新建工程 shiyan1-2，在 shiyan1-2 中新建设计文件 (andgate.v)，并输入设计代码，实现一个数据宽度可在 1~32 之间变化的 2 输入与门的电路模块。（注意：工程名称、路径不能含中文或特殊字符，N4 板卡型号为 XC7A100TCSG324-1, B3 板卡型号为 xc7a35tcpg236-1）。

```
module andgate
#(parameter WIDTH=8)           //指定数据宽度参数，缺省值是8
(
    input [(WIDTH-1):0] a,      // 出具位数由参数WIDTH决定
    input [(WIDTH-1):0] b,
    output [(WIDTH-1):0] c
);

    assign c = a & b;           // 2输入与门
endmodule
```

- 2、编写仿真文件，并进行仿真。

a) 仿真 32 位的 2 输入与门 (andgate_sim.v)，情况如下：

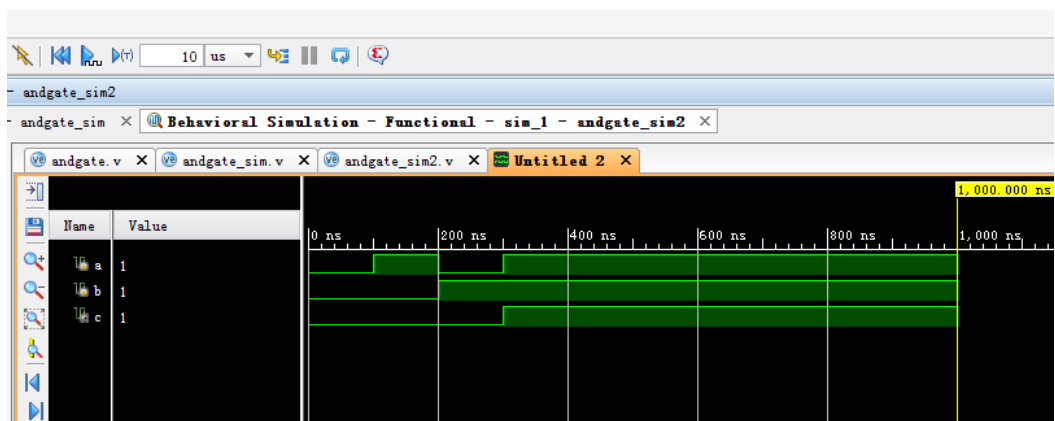


b) 仿真 1 位的 2 输入与门(andgate_sim2.v)，情况如下：

```

module andgate_sim2();
// input
reg a=0;
reg b=0;
//outbut
wire c;
andgate # (1) u(a,b,c); // 实例化与门的时候，设定宽度为1
initial begin
#100 a=1;
#100 begin a=0;b=1;end
#100 a=1;
end
endmodule

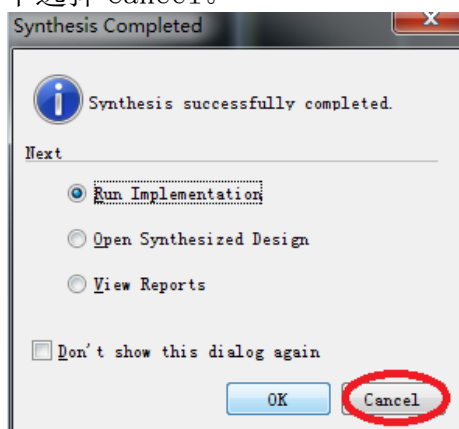
```



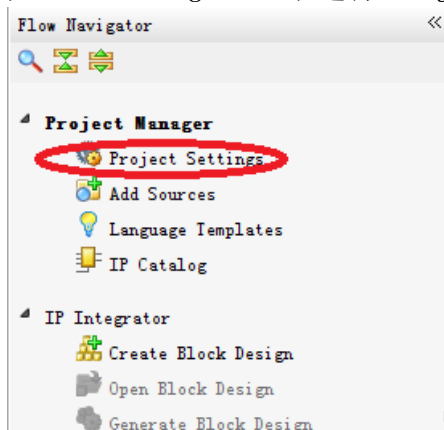
注意：如有需要编写了多个仿真文件，运行某一个仿真文件时需“set as top”，具体方法为鼠标右键点击该仿真文件，选择“set as top”。

3、验证无误后，可以封装 IP 核：

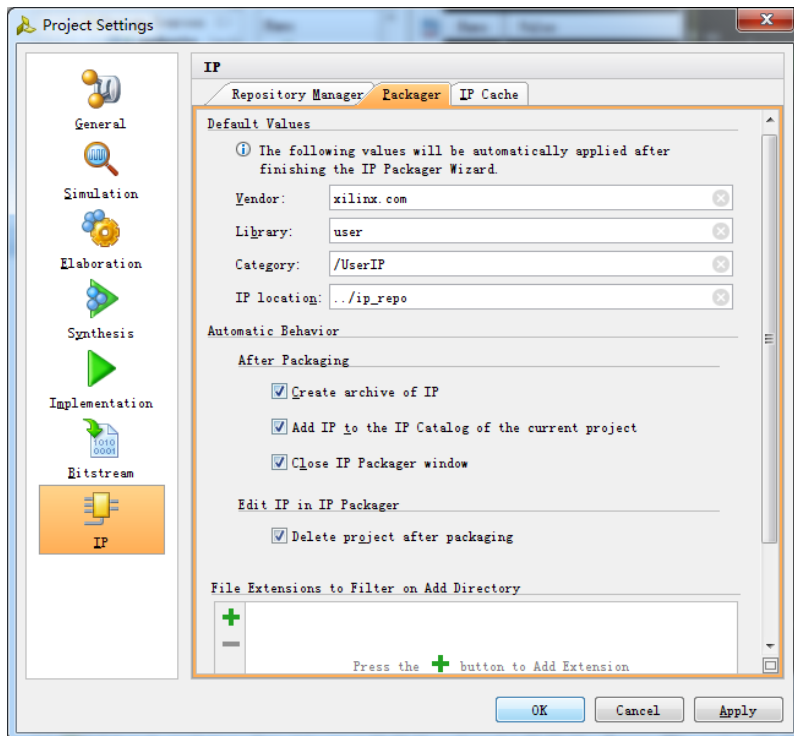
- 1) 对仿真正确的 andgate 模块进行综合，综合结束后在出现的对话框中选择 Cancel。



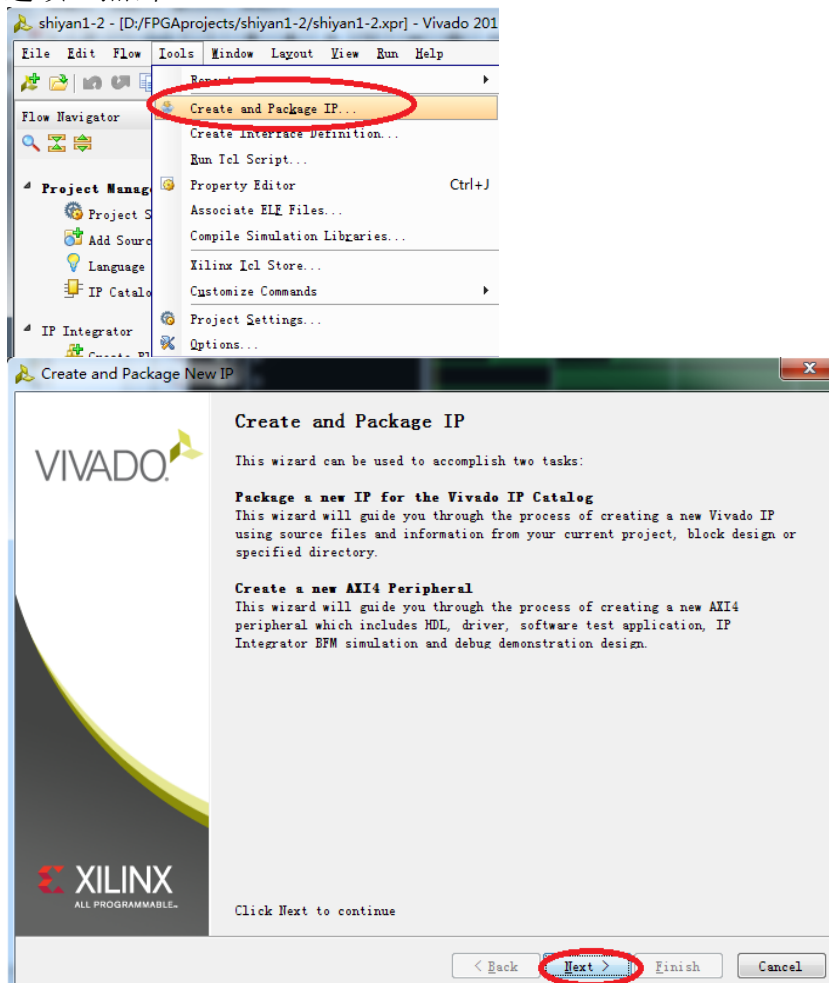
- 2) 在 Flow Navigator 中选择 Project Settings。

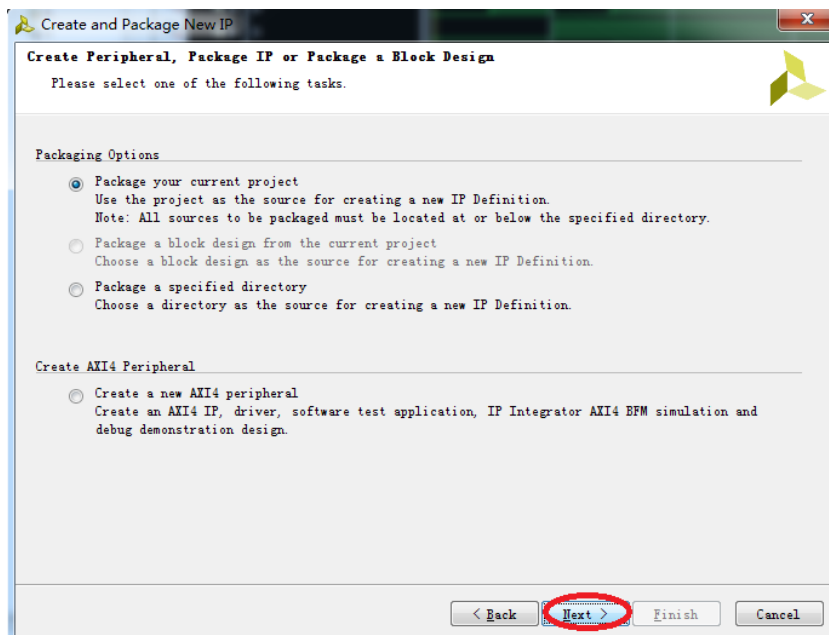


- 3) 在 Project Settings 对话框中选择 IP，并进入 Packager 选项卡，如图进行设置。设置好后，点击 Apply，然后点击 OK。记住这里设置的各个属性。

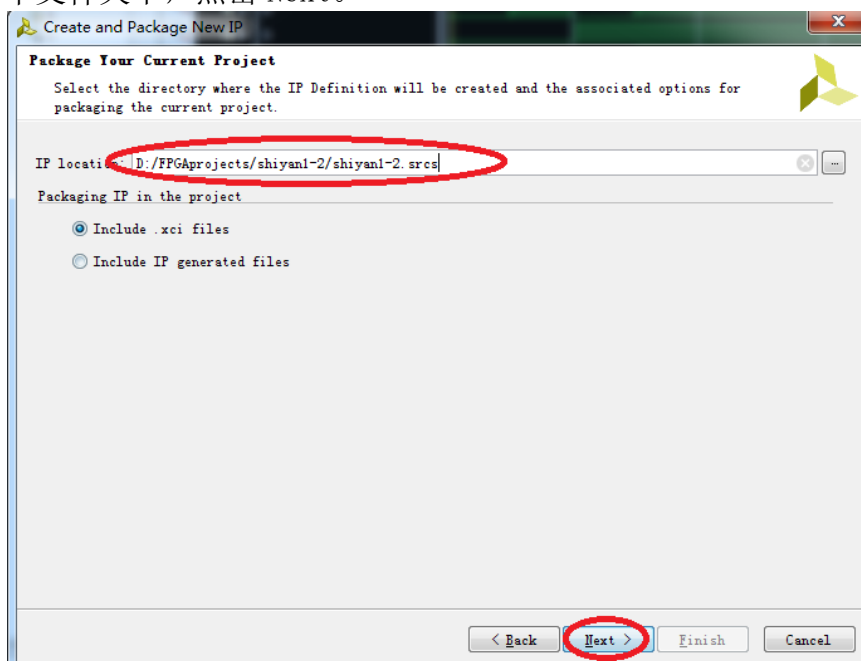


- 4) 在 Vivado 的菜单栏中选择 Tools->Create and Package IP…。在弹出的窗口中点击 Next。在之后弹出的窗口中如图 2-39 所示设置封装选项。点击 Next。





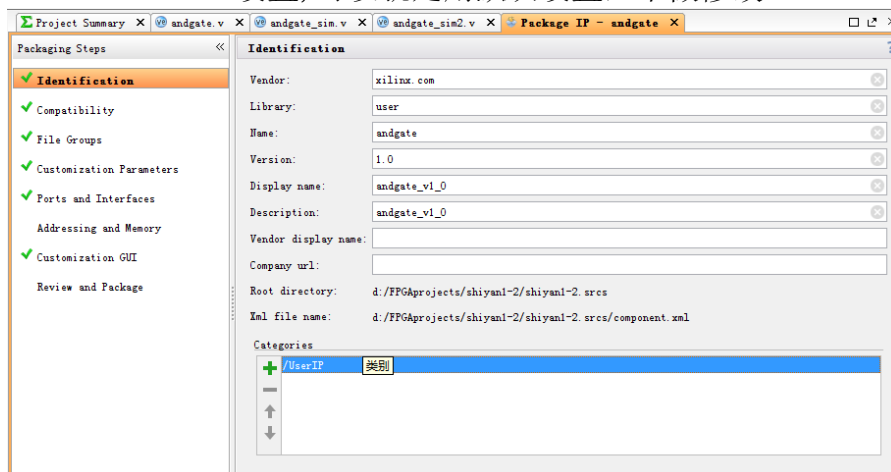
- 5) 设置 IP Location，可以使用默认路径，不做修改，不过我们知道了封装后的 IP 放在了 D:/FPGAprojects/shiyan1-2/shiyan1-2.srcs 这个文件夹中，点击 Next。



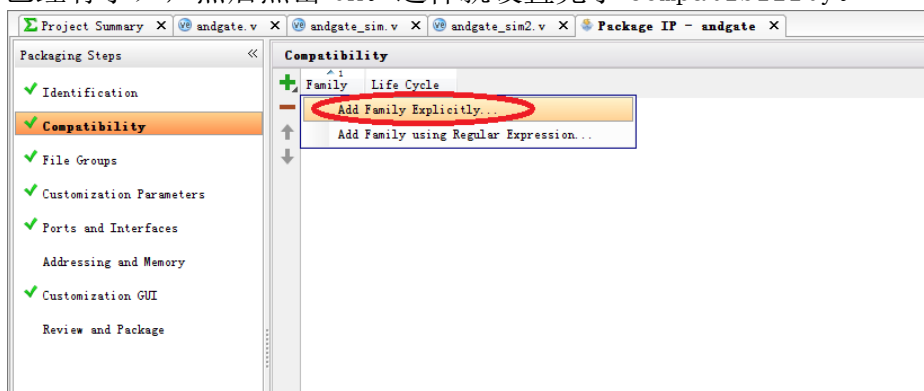
- 6) 随后点击 Finished，进行 IP 核封装的具体设置。

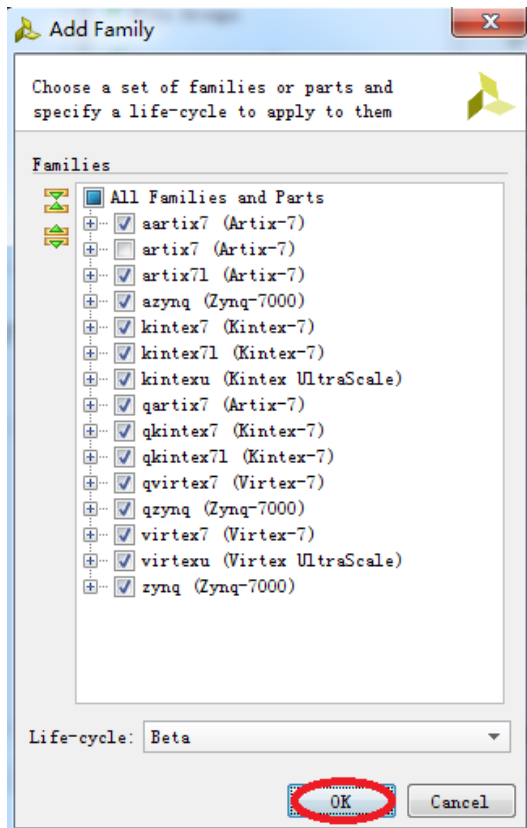


7) Identification 设置, 可以就是用默认设置, 不做修改。

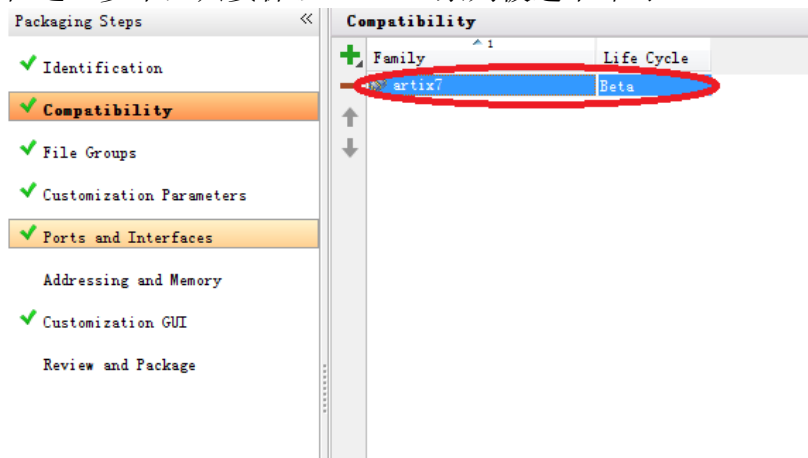


8) Compatibility 设置, 添加 IP 核支持的芯片家族, 点击 Add Family Explicitly, 选中除 artix7 之外的所有芯片家族 (因为 artix7 系列已经有了), 然后点击 OK。这样就设置完了 compatibility。

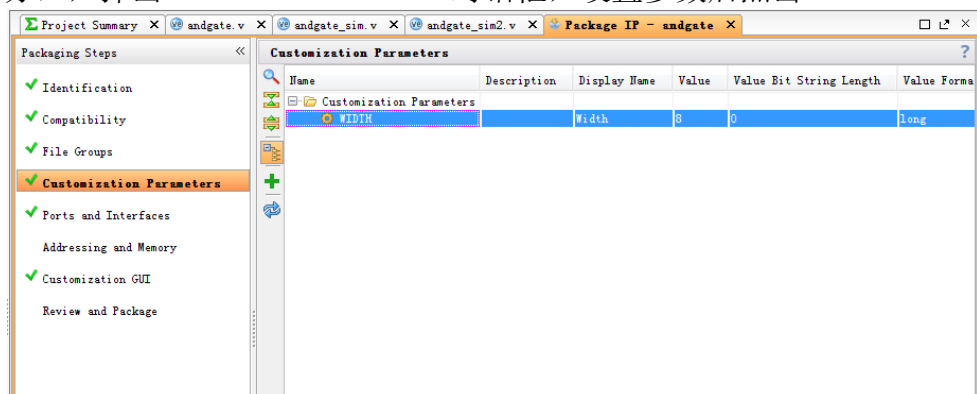


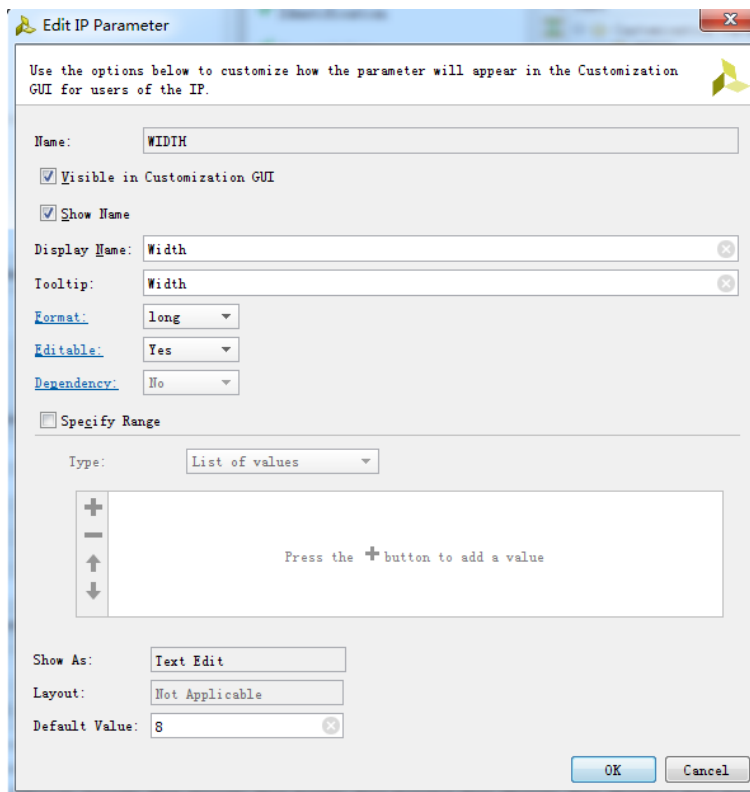


在这一步中，只要保证 artix7 系列被选中即可。

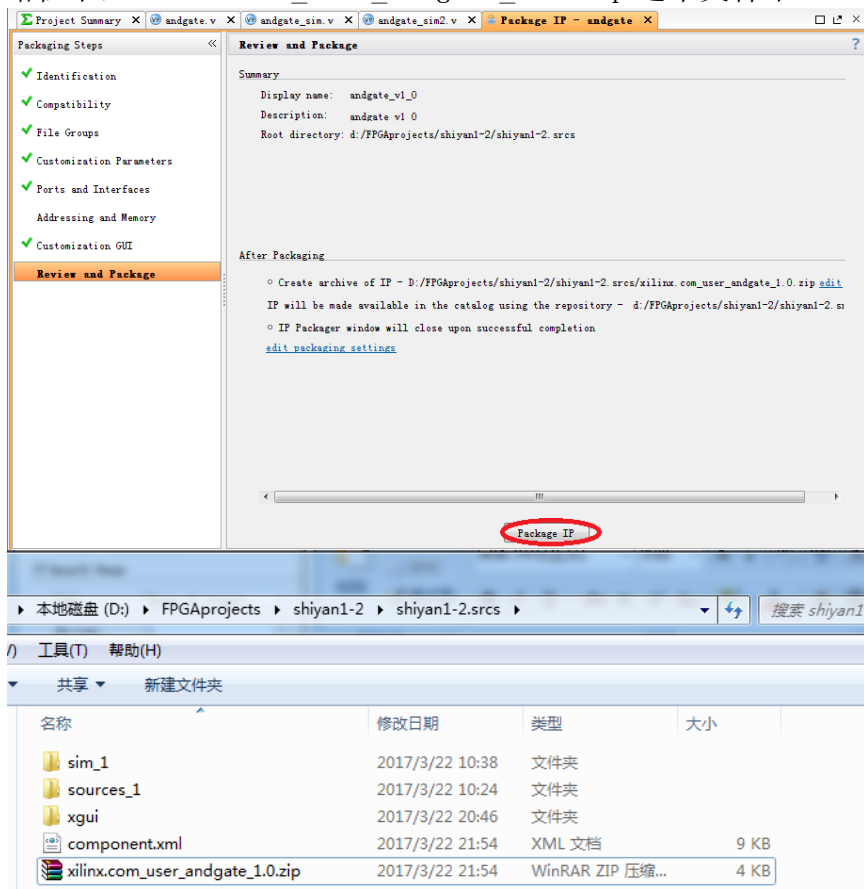


9) 接下来设置 Customization Parameters。双击 WIDTH (图中高亮部分)，弹出 Edit IP Parameter 对话框，设置参数后点击 OK。





- 10) 接下来我们到 Review and Packaging, 点击 Package IP。andgate 的 IP 核就生成了, 在 D:/FPGAprojects/shiyan1-2/shiyan1-2.srscs 路径下, xilinx.com_user_andgate_1.0.zip 这个文件中。



- 4、用以上方法分别设计或门、非门、与非门等基本门电路并封装成 IP 核。