

# 《计算机组成原理》实验报告

年级、专业、班级	2022级计算机科学与技术03班/01班/06班	姓名	叶旭航,解吴雪,李佳玲
实验题目	实验四简单五级流水线CPU		
实验时间	2024 年 4 月 30 日	实验地点	DS1410
实验成绩	优秀/良好/中等	实验性质	<input type="checkbox"/> 验证性 <input checked="" type="checkbox"/> 设计性 <input type="checkbox"/> 综合性
<p>教师评价:</p> <p><input type="checkbox"/>算法/实验过程正确; <input type="checkbox"/>源程序/实验内容提交; <input type="checkbox"/>程序结构/实验步骤合理;</p> <p><input type="checkbox"/>实验结果正确; <input type="checkbox"/>语法、语义正确; <input type="checkbox"/>报告规范;</p> <p>其他:</p> <p>评价教师: 冯永</p>			
<p>实验目的</p> <p>(1)掌握流水线(Pipelined)处理器的思想。</p> <p>(2)掌握单周期处理中执行阶段的划分。</p> <p>(3)了解流水线处理器遇到的冒险。</p> <p>(4)掌握数据前推、流水线暂停等冒险解决方式。</p>			

报告完成时间: 2024年 4月 30日

# 1 实验内容

阅读实验原理实现以下模块：

- (1) Datapath, 所有模块均可由实验三复用, 需根据不同阶段, 修改mux2为mux3(三选一选择器), 以及带有enable(使能)、clear(清除流水线)等信号的触发器,
- (2) Controller, 其中main decoder与alu decoder可直接复用, 另需增加触发器在不同阶段进行信号传递
- (3) 指令存储器inst\_mem(Single Port Ram), 数据存储器data\_mem(Single Port Ram); 同实验三一致, 无需改动,
- (4) 参照实验原理, 在单周期基础上加入每个阶段所需要的触发器, 重新连接部分信号。实验给出top文件, 需兼容top文件端口设定。
- (5) 实验给出仿真程序, 最终以仿真输出结果判断是否成功实现要求指令。

# 2 实验设计

这一节, 主要描述各个模块的功能、接口、逻辑控制方法(状态机控制方法)等。(红字为内容说明, 请删除)

## 2.1 冒险处理模块

### 2.1.1 功能描述

简单描述实现的功能即可, 一句话亦可(红字为内容说明, 请删除)

### 2.1.2 接口定义

接口定义请使用表格, 需要包括接口信号名、方向、宽度、含义(红字为内容说明, 请删除)

表 1: 接口定义模版

信号名	方向	位宽	功能描述
valid	Output	1-bit	If CPU stopped or any exception happens, valid signal is set to 0.

### 3 实验过程记录

记录实验的过程,完成了什么样的工作,存在的问题包括哪些,解决方案如何等。subsubsection名称自行设定。

### 4 实验结果及分析

需要仿真图一张,控制台打印输出图一张,要求仿真图中包含pc、instr、rs、rt、rd、result信号,仿真图应在控制台打印输出Simulation succeeded时截图。控制台打印输出图为此时截图。

#### A Datapath代码

其他模块不需要填写(红字为内容说明,请删除)

#### B Hazard代码

其他模块不需要填写(红字为内容说明,请删除)

#### C Controller代码

其他模块不需要填写(红字为内容说明,请删除)