

## Arquitectura Von Neumann

Nombre de la estructuración utilizada en los ordenadores actuales; desde 1945 con **UNIVAC**.

Arquitectura diferenciadora entre hardware y software que él creó (Jhon Von Neumann es junto con Alan Turing padre de la informática moderna, y curiosamente el gran precursor de los virus informáticos en sus estudios sobre autómatas autorreproductores que John Conway continuó en 1970 con el juego "Life", antecesor a su vez de los algoritmos genéticos).

Según esta arquitectura, una definición adecuada para un computador sería la siguiente:

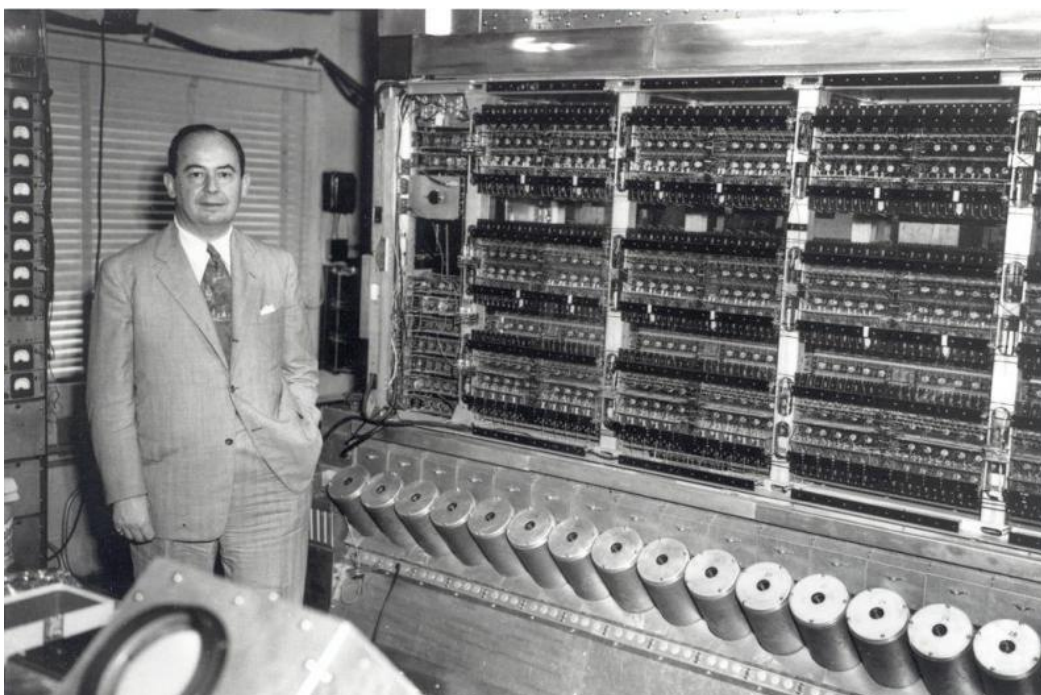
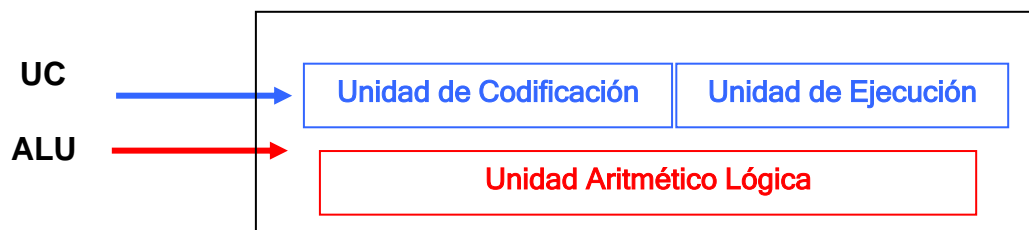


***Máquina programada de propósito general capaz de realizar una serie de operaciones básicas siguiendo un conjunto de instrucciones que le son proporcionadas a través de un programa encaminado a resolver un problema.***

***28/Dic/1903 Budapest (Hungria) – 8/Feb/1957 Whashington (USA) - 54 Años***

Los elementos básicos de un computador propuestos por Von Neumann y que se utilizan en la actualidad son los siguientes:

- **Memoria:** Su misión consiste en servir de almacenamiento de la información dentro del computador, sean programas o datos, y sin hacer distinción entre código y datos (no hay una memoria para datos y otra para código ejecutable, está unificada).
- **Dispositivos de E/S (Entrada/Salida):** Engloban todos aquellos periféricos como puedan ser ratones, monitores, teclados,... es decir, todo lo que proporcione datos al computador o a través de lo cual salgan de él.
- **BUS de comunicaciones:** Las operaciones de accesos a datos, de manejo de periféricos y otras, han de realizarse a través de un BUS (hilos de comunicación); su misión engloba por ejemplo la transferencia de datos entre memoria y procesador.
- **CPU - Unidad Central de Proceso (Central Processing Unit):** Es la encargada de controlar y ejecutar todas las funciones del computador. Es la que determina en qué condición se ejecuta el código y como han de mandarse los datos, generando además todas las señales de control que afectan al resto de las partes.



**Unidad de Codificación (UC y BIU)**

Se encarga de decodificar la instrucción que se va a ejecutar, ósea saber que instrucción es.

*Ejemplo:* Identificar que es una suma ó resta ó división ó AND

**Unidad de Ejecución (EU)**

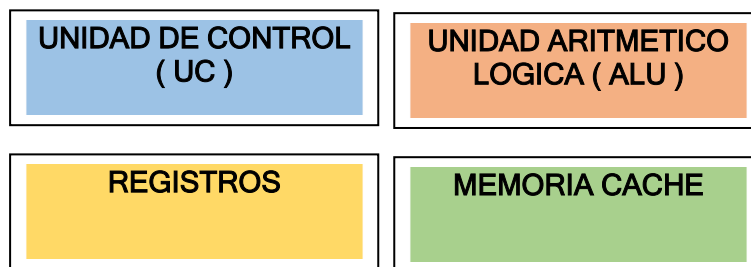
Recibe la instrucción interpreta por la Unidad de Codificación, activando las señales necesarias para poder poner en marcha la instrucción.

**Unidad Aritmético Lógica (ALU)**

Es el bloque que realiza todas las operaciones matemáticas y operaciones lógicas.

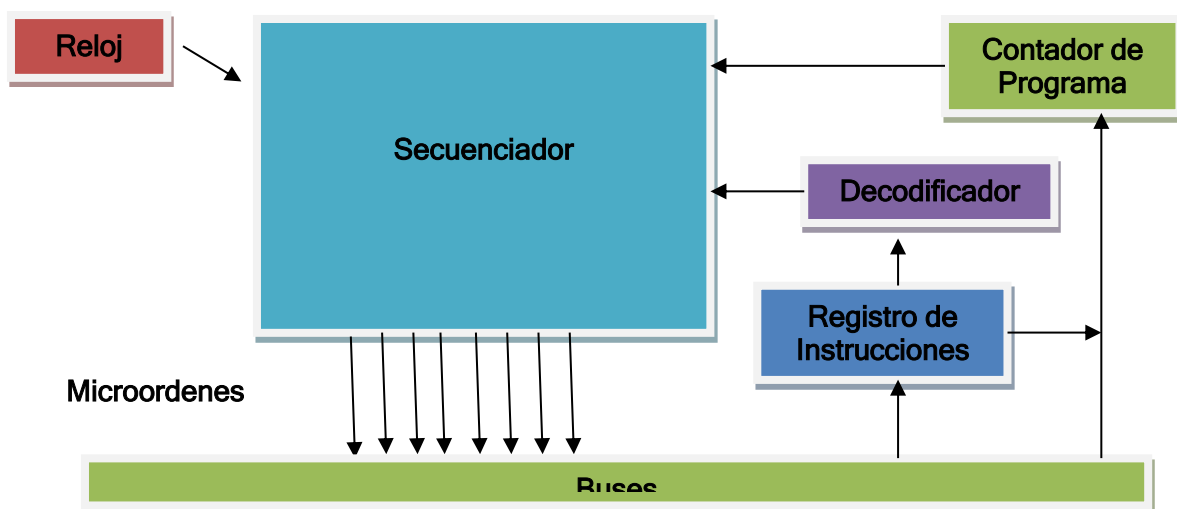
**ESTRUCTURA GENERAL DE UN PROCESADOR**

*Diagrama*

**UNIDAD DE CONTROL**

Es donde se controlan, interpretan y ejecutan todas las operaciones del usuario del computador y propias de él mismo. Entre sus funciones están:

- Tomas las instrucciones de memoria
- Decodificar e interpretar la instrucción
- Ejecutar la instrucción.



**Contador de programa:** Contiene la dirección de la siguiente instrucción a ejecutarse.

**Registro de instrucción:** Contiene la instrucción que se va a ejecutar.

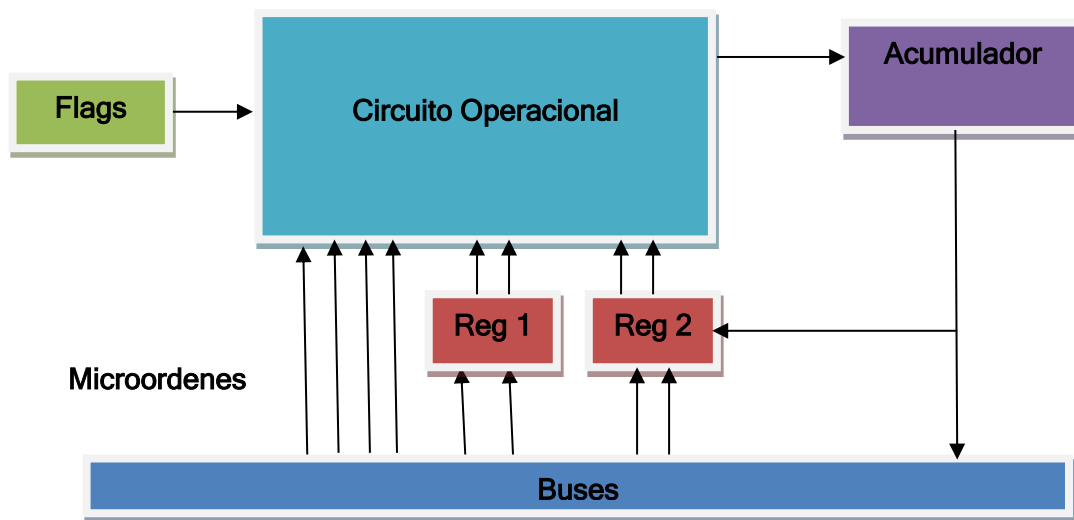
**Decodificador:** Interpreta y analiza la instrucción que se va a ejecutar para emitir señales.

**Reloj:** Sincronismo del proceso.

**Secuenciador:** Genera las ordenes sincronizadas con el pulso del reloj.

## UNIDAD ARITMETICO LOGICA

Realiza todas las operaciones matemáticas y lógicas del procesador.

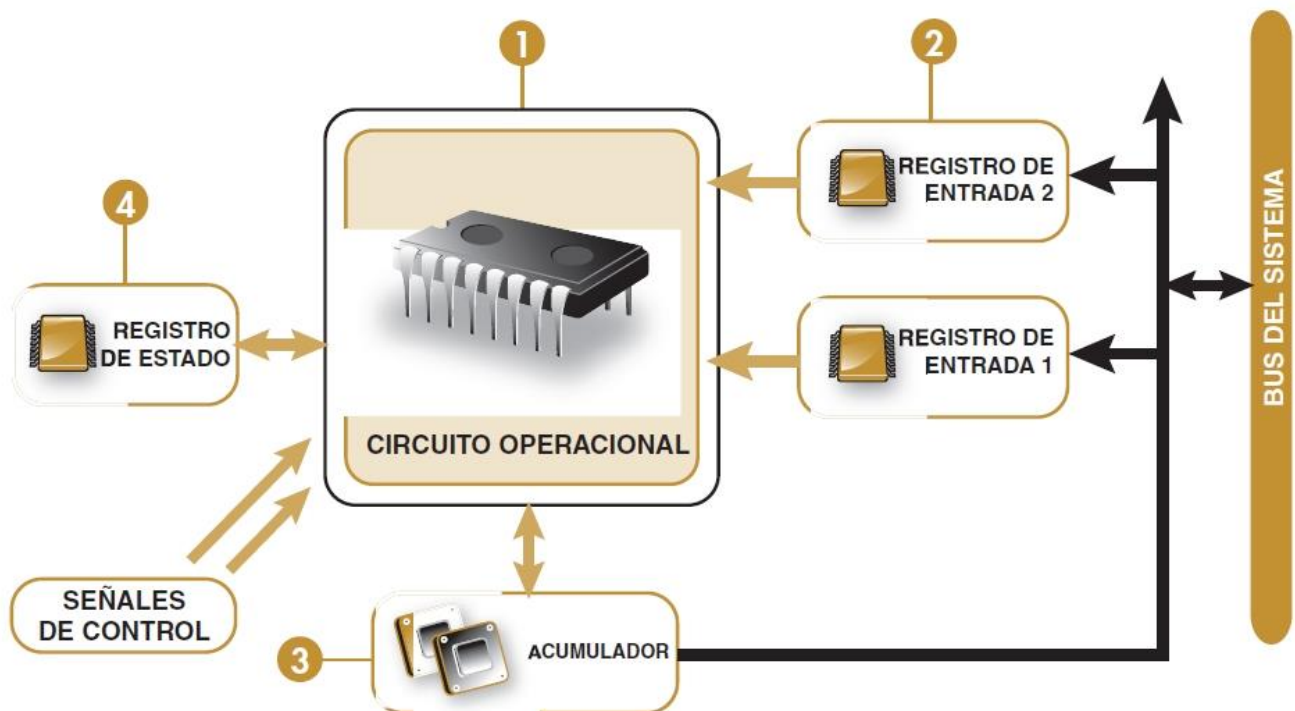


**Circuito Operacional:** Contiene los registros necesarios para realizar las operaciones con los datos procedentes de una instrucción anterior o nueva instrucción.

**Flags:** registro de banderas, donde se queda guardado los valores particulares de la instrucción ejecutada.

**Reg 1 y Reg 2:** Almacenan los datos y operandos de las instrucciones.

**Acumulador:** Almacena el resultado de la última instrucción que se ha ejecutado.



## CLASIFICACIÓN DE LOS MICROPROCESADORES

En función de las instrucciones que son capaces de ejecutar los procesadores se clasifican en:

- **CISC** Ordenador con un conjunto complejo de instrucciones.
- **RISC** Ordenador con un conjunto reducido de instrucciones ( Una instrucción por ciclo de reloj).
- **RISC Superscalar** Ordenador con un conjunto reducido de instrucciones ( Más de una instrucción por ciclo de reloj).

## ARQUITECTURAS 16, 32 y 64 bits

La arquitectura x86 fue lanzada por Intel con el procesador Intel 8086 en el año 1978 como una arquitectura de 16 bits.

Esta arquitectura de Intel evolucionó a una arquitectura de 32 bits cuando apareció el procesador Intel 80386 en el año 1985, denominada inicialmente i386 o x86-32 y finalmente IA-32.

Desde 1999 hasta el 2003, AMD amplió esta arquitectura de 32 bits de Intel a una de 64 bits y la llamó x86-64 en los primeros documentos y posteriormente AMD64. Intel pronto adoptó las extensiones de la arquitectura de AMD bajo el nombre de IA-32e o EM64T, y finalmente la denominó Intel 64.

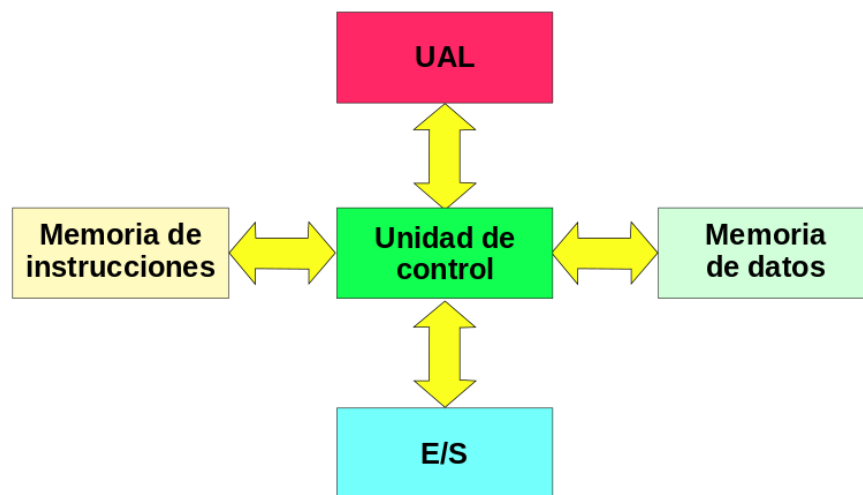
La arquitectura x86-64 (AMD64 o Intel 64) de 64 bits da un soporte mucho mayor al espacio de direcciones virtuales y físicas, proporciona registros de propósito general de 64 bits y otras mejoras que conoceremos más adelante.

Cualquier procesador actual también dispone de una serie de unidades específicas para trabajar con números en punto flotante (juego de instrucciones de la FPU), y de extensiones para trabajar con datos multimedia (juego de instrucciones MMX y SSE en el caso de Intel, o 3DNow! en el caso de AMD).

### Arquitectura Harvard

La arquitectura Harvard es una arquitectura de computadora con pistas de almacenamiento y de señal físicamente separadas para las instrucciones y para los datos. El término proviene de la computadora Harvard Mark I basada en relés, que almacenaba las instrucciones sobre cintas perforadas (de 24 bits de ancho) y los datos en interruptores electromecánicos. Estas primeras máquinas tenían almacenamiento de datos totalmente contenido dentro la unidad central de proceso, y no proporcionaban acceso al almacenamiento de instrucciones como datos. Los programas necesitaban ser cargados por un operador; el procesador no podría arrancar por sí mismo.

Hoy en día (2019), la mayoría de los procesadores implementan dichas vías de señales separadas por motivos de rendimiento, pero en realidad implementan una arquitectura Harvard modificada, para que puedan soportar tareas tales como la carga de un programa desde una unidad de disco como datos para su posterior ejecución.



### RELOJ

El reloj interno es un componente del microprocesador que emite una serie de pulsos eléctricos a intervalos constantes llamados ciclos, estos ciclos marcan el ritmo que ha de seguirse para la realización de cada paso de que consta la instrucción.

Se basa en la teoría binaria para marcar el ritmo (también denominado pulso), el cual se considera como 1 al estado de encendido y 0 al estado de apagado. La velocidad de cambio se denomina en hercios (Hz) que son los ciclos de cambio por segundo y esto define la velocidad de funcionamiento del microprocesador.

1Hz = 1 operación/seg

1Mhz = 1.000.000 operaciones/seg

1Khz = 1000 operaciones/seg

1Ghz = 1.000.000.000 operaciones/seg

### CICLO DE CPU

Es un pulso electromagnético que genera el oscilador de cuarzo.

*El funcionamiento de este reloj es comparable con un metrónomo con su péndulo que oscila de izquierda a derecha. El intervalo de tiempo que el péndulo tarda en recorrer esa distancia y regresar a su punto inicial se denomina ciclo.*

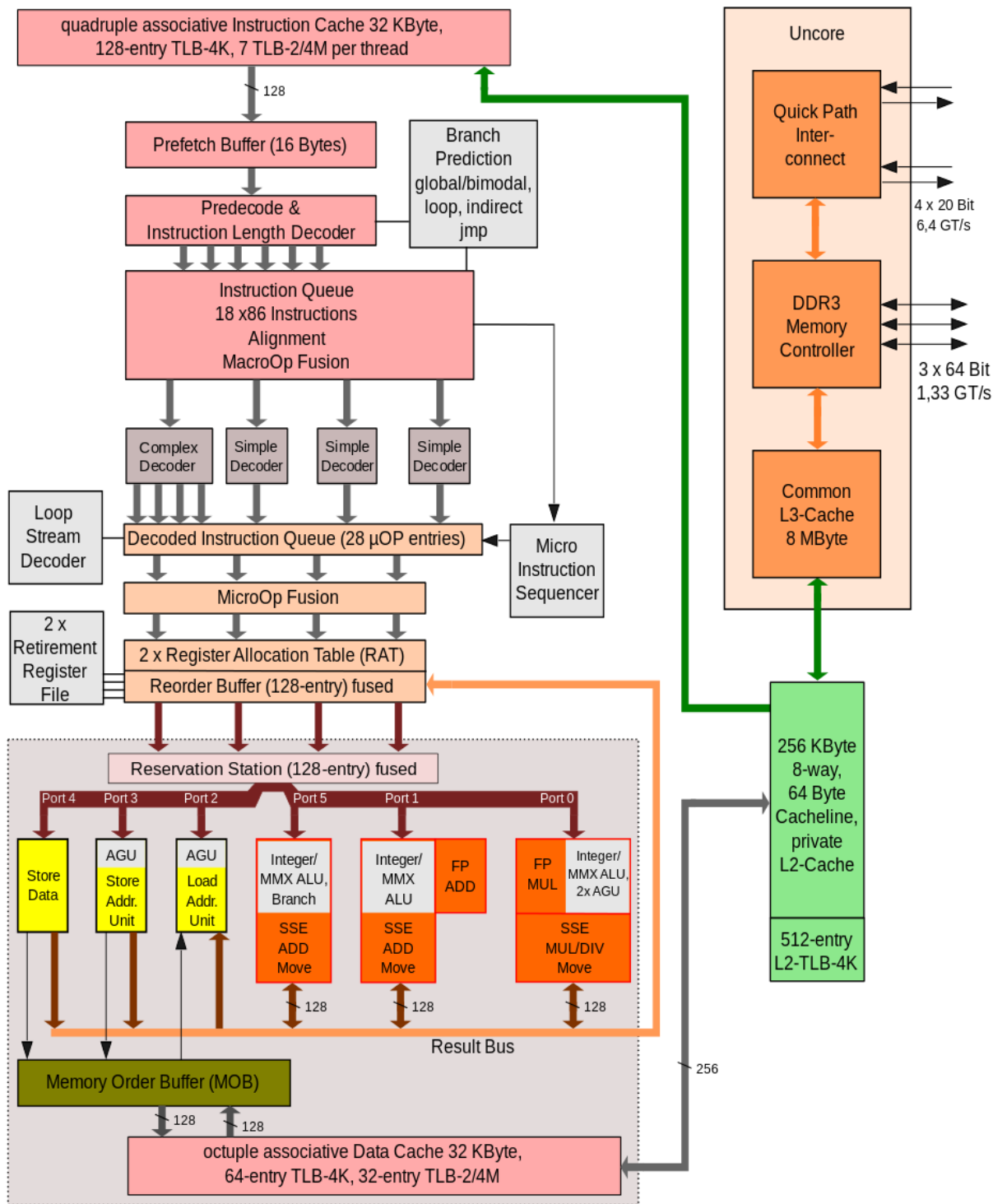
Todos los microprocesadores poseen un oscilador o reloj que, al igual que el metrónomo, marca el número de ciclos por segundo.

Se conoce como generador de reloj al componente que produce impulsos con una determinada frecuencia. El generador de reloj es a menudo un multivibrador corriente. El generador en ordenadores y en relojes suele ser un **oscilador de cristal**. En los automóviles el generador de reloj para las luces intermitentes suele ser un relé con un temporizador.

**LEER MIPS y FLOPS**



Intel Nehalem microarchitecture



GT/s: gigatransfers per second

UNA SUPER PC MÁS POTENTE DEL MUNDO

Leer <https://www.ibm.com/thought-leadership/summit-supercomputer/>

IBM

The most powerful computers on the planet

Summit and Sierra, supercomputers at Oak Ridge National Laboratory and Lawrence Livermore National Laboratory, are now ranked the #1 and #2 fastest computers. They are helping us model supernovas, pioneer new materials and explore cancer, genetics and the environment – using technologies available to all businesses.

→ Explore high-performance computing for business

Summit

“Supercomputing is the Formula One of computing. It’s where companies test bleeding-edge technology at an unprecedented scale.”

John Kelly, SVP, Cognitive Solutions and IBM Research

What are Summit and Sierra?

A new kind of supercomputer. designed

Built to tackle the world’s biggest challenges

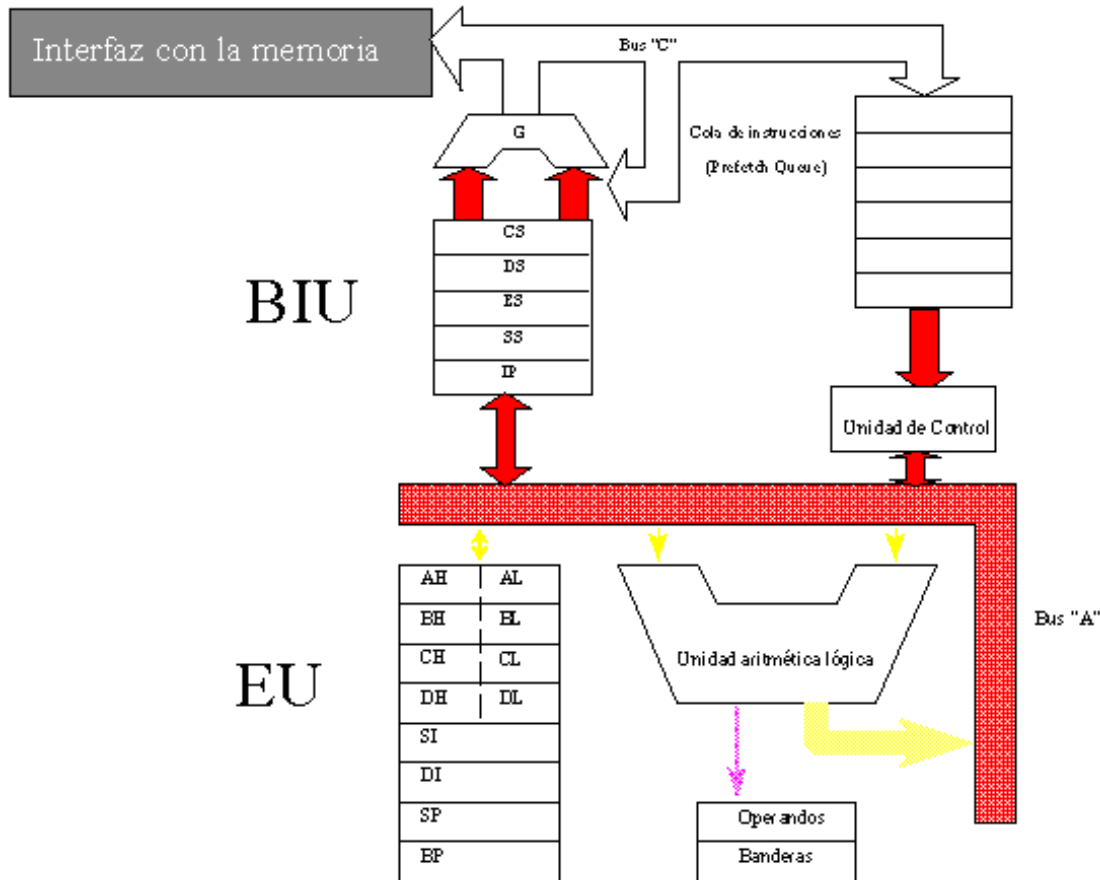
Supercomputing at IBM: A brief history

- 200 quadrillones de calculos por segundo
- 250 PB almacenamiento
- 9126 procesadores Power 9
- 25 GB por Segundo entre nodos
- 27648 Nvidia Tesla GPU

## DETALLES DE LOS PROCESADORES

Internamente el procesador se clasifica según su funcionamiento en dos grandes subprocesadores:

1. **BIU** : Unidad de interfaz de bus
2. **EU**: Unidad de Ejecución



### 1. BIU Bus Interface Unit

Su función es estar continuamente accediendo a la memoria, trayendo de ella las instrucciones para ser ejecutadas por el procesador (**Fetch**).

Contiene los siguientes elementos:

- a. Los registros de segmentos
- b. La cola de prefetch
- c. El generador de direcciones físicas
- d. El Bus C

#### a. REGISTROS DE SEGMENTOS

Estos registros son localidades de 16, 32 y 64 bits dedicados a las funciones de acceso a memoria (Real y Protegida).

##### DS: Data Segment (Segmento de Datos)

Este registro selecciona una sección de 64 Kb. que se dedica generalmente a colocar en ella nuestras variables, por lo cual toma su nombre: sección de memoria dedicada a datos.

##### CS: Code Segment (Segmento de Código)

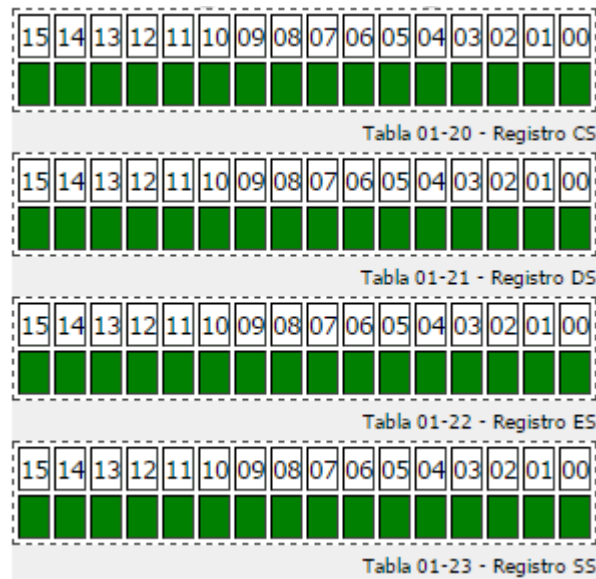
Este registro selecciona el área de 64 Kb. que generalmente dedicamos al código. En este caso, el CPU (específicamente, el BIU), siempre toma las instrucciones de esta región de memoria; por lo que cuando requerimos más de 64 Kb. de código (instrucciones), este registro tendrá que moverse, tomando distintos valores según recorremos distintas regiones de memoria.

##### SS: Stack Segment (Segmento de Pila)

Este registro selecciona la región de 64 Kb. que va a contener la pila del sistema. Como su nombre lo indica, tendremos una estructura de datos, con política LIFO (Last In, First Out = El último elemento en entrar, es el primero en salir), con instrucciones básicas PUSH y POP para su manejo. Esta estructura es usada por los programas de aplicación, pero también por el procesador para el control de instrucciones que lo requieren, tales como las llamadas a subrutinas y la atención de interrupciones.

ES: Extra Segment (Segmento Extra)

Este registro nos permite seleccionar una sección de 64 Kb., que no está destinada a ningún uso específico; por lo que el programador puede aplicarla como comodín, generalmente como un segundo segmento de datos; o bien, para el acceso a regiones de memoria del sistema, tales como la memoria de video o las variables del BIOS.

**b. COLA DE PREFETCH**

Ya que el BIU trabaja en paralelo con el EU, requieren de un mecanismo para comunicarse. Esto se logra con una cola, estructura de datos que permite que el EU obtenga instrucciones para ejecutar en el mismo orden en que el BIU las colocó en la misma. Así, el EU puede solicitar instrucciones en cuanto esté listo para ejecutar la siguiente, sin importar en qué paso está el BIU en la obtención de instrucciones; y viceversa, el BIU puede continuar su búsqueda de instrucciones, depositando la que acaba de obtener en la cola, sin importar si el EU en este momento está ocupado ejecutando.

**c. GENERADOR DE DIRECCIONES FÍSICAS**

Esta combinación está basada en la arquitectura segmentada que veremos más adelante. La función del generador de direcciones físicas consiste en realizar esa combinación, para lo cual contiene la circuitería necesaria para calcular la fórmula:

- Modo Real : Dirección Física = Segmento \* 0010h + Desplazamiento
- Modo Protegido : Selectores y Descriptores

**d. BUS C**

Este bus interno del procesador permite que la información fluya entre la interfaz con la memoria y los distintos elementos del BIU. Se requiere un bus independiente, para que la información que usa el EU no se interfiera con la que está procesando el BIU.

**2. EU: Execution Unit**

- Unidad de control
- Registros de propósito general
- Registros de índice
- ALU
- Registro de Banderas
- Bus A

**a. UNIDAD DE CONTROL**

Es la sección del procesador que contiene la lógica de funcionamiento del mismo; es decir, esta circuitería gobierna el comportamiento de los distintos elementos en el procesador, coordinando los procesos de Fetch y Execute, así como las distintas microoperaciones necesarias para la ejecución. Por tanto, tiene dos funciones principales:

Generar la secuencia de estados del procesador, lo que logra gracias a la ejecución del micro código.  
Decodificar las instrucciones, determinando así los pasos para su ejecución.

**b. REGISTROS DE PROPÓSITO GENERAL**

Todos los registros tienen una estructura particular:

64 bits	RAX	32 bits				16 bits		AX	AH	AL
		8	8	8	8	8	8	8	8	8

Pueden ejecutar la mayoría de las operaciones del procesador, incluyendo la generalidad de las instrucciones aritméticas y lógicas, salvo la multiplicación y división.

Se dividen lógicamente en 2 registros de 8 bits cada uno, llamados parte alta y parte baja; refiriéndose el registro de parte baja a los bits 0-7 (menos significativos) y la parte alta a los bits 8-15 (más significativos). Se conocen como el registro L (parte baja) y H (parte alta), precedidos por la letra que identifica al registro. Por ejemplo, AX se divide en AH y AL.

Pueden conectarse a los registros de segmentos; de hecho, siempre se hará acceso a los registros de segmento a través de un registro de propósito general, o de la pila.

Los 4 registros tienen su nombre propio y ciertas especializaciones:

**AX: Registro de acumulador**

Este registro es el más usado, siendo de propósito general; y tiene ciertas especializaciones, de ahí su nombre:

- Es el único que puede ser usado como multiplicando en la multiplicación
- Es el único que puede ser usado como dividendo en la división
- Es el parámetro que selecciona los distintos servicios del Sistema Operativo, usados mediante el mecanismo de Interrupciones.

**BX: Registro de Base**

Este registro, además de las características generales de los registros de propósito general, se especializa en el acceso a memoria en combinación con los registros de índice, especialmente para el manejo de arreglos.

**CX: Registro de Contador**

Este registro es ampliamente usado como contador. Puede ser usado como cualquier registro de propósito general, pero tiene capacidades especiales para ser usado en instrucciones:

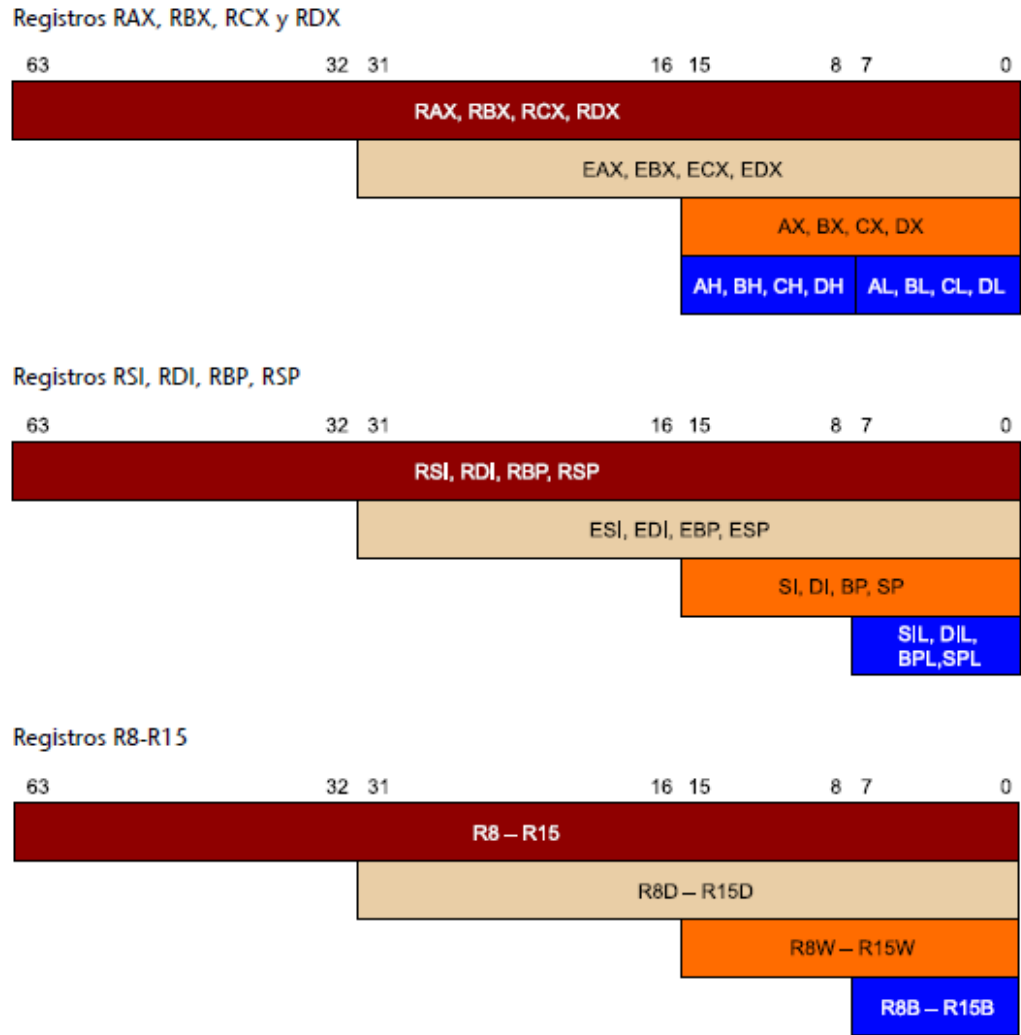
- De manejo de ciclos
- Como contador en los corrimientos
- De manejo de memoria y strings

**DX: Registro de Datos**

- Formar con AX números de 32 bits, siendo en este caso la parte más significativa.
- El acceso a puertos. Las instrucciones IN y OUT, que permiten dicho acceso, requerirán en ciertos casos que el número de puerto esté en DX.







c. REGISTROS DE ÍNDICE

- No pueden conectarse directamente con los registros de segmentos.
- No pueden verse como dos registros de 8 bits (parte alta y parte baja).
- Están diseñados para combinarse con los registros de segmento, ser usados como desplazamientos y así intervenir en el acceso a memoria.
- Se les usa para el acceso a arreglos o como apuntadores.

SI: Source Index, o Apuntador a la Fuente

Este registro se especializa en el acceso a bytes o words dentro del segmento de datos; existen instrucciones que lo toman por defecto como el registro que apunta a una localidad de memoria que se va a leer, por lo cual toma su nombre.

DI: Destination Index, Apuntador al Destino

Este registro se especializa en el acceso a bytes o words dentro del segmento de datos o el extra; existen instrucciones que lo toman por defecto como el registro que en combinación con el ES apunta a una localidad de memoria que se va a escribir, por lo cual toma su nombre.

d. REGISTROS DE APUNTADES

BP: Base Pointer, o apuntador a la Base de la Pila.

Este registro es usado para accesar, dentro del segmento de pila, la información. Principalmente nos permite determinar cuando hay un underflow, es decir, cuando se quiere sacar más información de la pila que la que se ha colocado en ella; y el acceso a variables locales y parámetros.

SP: Stack Pointer, o apuntador al tope de la Pila.

Este registro también está siempre asociado al manejo de la pila. Su función especial es marcar el tope de la pila, y por tanto, indica en qué localidad de memoria se localiza la información de la pila; se incrementa cuando se hace un POP, con lo que apunta al siguiente elemento en la pila; y se decrementa al hacer un PUSH, con lo que controla el acceso a la memoria de la pila.

IP: Apuntador de Código

Este registro apunta a la siguiente instrucción a ejecutarse dentro del segmento de código, es aquel que trabaja directamente en el procesador para la predicción y la especulación del proceso que se esta realizando.

e. ALU: UNIDAD ARITMÉTICA-LÓGICA

- Realiza las diversas operaciones aritméticas y lógicas.

- Recibe sus operandos por el Bus A, y genera los resultados regresándolos al mismo bus.
- Se conecta al registro de banderas, por lo cual todas las operaciones aritméticas y lógicas, de acuerdo a su resultado, lo alterarán.

f. REGISTRO DE BANDERAS

Se usa como bandera donde los bits señalan un evento dentro del procesador; cuando el bit tiene un valor de 0, el evento no ocurrió (falso); y cuando tiene un valor de 1, el evento ocurrió (verdadero).

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
										ID	VIP	VIF	AC	VM	RF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NT	IOP1	IOP0	O	D	I	T	S	Z		A		P		C

**CF: Bandera de carry**  
Se prende cuando el resultado de la última operación realizada en el ALU (necesariamente, una suma o resta) generó un carry o un borrow.

**PF: Bandera de paridad**  
Toma el valor de 0 lógico para la parida impar, 1 lógico para la paridad par.

**AF: Bandera de carry auxiliar**  
Se prende cuando el resultado de la última operación realizada en el ALU generó un carry cuando estaba a la mitad. Por ejemplo, si sumamos dos números de 16 bits, nos indicará si la suma de las partes bajas (primeros 8 bits) había generado carry; si sumamos dos números de 8 bits, indica si el resultado intermedio después de sumar los 4 bits menos significativos, generó carry para sumarse a los bits 5.

**ZF: Bandera de resultado 0**  
Se prende cuando el resultado de la última operación realizada en el ALU fue un 0.

**SF: Bandera de signo**  
Se prende cuando el resultado de la última operación realizada en el ALU fue negativo, según la representación de complemento a 2 que mencionamos en clases anteriores.

**TF: Bandera de trampa**  
Se prende cuando se está ejecutando el funcionamiento paso a paso.

**IF: Bandera de interrupción**  
Se prende cuando el procesador es interrumpido, y está ejecutando una rutina de atención de interrupción. Esto evita que el procesador acepte interrupciones mientras está procesando interrupciones previas, de manera que no se pierda el control del procesador.

**DF: Bandera de dirección**  
A diferencia de las anteriores, esta bandera no se prende como resultado del ALU, sino que el programador la usa para controlar la dirección del acceso mediante apuntadores, especialmente en las instrucciones de strings.

**OF: Bandera de overflow**  
Se prende cuando el resultado de la última operación realizada en el ALU excedió la capacidad del registro donde se almacena (overflow).

**IOPL: Bandera de modo protegido para dispositivos de entrada y salida (I/O)**  
Maneja las prioridades de I/O donde 00 es el más alto y 11 es el más bajo.

**NT: Bandera de Tarea anidada**  
Señala si el procesamiento actual se está ejecutando con otra tarea anidada por software en modo protegido.

**RF Bandera de reanudación**  
Se ejecuta cuando se esta depurando un programa, para controlar el pare y siga en este proceso.

**VM Bandera de modo virtual**  
Selecciona la operación en modo virtual de algo que se encuentra en modo protegido.

**AC Bandera de verificación de alineación**  
Su propósito fue de alinear en los procesadores 486SX. Para diferenciar entre una palabra y una palabra doble.

**VIF Bandera de Interrupción virtual**

Copia de la bandera de interrupción, pero para manejo de interrupciones virtuales.

**VIP Bandera de Interrupción pendiente**

Copia de la bandera de interrupción, pero para manejo de interrupciones pendientes, Multitarea.

**ID Bandera de Identificación**

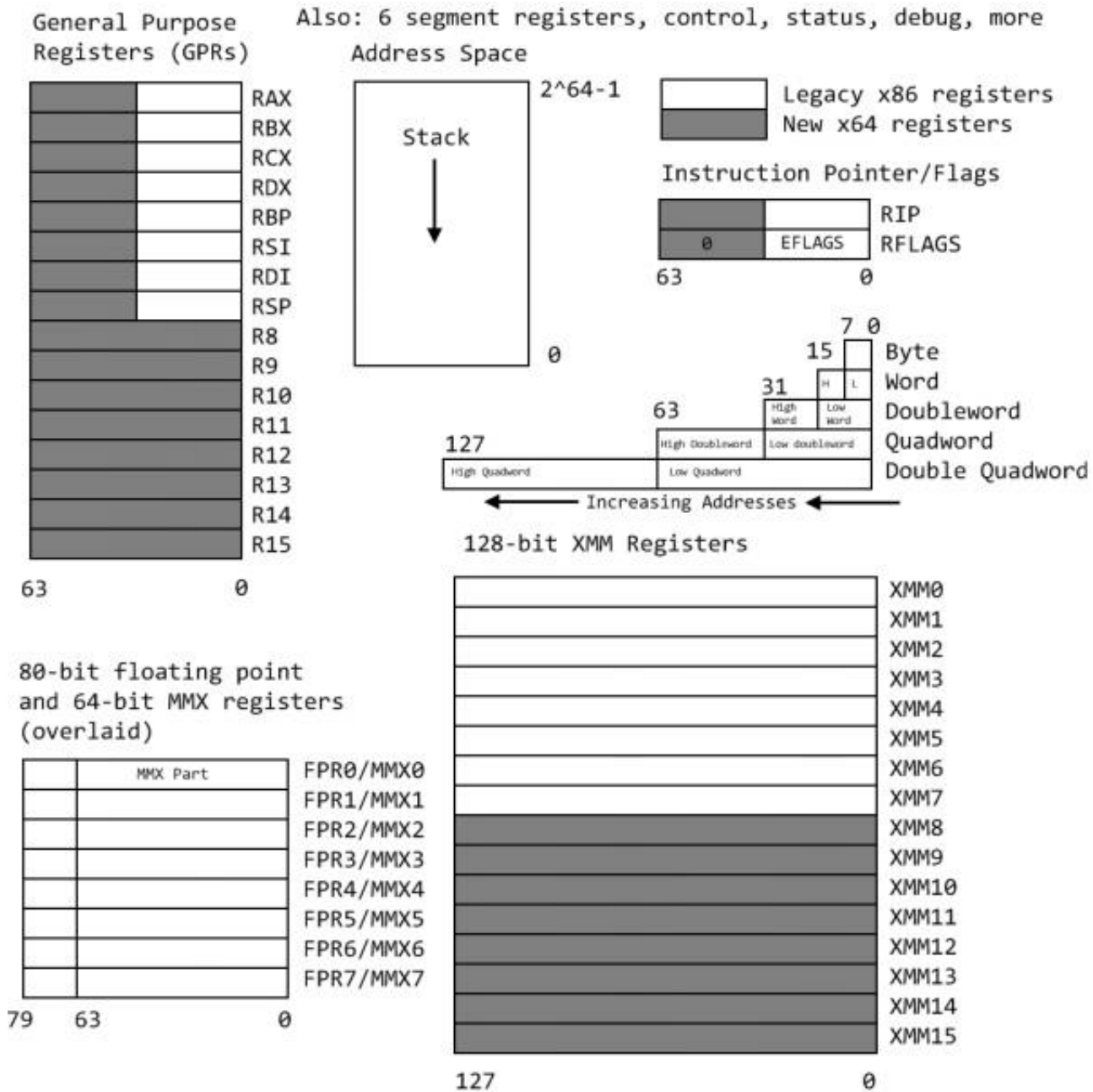
Aparece desde el procesador Pentium para identificar al sistema que tipo de procesador posee. CPUID

bit 0	CF	Carry Flag	0 = no se ha producido transporte; 1 = sí que se ha producido transporte
bit 1		No definido	
bit 2	PF	Parity Flag	0 = número de bits 1 es impar; 1 = número de bits 1 es par
bit 3		No definido	
bit 4	AF	Auxiliary Carry Flag	0 = no se ha producido transporte en operaciones BCD; 1 = sí que se ha producido transporte en operaciones BCD
bit 5		No definido	
bit 6	ZF	Zero Flag	0 = el resultado no ha sido cero; 1 = el resultado ha sido cero
bit 7	SF	Sign Flag	0 = el resultado no ha sido negativo; 1 = el resultado ha sido negativo
bit 8	TF	Trap Flag	Facilita la ejecución paso a paso.
bit 9	IF	Interrupt Enable Flag	Reservado para el sistema operativo en modo protegido.
bit 10	DF	Direction Flag	0 = autoincremento hacia direcciones altas; 1 = autoincremento hacia direcciones bajas
bit 11	OF	Overflow Flag	0 = no se ha producido desbordamiento; 1 = sí que se ha producido desbordamiento
bit 12	IOPL	I/O Privilege Level	Reservado para el sistema operativo en modo protegido.
bit 13	IOPL	I/O Privilege Level	Reservado para el sistema operativo en modo protegido.
bit 14	NT	Nested Task Flag	Reservado para el sistema operativo en modo protegido.
bit 15		No definido	
bit 16	RF	Resume Flag	Facilita la ejecución paso a paso.
bit 17	VM	Virtual-86 Mode Flag	Reservado para el sistema operativo en modo protegido.
bit 18	AC	Alignment Check Flag	Reservado para el sistema operativo en modo protegido.
bit 19	VIF	Virtual Interrupt Flag	Reservado para el sistema operativo en modo protegido.
bit 20	VIP	Virtual Interrupt Pending	Reservado para el sistema operativo en modo protegido.
bit 21	ID	CPU ID	Si el bit puede ser modificado por los programas en el espacio de usuario, CPUID está disponible.
bit 22-31		No definidos	

**f. BUS A**

Este bus es el camino por el que viajan los datos dentro de la unidad de ejecución, principalmente entre los registros y el ALU.

**Procesadores Modernos 32 bits y 64 bits**





Se usa para facilitar una transferencia aún más rápida de instrucciones y datos al procesador; es decir que se usa para mejorar el caudal de proceso (velocidad con que un sistema de computación puede realizar el trabajo). Al igual que la RAM, el caché es un área de almacenamiento de alta velocidad para las instrucciones de los programas y los datos, pero es ampliamente más rápida que la RAM y mucho más cara. Con sólo una fracción de la capacidad de la RAM, la memoria caché sólo contiene las instrucciones y los datos que es probable que el procesador requiera enseguida.

## Historia

Se clasificaban en memoria de tipo externa, colocada directamente en la Tarjeta Madre

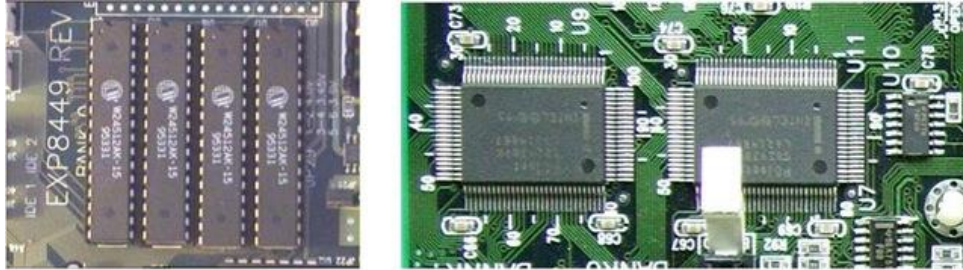
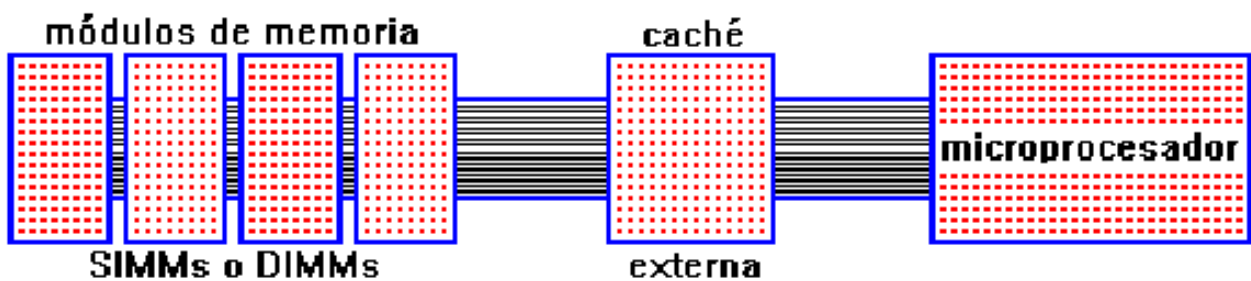


Ilustración 3.13. Módulos de memoria caché montados en placa madre.



Su funcionamiento cuando no hacia parte del procesador era como se muestra en la gráfica



### Caché de 1er nivel (L1):

Esta caché está integrada en el núcleo del procesador, trabajando a la misma velocidad que este. La cantidad de memoria caché L1 varía de un procesador a otro, estando normalmente entre los 64KB y los 256KB. Esta memoria suele a su vez estar dividida en dos partes dedicadas, una para instrucciones y otra para datos.

### Caché de 2º nivel (L2):

Integrada también en el procesador, aunque no directamente en el núcleo de este, tiene las mismas ventajas que la caché L1, aunque es algo más lenta que esta. La caché L2 suele ser mayor que la caché L1, pudiendo llegar a superar los 2MB.

A diferencia de la caché L1, esta no está dividida, y su utilización está más encaminada a programas que al sistema.

### Caché de 3er nivel (L3):

Es un tipo de memoria caché más lenta que la L2, muy poco utilizada en la actualidad.

En un principio esta caché estaba incorporada a la placa base, no al procesador, y su velocidad de acceso era bastante más lenta que una caché de nivel 2 o 1, ya que si bien sigue siendo una memoria de una gran rapidez (muy superior a la RAM, y mucho más en la época en la que se utilizaba), depende de la comunicación entre el procesador y la placa base.

Para hacernos una idea más precisa de esto, imaginemos en un extremo el procesador y en el otro la memoria RAM. Pues bien, entre ambos se encuentra la memoria caché, más rápida cuanto más cerca



se encuentre del núcleo del procesador (L1).

Las memorias caché son extremadamente rápidas (su velocidad es unas 5 veces superior a la de una RAM de las más rápidas), con la ventaja añadida de no tener latencia, por lo que su acceso no tiene ninguna demora... pero es un tipo de memoria muy cara. Esto, unido a su integración en el procesador (ya sea directamente en el núcleo o no) limita bastante el tamaño, por un lado por lo que encarece al procesador y por otro por el espacio disponible.

En cuanto a la utilización de la caché L2 en procesadores multinucleares, existen dos tipos diferentes de tecnologías a aplicar.

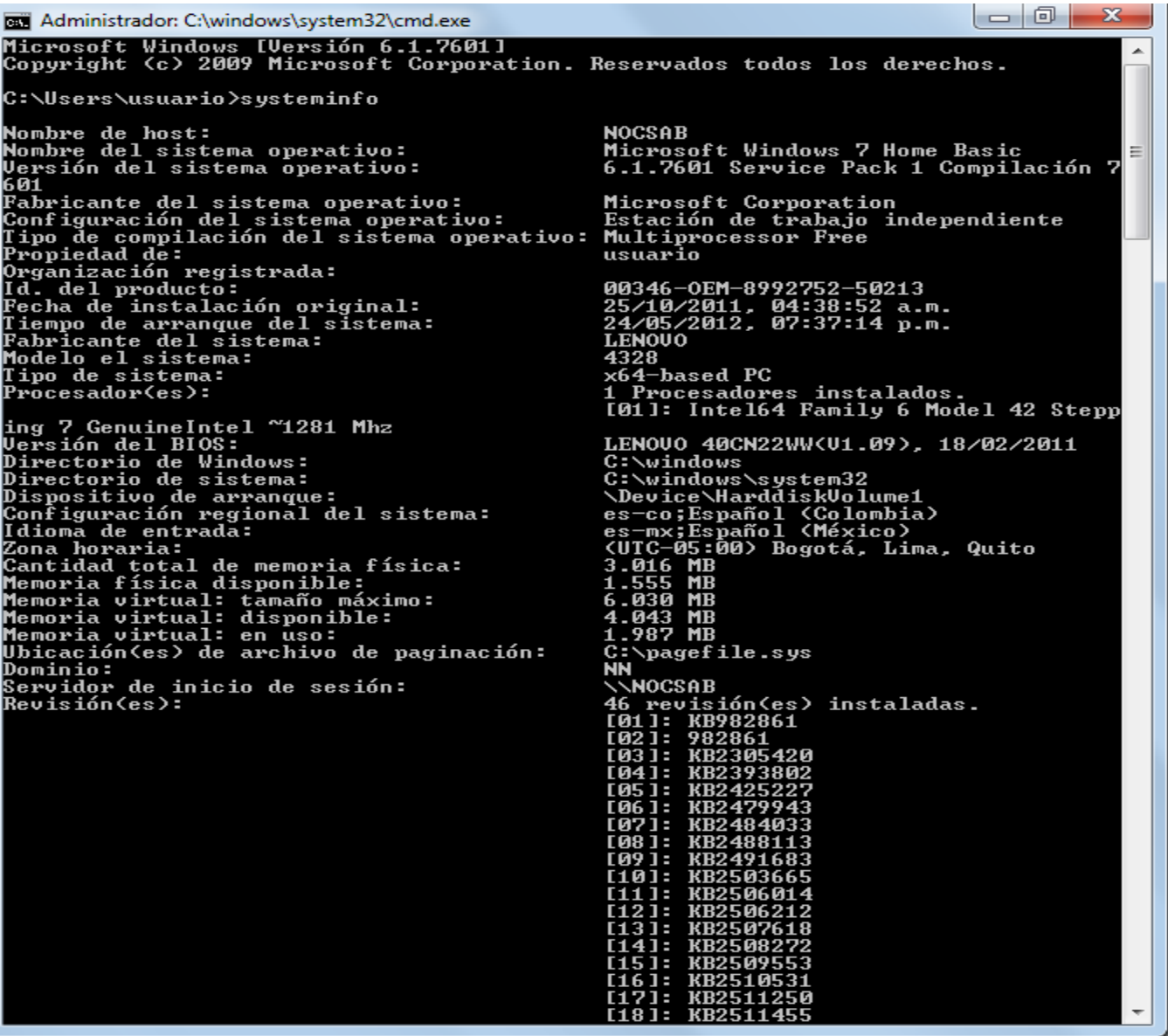
Por un lado está la habitualmente utilizada por Intel, que consiste en que el total de la caché L2 está accesible para ambos núcleos y por otro está la utilizada por AMD, en la que cada núcleo tiene su propia caché L2 dedicada solo para ese núcleo.

La caché L2 apareció por primera vez en los Intel Pentium Pro, siendo incorporada a continuación por los Intel Pentium II, aunque en ese caso no en el encapsulado del procesador, sino externamente (aunque dentro del procesador).

INFORMACION IMPORTANTE DEL PC

Conocer la Información del Computador

Ejecutar el comando systeminfo.exe

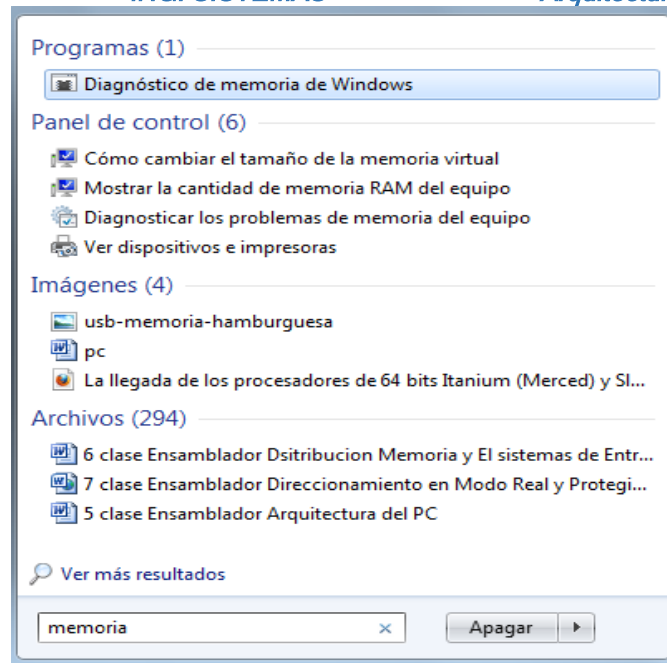


HACER UN TESTEO DE RAM

Afortunadamente Windows 7 trae un software incluido para esto.

Para ello vamos a inicio y en el cuadro de búsqueda escribimos **memoria** (1) y luego hacemos clic en **Diagnóstico de memoria de Windows** (2)

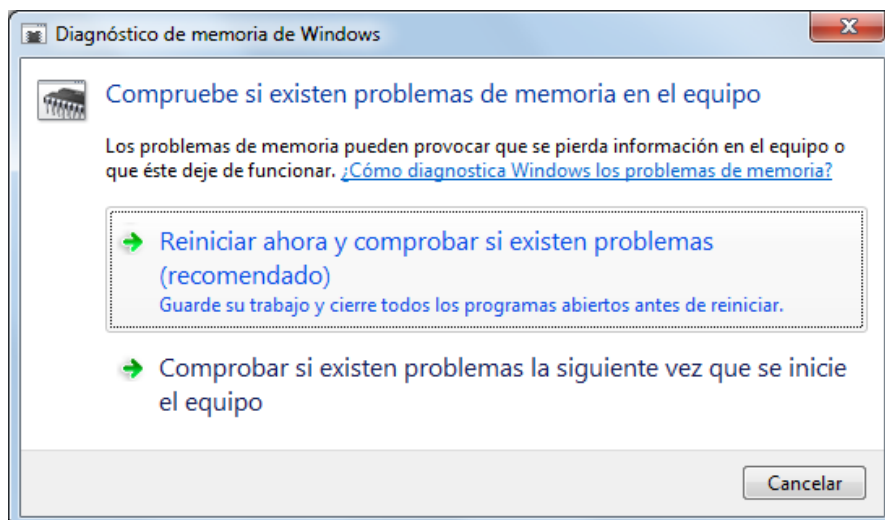
O Ejecutar el comando **MdSched.exe**



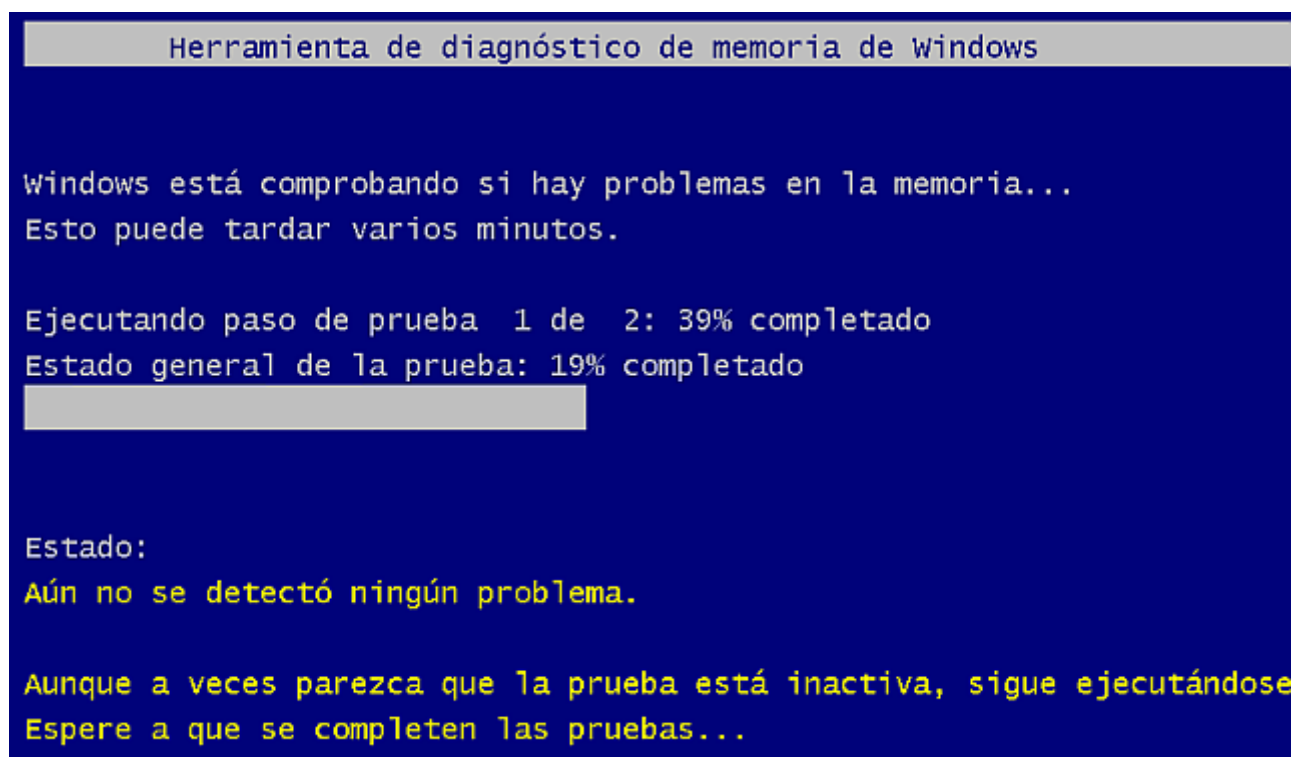
Se abrirá la aplicación, que nos ofrece 2 opciones.

- Reiniciar y testear inmediatamente.
- Testear cuando el equipo se reinicie.

Como ves para hacer esto el equipo necesitas si o si reiniciar el sistema.



Una vez que reinicias verás la herramienta en acción.



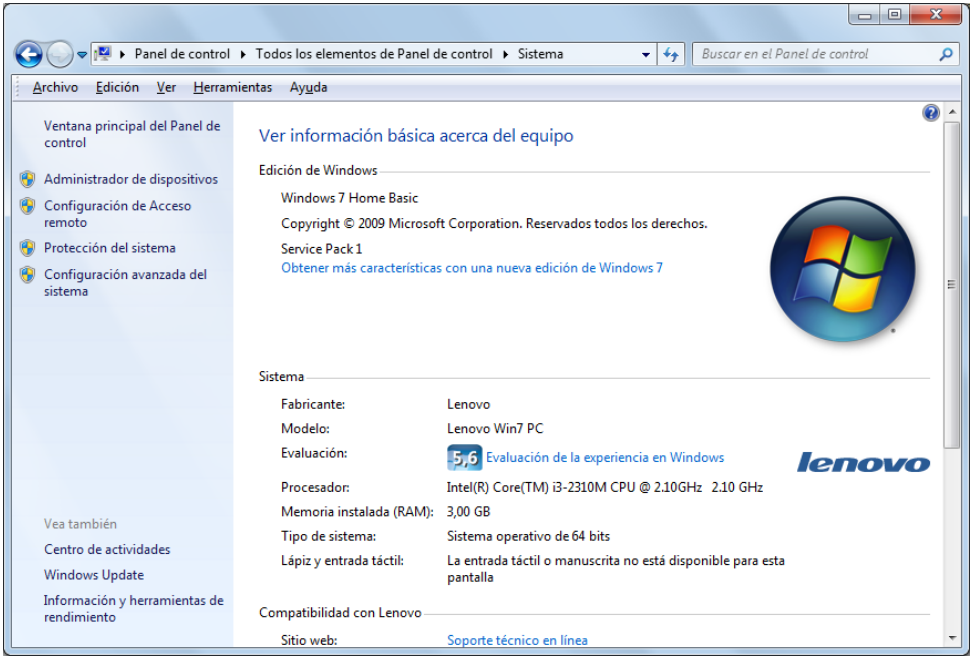
Se puede Observar que el equipo no presenta problemas en su memoria RAM

Memoria Virtual

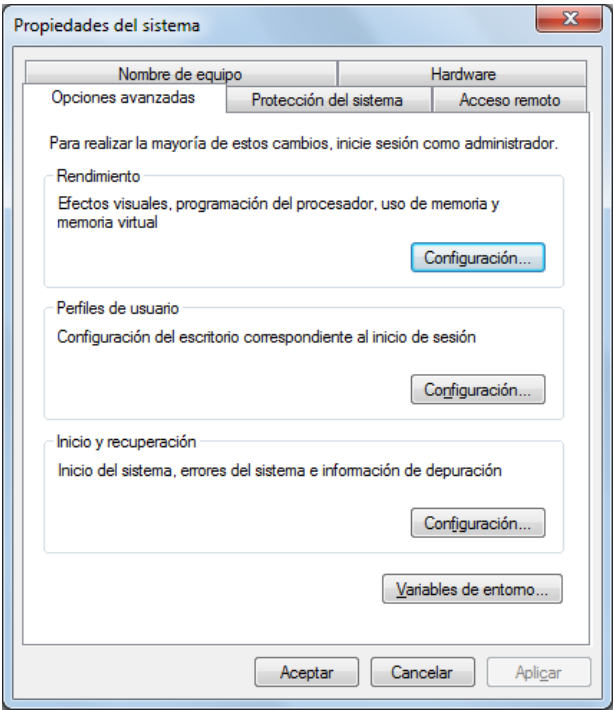
Es el espacio que asignamos en el disco duro como memoria de soporte en caso de llenarse la memoria RAM del computador, el valor que tiene por defecto es el establecido por el sistema operativo, para nuestro caso podemos ampliarla y asi mejorar el rendimiento del PC, haciendo la aclaración que le estamos quitando espacio al disco duro para realizar esta virtualización de memoria.

Para realizarlo hacemos los siguientes PASOS (en Windows 7):

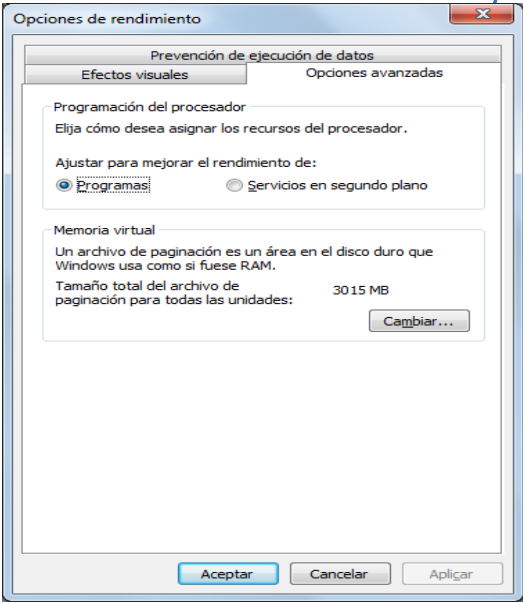
Inicio / Panel de Control / Sistema



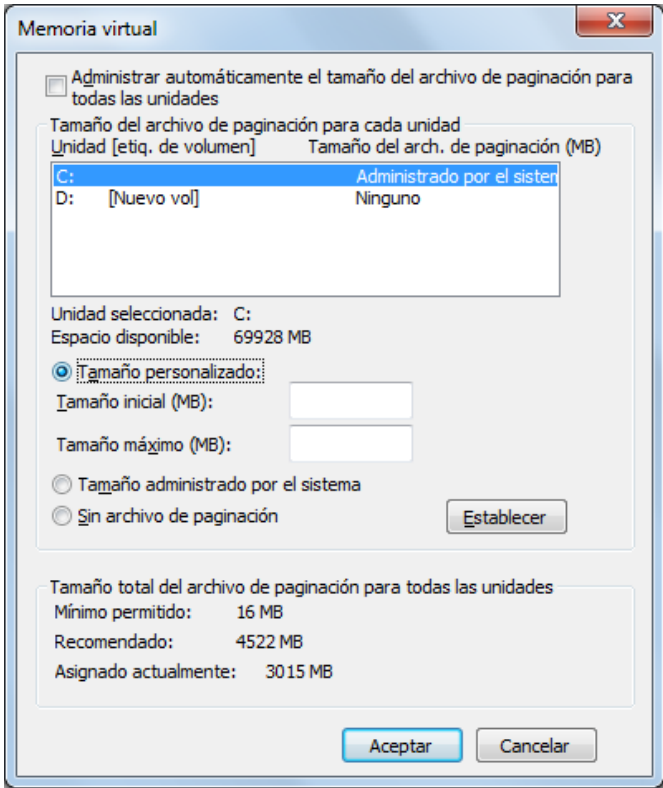
Clic en Configuración básica del sistema para cargar la ventana de Propiedades del Sistema, seleccionando la pestaña Opciones Avanzadas



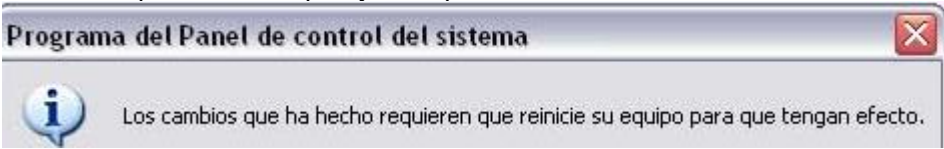
Pulsamos el Botón Configuración en la casilla Rendimiento



En la Opciones de Rendimiento Seleccionamos la Opciones Avanzadas y en la parte de abajo podemos seleccionar el botón Cambiar para definir el tamaño que queremos de memoria virtual.



Una vez definido el tamaño pulsamos Aceptar y nos aparecerá la confirmación del cambio.



**SEGÚN MICROSOFT LO REALIZAN DE LA SIGUIENTE MANERA**

**Cambiar el tamaño de la memoria virtual**

Si recibe advertencias porque la memoria virtual del equipo se está agotando, tendrá que aumentar el tamaño mínimo del archivo de paginación. Windows establece el tamaño mínimo inicial del archivo de paginación en la cantidad de memoria de acceso aleatorio (RAM) instalada en el equipo más 300 megabytes (MB) y el tamaño máximo en 3 veces la cantidad de RAM instalada en el equipo. Si aparecen advertencias con estos niveles recomendados, aumente los tamaños máximo y mínimo.

- 1. Para abrir Sistema, haga clic en el botón Inicio🌐, en Panel de control, en Sistema y mantenimiento y, a continuación, en Sistema.
- 2. En el panel izquierdo, haga clic en Configuración avanzada del sistema. 🌐 Si se le solicita una contraseña de administrador o una confirmación, escriba la contraseña o proporcione la confirmación.
- 3. En la ficha Opciones avanzadas, en Rendimiento, haga clic en Configuración.

4. Haga clic en la ficha Opciones avanzadas y, a continuación, en Memoria virtual, haga clic en Cambiar.
5. Desactive la casilla Administrar automáticamente el tamaño del archivo de paginación para todas las unidades.
6. En Unidad [etiqueta de volumen], haga clic en la unidad que contiene el archivo de paginación que desee cambiar.
7. Haga clic en Tamaño personalizado, escriba un nuevo tamaño en megabytes en el cuadro Tamaño inicial (MB) o Tamaño máximo (MB), haga clic en Establecer y, a continuación, haga clic en Aceptar.

Los aumentos de tamaño no suelen requerir que se reinicie el equipo, pero si reduce el tamaño, tendrá que reiniciar el equipo para que los cambios surtan efecto. Se recomienda no deshabilitar ni eliminar el archivo de paginación.