

Bloco Codificador de Canal em Hardware Reconfigurável para Redes WiMAX Móveis

Felipe Henes, Rafael Kunst e Cristiano Bonato Both
Universidade de Santa Cruz do Sul (UNISC), RS, Brasil
{fhenes, rkunst, cboth}@unisc.br

Resumo—A tecnologia WiMAX prove suporte a qualidade de serviço para as redes sem fio metropolitanas. Para isso, a camada física dessa tecnologia implementa sofisticadas técnicas para codificação de canal, que devem ser aplicadas em hardwares otimizados para esse objetivo específico. Este artigo apresenta o projeto de um codificador de canal para a tecnologia WiMAX móvel, o qual foi prototipado em um hardware reconfigurável. Resultados obtidos a partir do hardware prototipado mostram a importância do codificador de canal para a garantia de QoS em redes WiMAX móveis.

I. INTRODUÇÃO

Os sistemas sem fio fornecem suporte para os serviços do tipo *triple play*, isso é, são capazes de oferecer transmissão de dados, voz e vídeo de forma integrada. Um exemplo de sistema sem fio que possibilita atender esse tipo de serviço é o padrão IEEE 802.16, também conhecido com *Worldwide Interoperability for Microwave Access* (WiMAX). Esse padrão oferece acesso de banda larga em ambientes metropolitanos, com rápida implementação, alto nível de escalabilidade e baixos custos de manutenção e atualização. Além disso, o padrão visa garantir qualidade de serviço (QoS) às aplicações.

A QoS em sistemas sem fio é sensível as variações no meio de transmissão, causadas por diversos problemas relacionados a fenômenos físicos que afetam o canal, como: espalhamento do atraso devido a múltiplos percursos, sombreamento e efeito *doppler*. Esses fenômenos influenciam diretamente a qualidade de transmissão, visto que podem provocar erros nas informações transmitidas. O tratamento desses problemas é realizado através de técnicas de controle de erros pelo destinatário, conhecidas como FEC (*Forward Error-Correction*). Além disso, outra possibilidade é a transmissão de quantidades variáveis de bits por símbolo de modulação. No padrão IEEE 802.16, o tipo de modulação escolhido e a taxa de codificação FEC formam um perfil de rajada, que pode ser adaptado dinamicamente de acordo com as condições do canal de transmissão [1]. Esse mecanismo, conhecido como *Modulation and Coding Scheme* (MCS), quando aliado a uma técnica de multiplexação *Orthogonal Frequency Division Multiple Access* (OFDMA) forma a interface física obrigatória para redes WiMAX com suporte a mobilidade.

Nos últimos anos, a indústria tem investido no desenvolvimento de *chipsets* para WiMAX móvel com suporte a interface física obrigatória. Esse desenvolvimento é tipicamente baseado no projeto de *chipsets* em *Application Specific Integrated Circuit* (ASIC), que elevam o custo

total do protótipo e possibilitam poucas adaptações a inovações tecnológicas. Entretanto, existe a possibilidade de desenvolver dispositivos WiMAX móveis utilizando hardware reconfigurável, solução que reduz o custo, garante bom desempenho, rápida implementação e ótimo, *time-to-market*. Nesse contexto, diversos trabalhos publicados na literatura foram propostos na área de codificação de canal para redes WiMAX [2] [3] [4], utilizando hardware reconfigurável, como por exemplo a prototipação em *Field-programmable Gate Array* (FPGA).

A maioria dos trabalhos sobre WiMAX móvel prototipados em FPGA são focados no desenvolvimento de módulos específicos para o codificador de canal definido pelo padrão IEEE 802.16. Além disso, não é conhecido nenhum trabalho que considere o tráfego escalonado pela camada *Media Access Control* (MAC) na validação do protótipo desenvolvido. Sendo assim, esse artigo apresenta um projeto de dispositivo WiMAX móvel prototipado em FPGA, envolvendo um bloco codificador de canal e a validação do protótipo considerando tráfegos escalonados pela camada MAC. Os resultados obtidos mostram que o emprego de um bloco codificador de canal é fundamental para a garantia de QoS em redes IEEE 802.16, uma vez que permite a correção de erros durante a transmissão, preservando assim a QoS.

O restante deste artigo está organizado da seguinte forma. Na Seção II, descreve-se a fundamentação teórica e alguns trabalhos relacionados sobre as características do bloco codificador de canal no padrão IEEE 802.16. Na Seção III, é apresentada a prototipação do bloco codificador de canal em uma plataforma FPGA. Na Seção IV, são discutidos os resultados obtidos e, finalmente, na Seção V, apresenta-se conclusões e aponta-se direções para futuras investigações.

II. FUNDAMENTAÇÃO TEÓRICA

Esta seção visa apresentar o mecanismo de codificação do canal em redes WiMAX móvel. Além disso, discute-se os trabalhos relacionados sobre esse mecanismo, que são prototipados em hardware reconfigurável.

A. Mecanismo de Codificação de Canal

O mecanismo de codificação do canal tem a função de prover transmissões confiáveis em canais de Rádio Frequência (RF). Este mecanismo pode ser visto na Fig. 1, que apresenta uma compilação dos componentes do mecanismo de codificação, destacando as fases de codificação FEC, entrelaçamento e multiplexação do canal de RF.

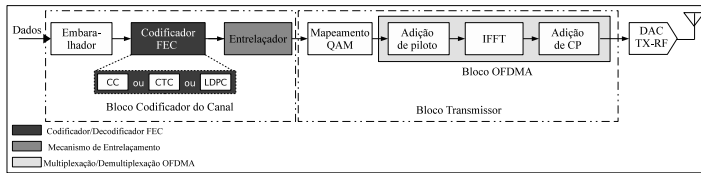


Figura 1. Processo de Codificação do Canal em WiMAX Móvel

O processo do mecanismo de codificação do canal inicia com o embaralhador, que tem como objetivo distribuir homogeneamente os bits que serão enviados no domínio de frequência. Esta distribuição reduz o pico de energia, reduzindo a possibilidade de interferência entre subportadoras adjacentes. Após o embaralhamento, os bits são codificados em técnicas FEC. Neste estágio, informações redundantes são adicionadas para permitir a detecção e correção de erros pelo dispositivo receptor.

O uso da técnica de codificação de forma isolada, geralmente, não é suficiente para a recuperação eficiente dos bits, principalmente quando o canal de RF é afetado por erros em rajada. Então, a codificação FEC é acompanhada pela técnica de entrelaçamento, que consiste no reseqüenciamento de um bloco de bits antes da transmissão. Assim, os bits adjacentes originalmente são separados por uma distância que pode variar em relação ao tempo. Esta distância possibilita a correção de erros mais eficiente no lado do decodificador.

Após o entrelaçamento, os bits devem ser mapeados dentro de uma constelação de modulação que é formada por símbolos, definindo a quantidade de dados que podem ser transmitidos. O padrão WiMAX móvel permite o uso de constelações *Quadrature Amplitude Modulation* (QAM). A combinação da constelação de modulação e a taxa de codificação FEC define o MCS. A configuração MCS pode ser alterada dinamicamente para adaptar a confiabilidade de uma transmissão de acordo com as condições de propagação do canal de RF. Os símbolos mapeados em constelação de modulação são enviados para o bloco OFDMA que é obrigatório para o padrão WiMAX.

A maioria dos processos descritos, quando prototipados em hardware reconfiguráveis, são projetados em módulos específicos. Na próxima subseção são descritos alguns trabalhos encontrados na literatura que apresentam soluções sobre o uso de blocos codificadores de canal para o padrão IEEE 802.16, desenvolvidos em hardware reconfigurável.

B. Trabalhos Relacionados

Para Shaker, Elramly e Shehata [3], uma plataforma FPGA é uma das melhores opções em hardware reconfigurável para muitas implementações de processamento de sinais sofisticados em *Software Defined Radios* (SDRs). Por exemplo, em redes WiMAX, os códigos convolucionais são usados para codificação e o algoritmo de Viterbi é implementado na decodificação desses códigos. Um trabalho que utilizou uma plataforma FPGA foi apresentado

por Upadhyaya, Misra e Sanyal [2], onde uma máquina de estado finito foi utilizada para modelar a técnica de entrelaçamento. A prototipação desta técnica usou *flip-flops* com perda desprezível em termos de células lógicas e, assim, oferecendo melhor desempenho com frequências máximas de transmissão. Em relação a técnicas de estimativa de canal de RF para redes WiMAX, Elwazeer *et al.* [4] utilizaram uma plataforma FPGA considerando a multiplexação OFDM. A implementação minimiza a complexidade da estimativa do canal de RF usando a técnica *Minimum Mean-Square Error* (MMSE).

O atual estado da arte sobre os processos de codificadores de canais em hardware reconfigurável apresenta vários trabalhos com módulos específicos, como descrito anteriormente. Entretanto, o desenvolvimento de um protótipo que considera os blocos codificadores da camada física com o tráfego escalonado pela camada MAC deve ser analisado. Essa integração é fundamental para o desempenho de um dispositivo WiMAX móvel, pois a maior taxa de transmissão do tráfego da camada MAC precisa ser garantida pela camada física. Na próxima seção é apresentada uma proposta de um bloco codificador de canal que recebe dados da camada MAC.

III. PROTOTIPAGEM DO CODIFICADOR DE CANAL

A modelagem utilizada para desenvolver o protótipo foi realizada de acordo com a Fig. 2, que ilustra, de forma genérica, a arquitetura proposta para o codificador de canal. Na figura pode-se observar a existência de um módulo responsável pelo controle do sistema, que recebe dois sinais de entrada. Um sinal indica quantos *Information Elements* (IEs) foram escalonados pela camada MAC. Já, o outro sinal especifica o MCS de cada rajada, que pode variar dentro de um mesmo quadro. Este módulo é implementado através de uma máquina de estados finita, isso é, uma estrutura utilizada para operações de controle em implementações em nível de hardware.

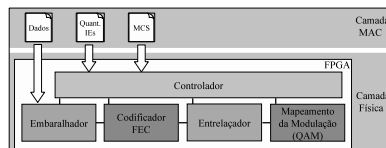


Figura 2. Arquitetura proposta

O módulo Controlador é responsável por gerar sinais de comando para todos os demais blocos da arquitetura, garantindo a sincronização do circuito e o funcionamento dos blocos de forma integrada. O módulo consiste em sete máquinas de estados independentes. Cada máquina de estado possui um estado de espera e um ou mais estados de operação. A condição para troca de estado de espera para operação é dada pela máquina de estado correspondente a etapa anterior. Este módulo não é especificado pelo padrão IEEE 802.16, sendo assim, a proposta do Controlador constitui em mais uma contribuição deste artigo.

O bloco codificador de canal, iniciado pelo Embaralhador, recebe como entrada os dados provenientes da camada MAC. Esses dados são relacionados as rajadas que compõem um quadro OFDMA. Para obtenção das rajadas, a camada MAC foi simulada através de uma implementação empregando os softwares Labview e Matlab, seguindo os parâmetros especificados na metodologia de avaliação definida pelo fórum WiMAX [5]. O sinal de dados, após a codificação e modulação, gera os bits que serão transmitidos pela interface física.

A partir desses três sinais de entrada, a arquitetura deve ser capaz de adaptar-se para realizar a codificação de acordo com o tamanho dos blocos de dados de entrada. Adotou-se esse método para a entrada de dados, pois ele otimiza a divisão dos blocos a serem codificados. Além disso, existe a necessidade do módulo Entrelaçador conhecer o tamanho de bloco a ser utilizado, que é derivado a partir dos dados fornecidos como entrada para a arquitetura. O valor do tamanho de bloco define a granularidade dos bits, ou seja, quantos bits de dados serão repassados para o codificador a cada ciclo de execução.

Para realizar o controle dos diferentes tamanhos de bloco de entrada possíveis, implementou-se um módulo responsável por fazer a integração entre as camadas MAC e física. Este módulo é responsável por dividir o *stream* de dados enviados pela camada MAC, em quantidades menores correspondentes ao tamanho de bloco especificado. O tamanho do bloco depende da quantidade de *slots* alocados (quantidade de recurso utilizada em um quadro OFDMA), bem como o MCS usado. Além disso, a concatenação de blocos pode ser realizada para aumentar o desempenho, não ultrapassando o tamanho limite para cada MCS.

Os demais módulos da arquitetura foram implementados de acordo com a especificação do padrão IEEE 802.16. A última etapa do desenvolvimento foi realizar testes com o sistema integrado, para isso desenvolveu-se um módulo de testes, o qual lê dados de um arquivo externo, gera estímulos de entrada no circuito e armazena os resultados em outro arquivo.

IV. RESULTADOS

Esta seção analisa o desempenho da arquitetura proposta em uma plataforma FPGA. Os modelos de tráfegos VoIP e HTTP foram utilizados para representar duas aplicações comuns utilizadas em redes WiMAX móvel. Estes modelos e as configurações físicas do cenário de simulação são baseados no documento *System Evaluation Methodo-*

logy publicado pelo Fórum WiMAX [5]. Além disso, a verificação funcional do codificador de canal foi realizada utilizando o vetor de teste sugerido pelo padrão IEEE 802.16 e todos os resultados foram obtidos considerando um intervalo de confiança de 95%.

A primeira análise realizada refere-se a quantidade de números de ciclos em relação ao tamanho dos blocos que podem ser processados pelo codificador de canal. Os blocos de dados podem ser concatenados para serem codificados aumentando o desempenho do sistema. Desta forma, entende-se que a concatenação deve ser feita com o maior tamanho possível para cada MCS. A Fig. 3 apresenta três tamanhos de rajadas segundo os modelos de tráfegos: com o maior valor encontrado (3696 bits), com menor valor encontrado (1857 bits) e o valor médio encontrado (2688 bits). Por limitação de espaço neste artigo, apenas o MCS igual a 1 foi utilizado nesta visualização.

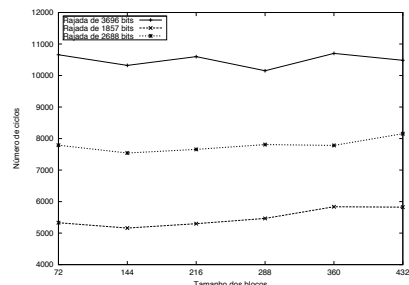


Figura 3. Bloco codificador com MCS = 1

Nas rajadas com tamanho de 2688 bits e 1857 bits percebe-se que a concatenação de blocos aumenta o desempenho do circuito em relação a um bloco sem concatenação. Entretanto, quando a concatenação é realizada com os maiores tamanhos de bloco possíveis, o circuito apresenta menor desempenho. Assim, observa-se que o método especificado pela padrão pode não resultar na maior eficiência do circuito projetado. O melhor desempenho para a rajada com tamanho igual à 2688 bits foi com tamanho de bloco igual à 144, onde o circuito utilizou 7542 ciclos para codificar os dados. O mesmo tamanho de bloco obteve o melhor desempenho para a rajada de tamanho igual à 1857 bits, consumindo 5160 ciclos para o processamento dos dados.

A segunda análise investiga a variabilidade dos bits de saída do bloco codificador de canal, realizada pelo módulo Entrelaçador. Esta funcionalidade é fundamental para garantia de homogeneidade no espectro, isto é, balanceamento entre bits com valor igual à 0 e 1. A análise foi realizada iniciando o codificador de canal com valores uniformemente aleatórios, indicados na TABELA I. Além disso, para fins comparativos, foi implementado o método definido pelo padrão IEEE 802.16 para a variabilidade dos bits de saída do bloco codificador de canal. Este método recebeu o nome (N) e pode ser visualizado na Fig. 4.

Tabela I
REPRESENTAÇÃO DOS MCSs

Representação	Estado Inicial
BPSK 1/2 (A)	000000
QPSK 1/2 (B)	000111
QPSK 3/4 (C)	001100
16-QAM 1/2 (D)	010101
16-QAM 3/4 (E)	101010
64-QAM 1/2 (F)	110011
64-QAM 2/3 (G)	111000
64-QAM 3/4 (H)	111111

A inicialização do bloco codificador com valores pré-definidos, como os da TABELA I, possibilita um aumento no desempenho do circuito, pois não é necessário o desenvolvimento de uma estrutura de armazenamento entre o Entrelaçador e o Codificador FEC. A Fig. 4 apresenta a variabilidade dos bits de saída do bloco codificador de canal. Os resultados apresentam a quantidade de bits com valor igual à 0 e a quantidade de bits com valor igual à 1. Vale ressaltar, que nesta análise os tráfegos também foram escalonados na camada MAC.

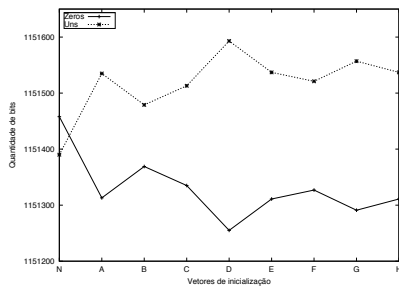


Figura 4. Variabilidade dos bits de codificação

A análise a partir da Fig. 4 apresenta os resultados muito próximos ao método de inicialização indicado pelo padrão, com destaque para a representação MCS QPSK 1/2 (B), que obteve o melhor desempenho entre os valores pré-configurados. O método sugerido pelo padrão foi o único que obteve o valor de zeros superior ao valor de uns na saída do bloco codificador. Este comportamento é justificado, pois o método de inicialização indicado pelo padrão é dinâmico, isto é, cada bloco que entra no codificador de canal é configurado com uma inicialização diferente. Entretanto, como os resultados obtidos segundo essa análise, pode-se perceber que o desempenho dos valores pré-configurados são muito próximos ao método sugerido pelo padrão IEEE 802.16, mas utilizando uma lógica programável otimizada para essa funcionalidade. Sendo assim, são necessários menos recursos computacionais que o método sugerido pelo padrão.

A FPGA utilizada para prototipação do bloco codificador de canal foi uma Virtex-II Pro da Xilinx, utilizando o software *Integrated Software Environment* (ISE). Os

principais resultados obtidos com a síntese do circuito dizem respeito a utilização dos recursos da FPGA e são apresentados na TABELA II. Pode-se observar que o circuito desenvolvido utilizou aproximadamente a metade dos recursos mais importantes da FPGA, como é o caso das *Look Up Tables* (LUTs) e *Slices*.

Tabela II
UTILIZAÇÃO DOS RECURSOS DA FPGA

Recursos	Quantidade Disponível	Quantidade Utilizada	Percentual Utilizado
<i>Slices</i>	13696	6783	49%
<i>flip-flops</i>	27392	2484	9%
LUTs	27392	10365	37%
I/Os	556	94	16%

Outro resultado observado diz respeito a frequência máxima de operação do circuito. O circuito desenvolvido pode operar em uma frequência máxima de 180 MHz. Assim, observa-se que o circuito projetado pode realizar a codificação em um tempo menor do que o especificado pelo padrão IEEE 802.16, isto é, transmitir quadros em intervalos menores que 5ms.

V. CONCLUSÕES E TRABALHOS FUTUROS

Neste artigo foi desenvolvido um protótipo de bloco codificador de canal utilizando FPGA, com ênfase na codificação FEC e na técnica de multiplexação OFDMA para redes WiMAX móveis. Os resultados mostram que o emprego de um codificador de canal é fundamental para a garantia de QoS em redes WiMAX móveis. Direções para futuras investigações devem envolver a implementação do circuito de modulação e multiplexação do canal em hardware, visando a análise do fluxo completo de transmissão.

AGRADECIMENTOS

Os autores agradecem o suporte oferecido pela Universidade de Santa Cruz do Sul.

REFERÊNCIAS

- [1] S. Ko, S. Lee, H. Kwon, and B. Lee, "Mode selection-based channel feedback reduction schemes for opportunistic scheduling in OFDMA systems," *IEEE Transactions on Wireless Communications*, vol. 9, no. 9, 2010.
- [2] B. K. Upadhyaya, I. S. Misra, and S. K. Sanyal, "Novel design of address generator for WiMAX multimode interleaver using FPGA based finite state machine," in *Anais. International Conference on Computer and Information Technology*, Bangladesh, 2010, pp. 153–158.
- [3] S. W. Shaker, S. H. Elramly, and K. A. Shehata, "FPGA implementation of a reconfigurable viterbi decoder for WiMAX receiver," in *Anais. International Conference on Microelectronics*, Marcos, 2009, pp. 264–267.
- [4] K. ElWazeer, M. Khairy, H. Fahmy, and S. Habib, "FPGA implementation of an improved channel estimation algorithm for mobile WiMAX," in *Anais. International Conference on Microelectronics*, 2009, pp. 280–283.
- [5] WiMAX Forum, "WiMAX system evaluation methodology version 2.1," Julho 2008, WiMAX Forum. <http://www.wimaxforum.org/documents>. Acessado em Março 2011.