

**Esame di Progettazione di Sistemi Digitali – 28 Giugno 2022**  
**Prof. Massini – canale M-Z**

Cognome Nome \_\_\_\_\_ Matricola \_\_\_\_\_

**Esercizio 1 (2+2+2+2 punti)** Dato X nella rappresentazione in complemento a 2 con 4 bit,

- si stenda la tavola di verità della funzione booleana Y, rappresentata con 4 bit  $y_3y_2y_1y_0$ , tale che:

$$Y = \begin{cases} 12 - 2X & \text{se } X \text{ è pari} \\ 2X + 9 & \text{se } X \text{ è dispari} \end{cases}$$

Si utilizzino *don't care* per i valori di Y non rappresentabili con 4 bit;

- Si realizzi Y usando un PLA;
- Si realizzi inoltre  $y_2$  con un MUX 4-a-1;
- Si dia una espressione ALL-NAND per  $y_2$ .

**Esercizio 2 (7 punti)** Progettare la rete sequenziale che riceve in ingresso una sequenza di caratteri presi dall'alfabeto {A, E, G, M} e produce in output 1 ogni volta che riconosce le sequenze GAG e GAME, anche con sovrapposizioni. Si ricavi e si rappresenti l'automa (3 punti) e si stenda poi la tavola degli stati futuri, usando un flip flop di tipo JK per il bit più significativo e un flip flop di tipo SR per il bit meno significativo (2 punti). Si ricavino infine le espressioni minimali (2 punti).

**Esercizio 3 (3 punti)** Si dimostri la seguente identità, specificando gli assiomi dell'algebra di Boole:

$$c + \overline{(a + (b \oplus c))} + c = a + b + c$$

**Esercizio 4 (4 punti)** Dato  $A = -34,83$  rappresentarlo in virgola mobile secondo lo standard IEEE half-precision. Eseguire poi la somma tra  $A$  e  $B = \langle 0; 10011; 1011011000 \rangle$  e rappresentare il risultato in virgola mobile secondo lo stesso formato. Infine, si converta in esadecimale il numero binario ottenuto dai 16 bit della rappresentazione in formato IEEE half-precision del risultato.

**Esercizio 5 (3 punti)** Minimizzare il seguente automa.

	<b>0</b>	<b>1</b>
<b>A</b>	B/0	C/0
<b>B</b>	A/0	C/1
<b>C</b>	B/1	A/1
<b>D</b>	B/0	E/0
<b>E</b>	B/1	D/1
<b>F</b>	G/0	E/1
<b>G</b>	F/0	C/0

**Esercizio 6 (5 punti).** Si considerino quattro registri sorgente  $S_0 - S_3$  e tre registri destinazione  $D_1 - D_3$ . Si progetti una rete di interconnessione tale che:

- in  $D_3$  viene trasferito il contenuto del registro  $S_{(i+1) \bmod 4}$ , dove l'indice  $i$  è dato dai due bit più significativi di  $S_2$ ;
- trasferisce lo XOR tra  $S_2$  e  $S_3$  in  $D_1$ , se  $S_1$  contiene un numero dispari, o in  $D_2$ , altrimenti.

I trasferimenti sono abilitati se la differenza tra  $S_2$  e  $S_3$  è negativa.