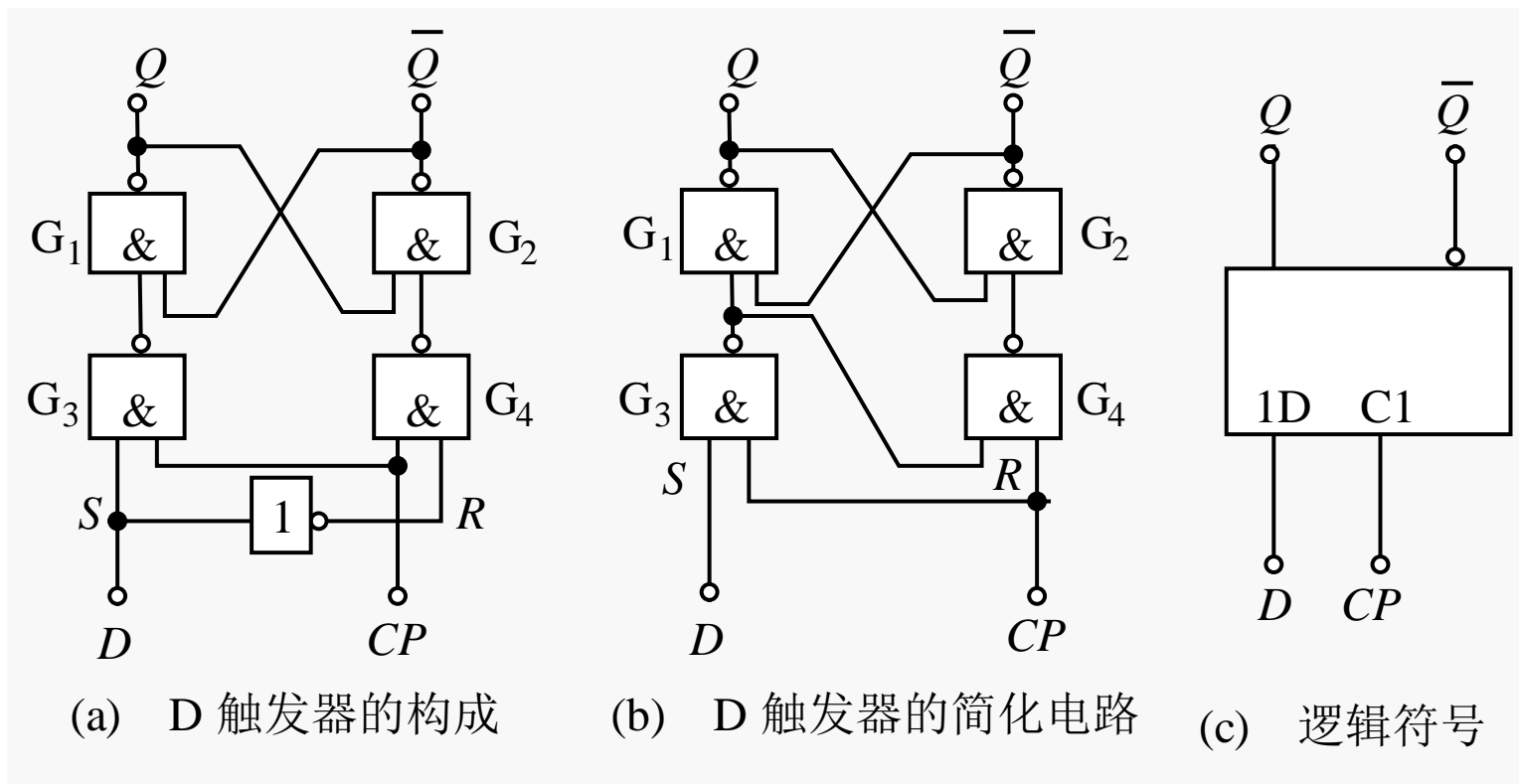


3、同步D触发器

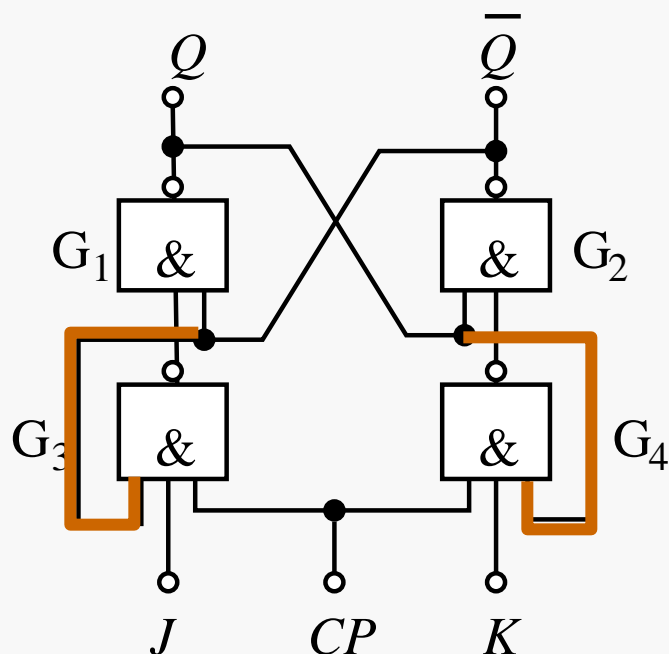


将 $S=D$ 、 $R=D$ 代入同步RS触发器的特性方程，
得同步D触发器的特性方程：

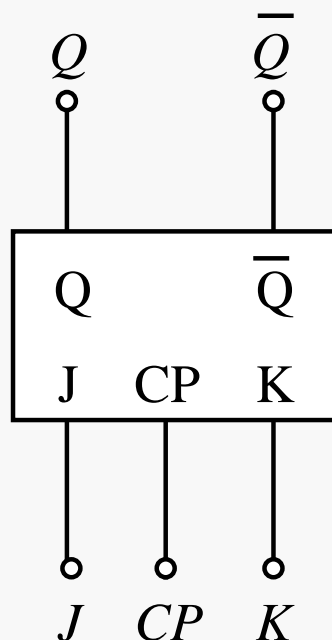
$$Q^{n+1} = S + \bar{R}Q^n = D + \bar{D}Q^n = D$$

CP=1期间有效

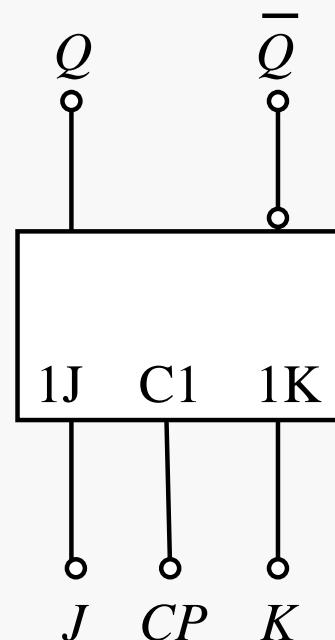
4、同步JK触发器



(a) 逻辑电路



(b) 曾用符号



(c) 国标符号

将 $S=J\bar{Q}^n$ 、 $R=KQ^n$ 代入同步RS触发器的特性方程，得同步JK触发器的特性方程：

$$\begin{aligned} Q^{n+1} &= S + \bar{R}Q^n = J\bar{Q}^n + \overline{KQ^n}Q^n \\ &= J\bar{Q}^n + \bar{K}Q^n \end{aligned}$$

CP=1期间有效

特性表

CP	J	K	Q^n	Q^{n+1}	功能
0	×	×	×	Q^n	$Q^{n+1} = Q^n$ 保持
1	0	0	0	0	$Q^{n+1} = Q^n$ 保持
1	0	0	1	1	
1	0	1	0	0	$Q^{n+1} = 0$ 置 0
1	0	1	1	0	
1	1	0	0	1	$Q^{n+1} = 1$ 置 1
1	1	0	1	1	
1	1	1	0	1	$Q^{n+1} = \overline{Q}^n$ 翻转
1	1	1	1	0	

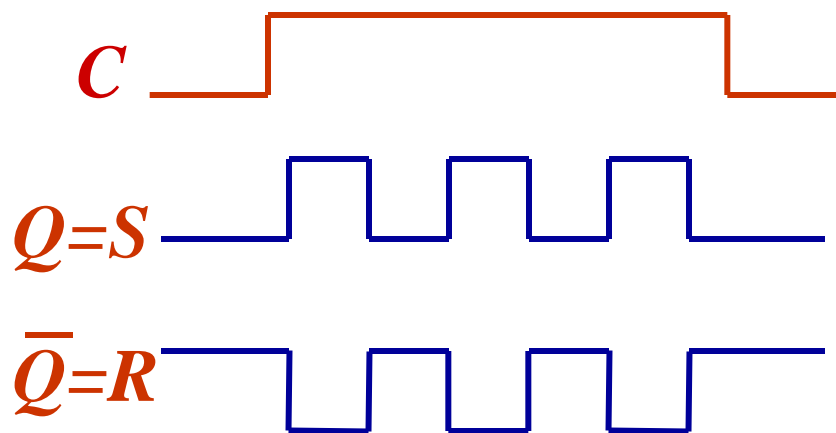
JK=00时不变

JK=01时置0

JK=10时置1

JK=11时翻转

存在问题：时钟脉冲不能过宽，否则出现空翻现象，即在一个时钟脉冲期间触发器翻转一次以上。



S	R	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	不定

克服办法：采用主从结构或者边沿触发

21.1.2 主从JK触发器

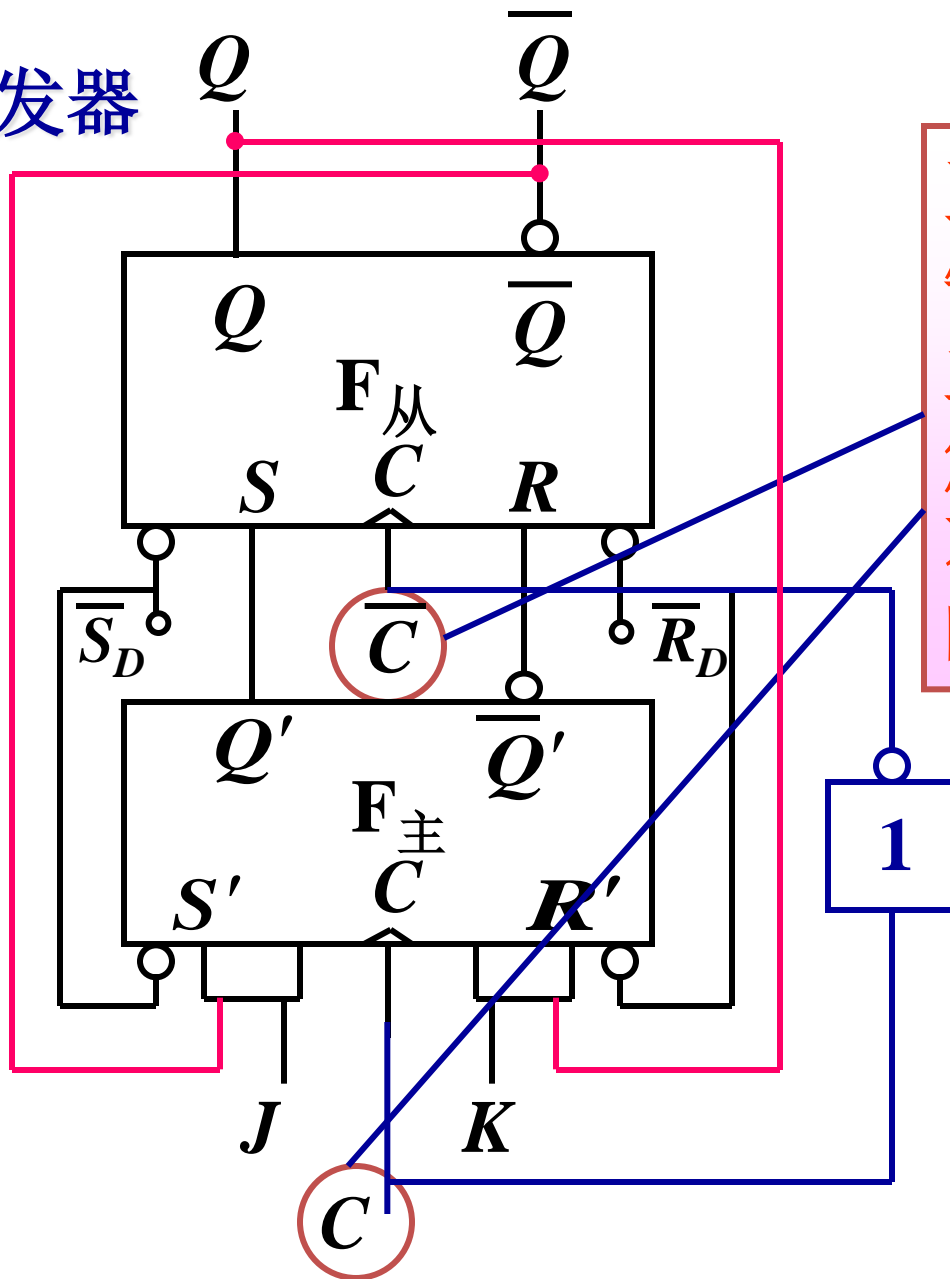
1. 电路结构

从触发器

反馈线

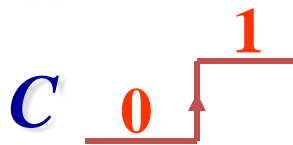
主触发器

$$S' = J\overline{Q}^n$$
$$R' = KQ^n$$



互补时钟控制
主、从触发器
不能同时翻转

2. 工作原理

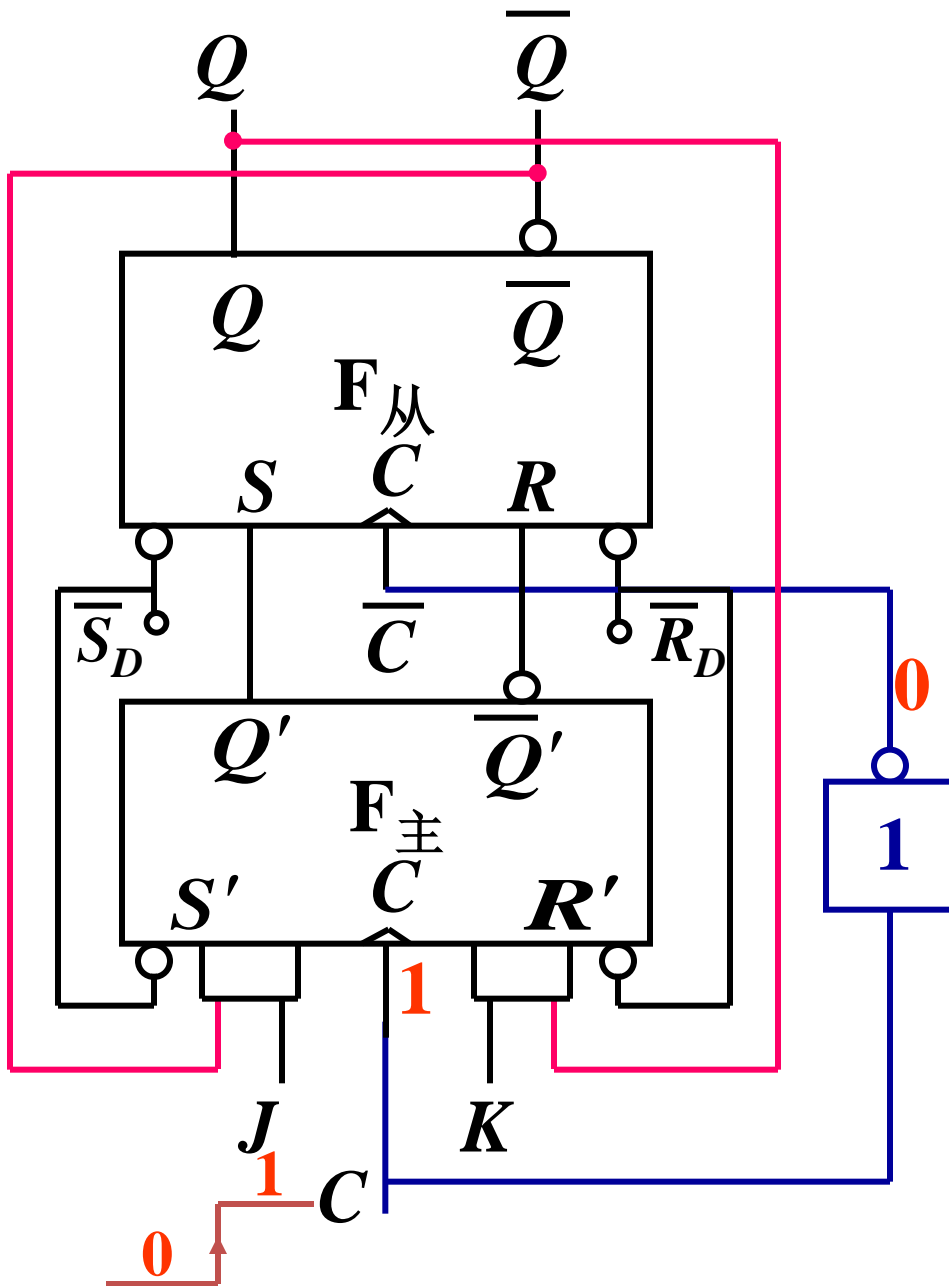


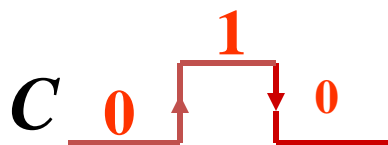
F从封锁

F_从状态保持不变。

F_主打开

F_主状态由J、K决定，接收信号并暂存。



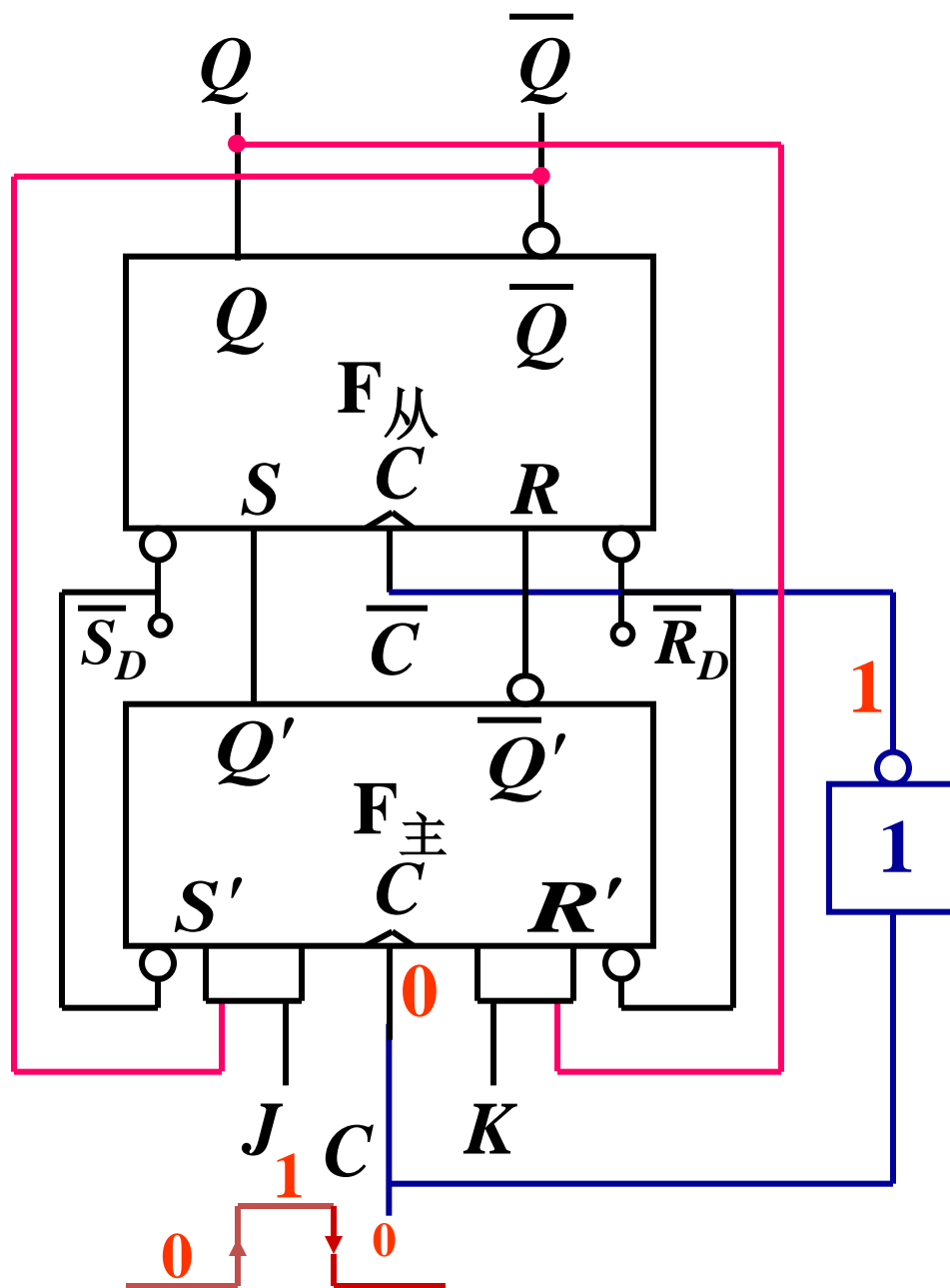


$F_{\text{从}}$ 打开

从触发器的状态取决于主触发器，并保持主、从状态一致，因此称之为主从触发器。

$F_{\text{主}}$ 封锁

状态保持不变。

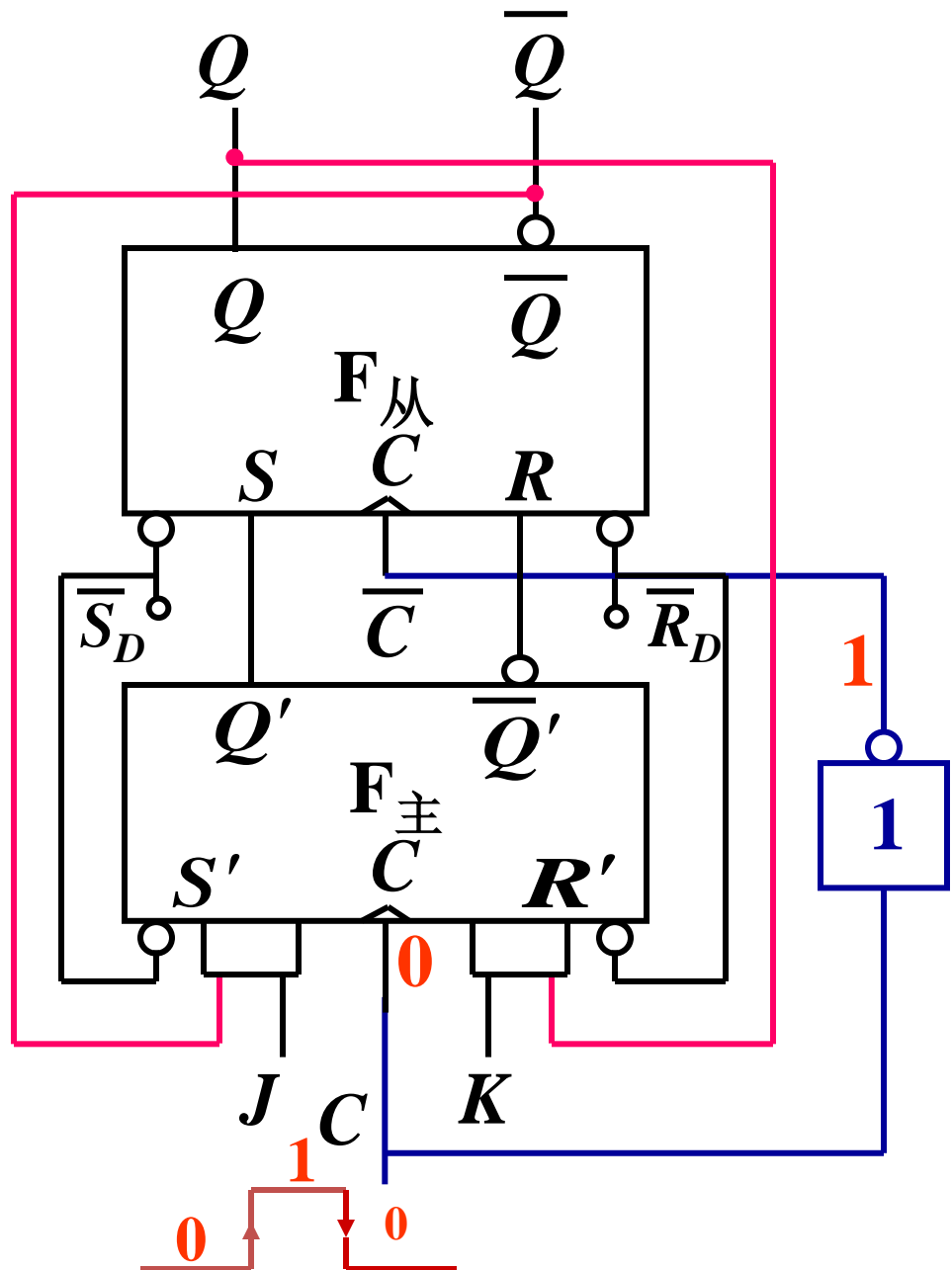


C高电平时触发器接收信号并暂存（即 $F_{\text{主}}$ 状态由 J 、 K 决定， $F_{\text{从}}$ 状态保持不变）。

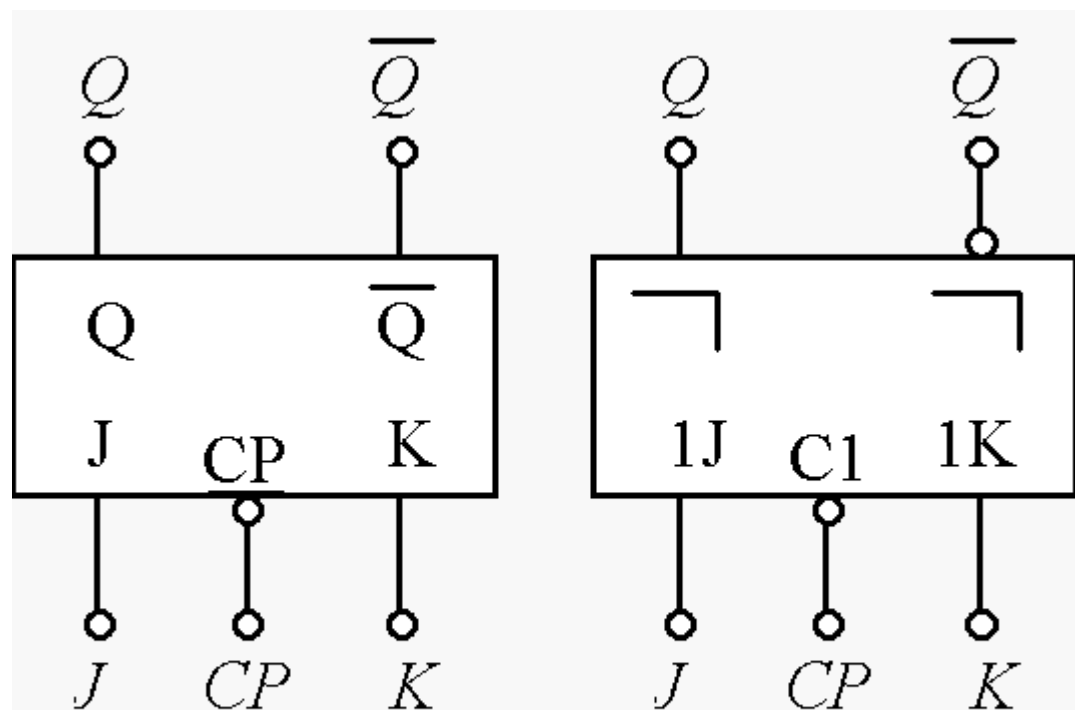
C下降沿(\downarrow)触发器翻转（ $F_{\text{从}}$ 状态与 $F_{\text{主}}$ 状态一致）。

C低电平时, $F_{\text{主}}$ 封锁 J 、 K 不起作用

要求**C**高电平期间 J 、 K 的状态保持不变。



逻辑符号



曾用符号

国标符号

电路特点

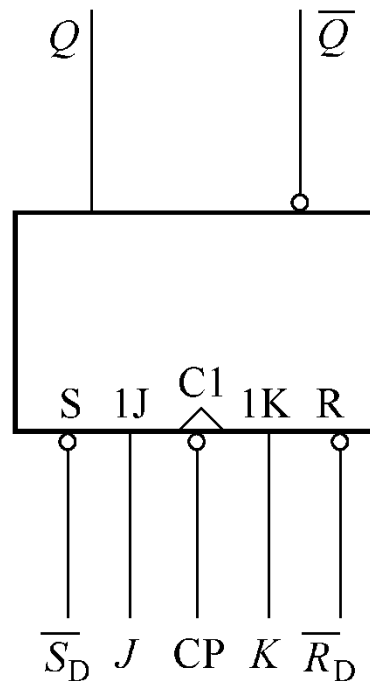
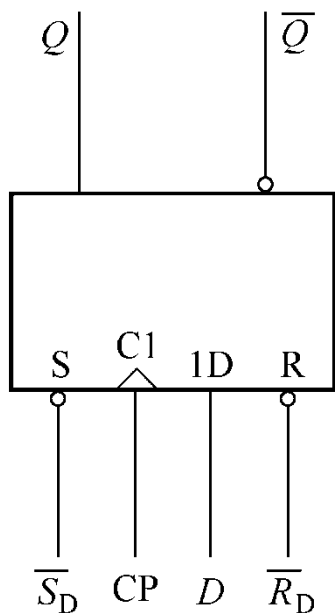
①主从JK触发器采用主从控制结构，从根本上解决了输入信号直接控制的问题，具有 $CP=1$ 期间接收输入信号， CP 下降沿到来时触发翻转的特点。

②输入信号J、K之间没有约束。

③存在一次变化问题。

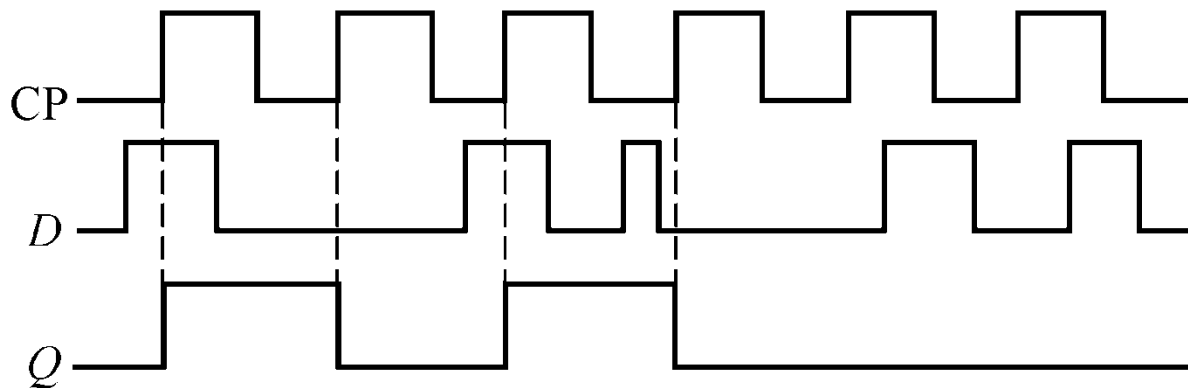
21.1.3 边沿(edge-triggered)触发器

1、边沿触发器的逻辑符号



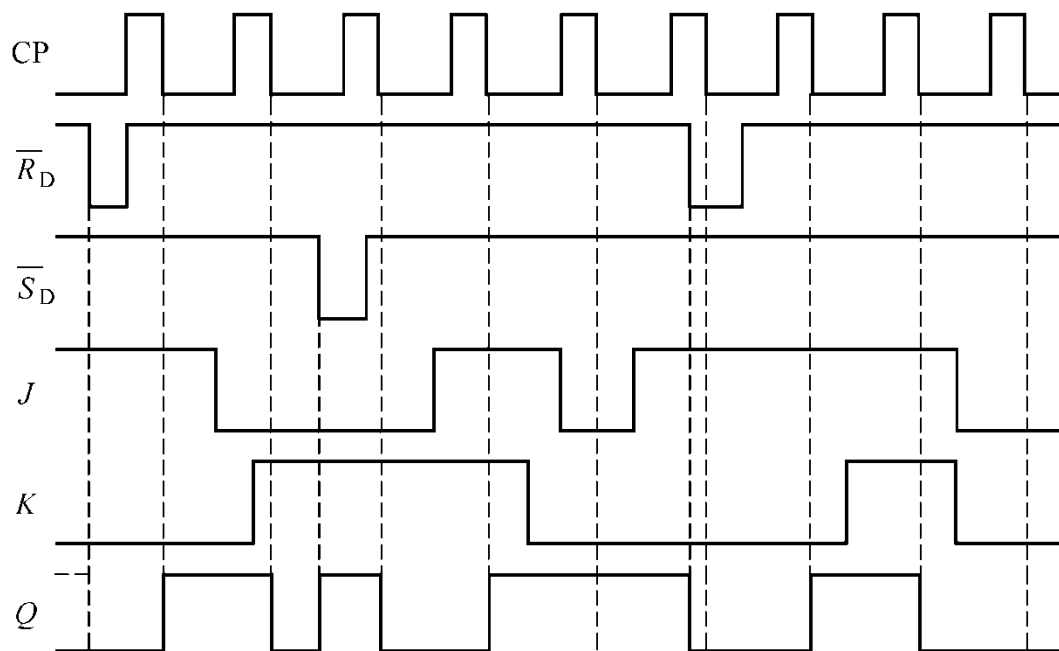
2、边沿触发器的时序图

上升沿触发的 D 触发器 $\overline{R}_D=\overline{S}_D=1$ 的时序图



在每一个CP上升沿时刻，触发器均根据当时输入信号D的状态进行翻转，其他时刻触发器维持原态不变。

下降沿触发的边沿 JK 触发器，加了 $\overline{R}_D, \overline{S}_D$ 信号的时序图



只有在 $\overline{R}_D = \overline{S}_D = 1$ 时每一个 CP 下降沿时刻，触发器均根据当时的输入信号 JK 进行翻转，在置0或置1期间触发器不随 JK 信号进行翻转。

21.1.4 触发器逻辑功能的转换

1. 将 JK 触发器转换为 D 触发器

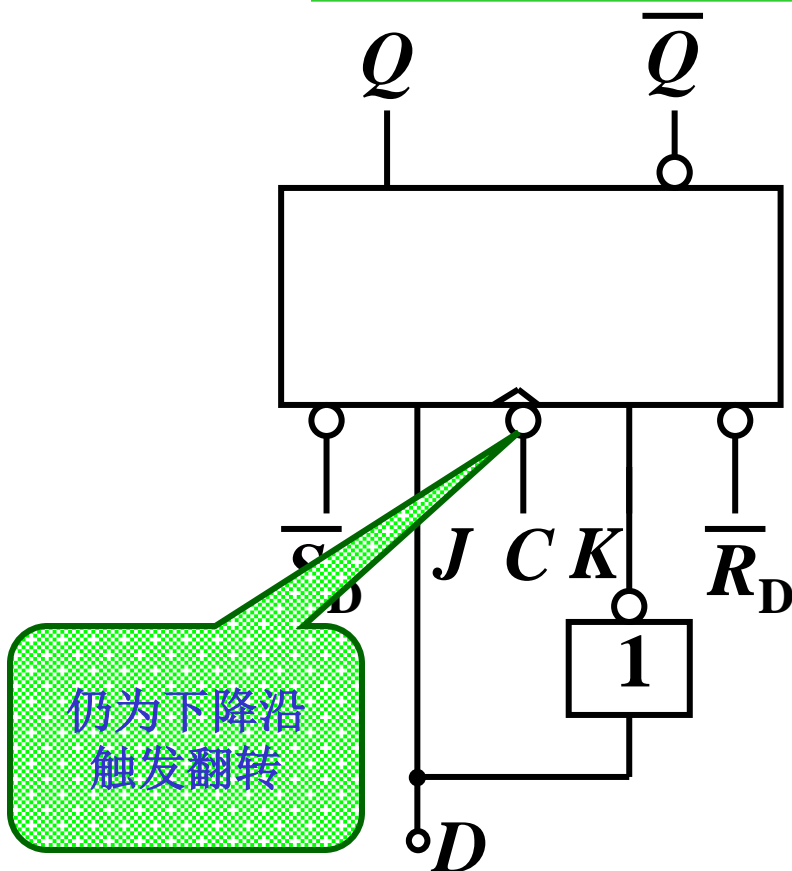
D 触发器状态表

D	Q^{n+1}
0	0
1	1

JK 触发器状态表

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

当 $J=D$, $K=\overline{D}$ 时,
两触发器状态相同



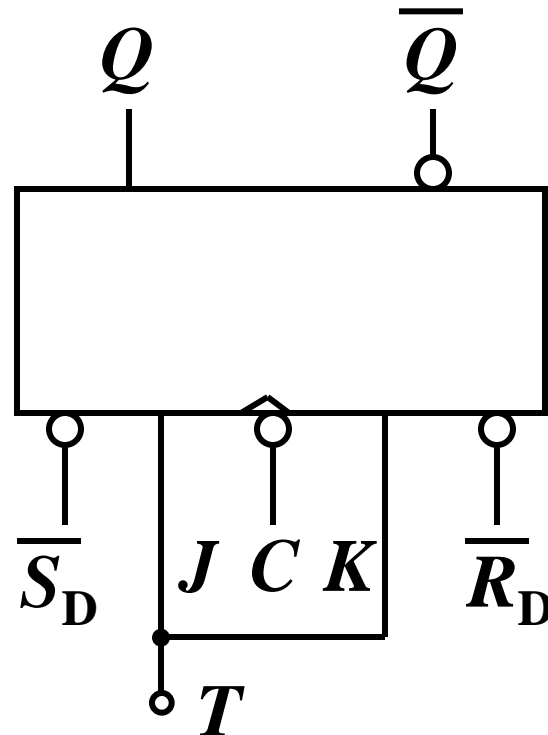
2. 将JK触发器转换为T触发器

T触发器状态表

T	Q_{n+1}
0	Q_n (保持功能)
1	$\overline{Q_n}$ (计数功能)

JK触发器状态表

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

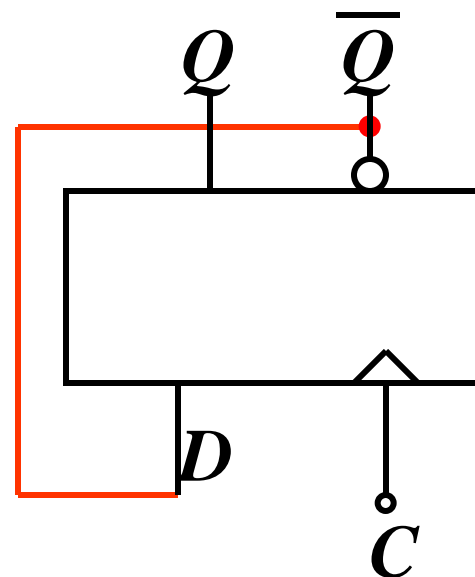
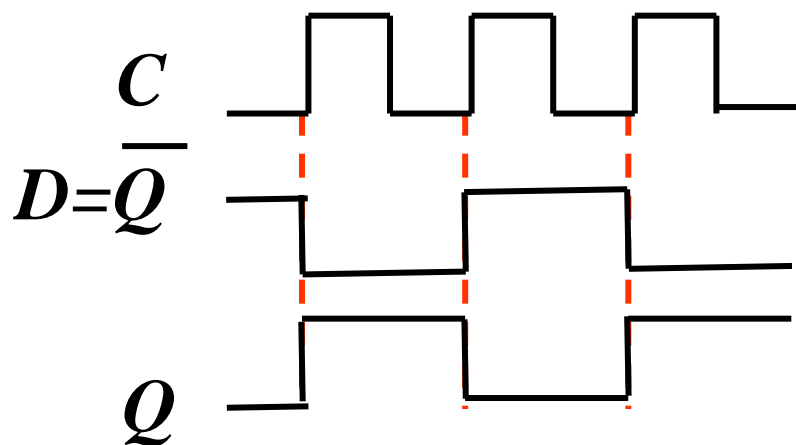


当 $J=K$ 时，两触发器状态相同

3. 将 D 触发器转换为 T' 触发器

T' 触发器仅具有计数功能

即要求来一个 C ，
触发器就翻转一次。



D 触发器状态表

D	Q_{n+1}
0	0
1	1

21.2 时序逻辑电路分析方法



时序逻辑电路又称**时序电路**，它主要由**存储电路**和**组合逻辑电路**两部分组成。

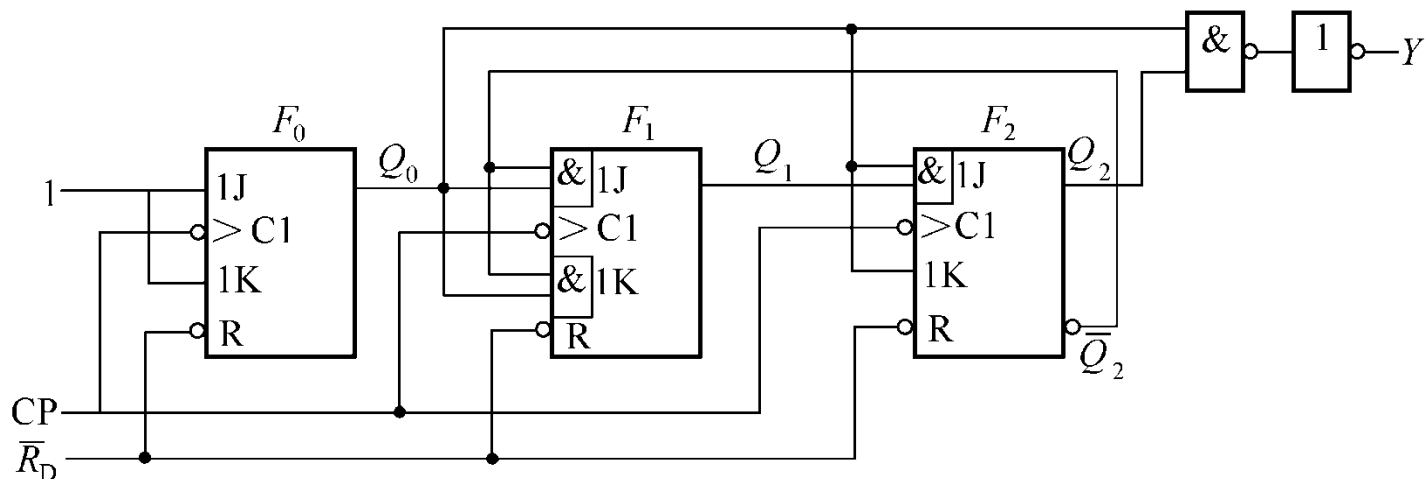
根据电路状态转换情况的不同，时序逻辑电路分为：

- 同步时序逻辑电路：触发器的时钟输入端CP都连在一起。
- 异步时序逻辑电路：时钟脉冲只触发部分触发器，其余触发器则是由电路内信号触发的。

基本分析步骤如下：

1. 写方程式：输出方程、驱动方程、状态方程；
2. 列状态转换真值表；
3. 逻辑功能的说明；
4. 画状态转换图和时序图；

[例] 试分析电路的逻辑功能，并画出状态转换图和时序图。



(1) 写方程

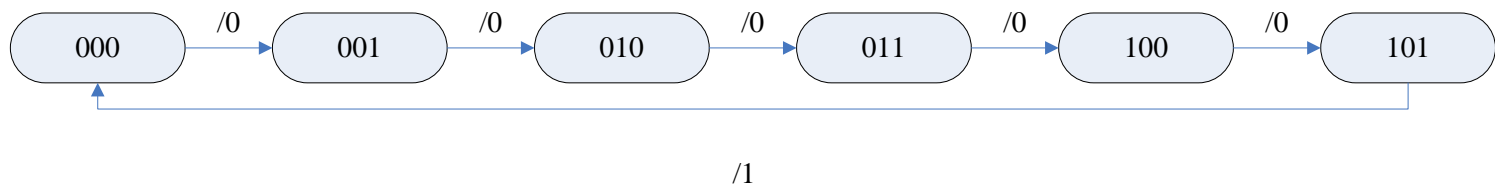
① 输出(input)方程: $Y = Q_2^n Q_0^n$ ③ 状态方程(state function):

② 驱动方程(driver function)
$$\begin{cases} J_0 = 1, K_0 = 1; \\ J_1 = \overline{Q_2^n} Q_0^n, K_1 = \overline{Q_2^n} Q_0^n; \\ J_2 = Q_1^n Q_0^n, K_2 = Q_0^n; \end{cases} \quad \begin{cases} Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n}; \\ Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_2^n} Q_1^n Q_0^n + \overline{Q_2^n} Q_0^n Q_1^n; \\ Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = \overline{Q_2^n} Q_1^n Q_0^n + Q_2^n \overline{Q_0^n} \end{cases}$$

(2) 状态转换真值表(next-state table, truth table)

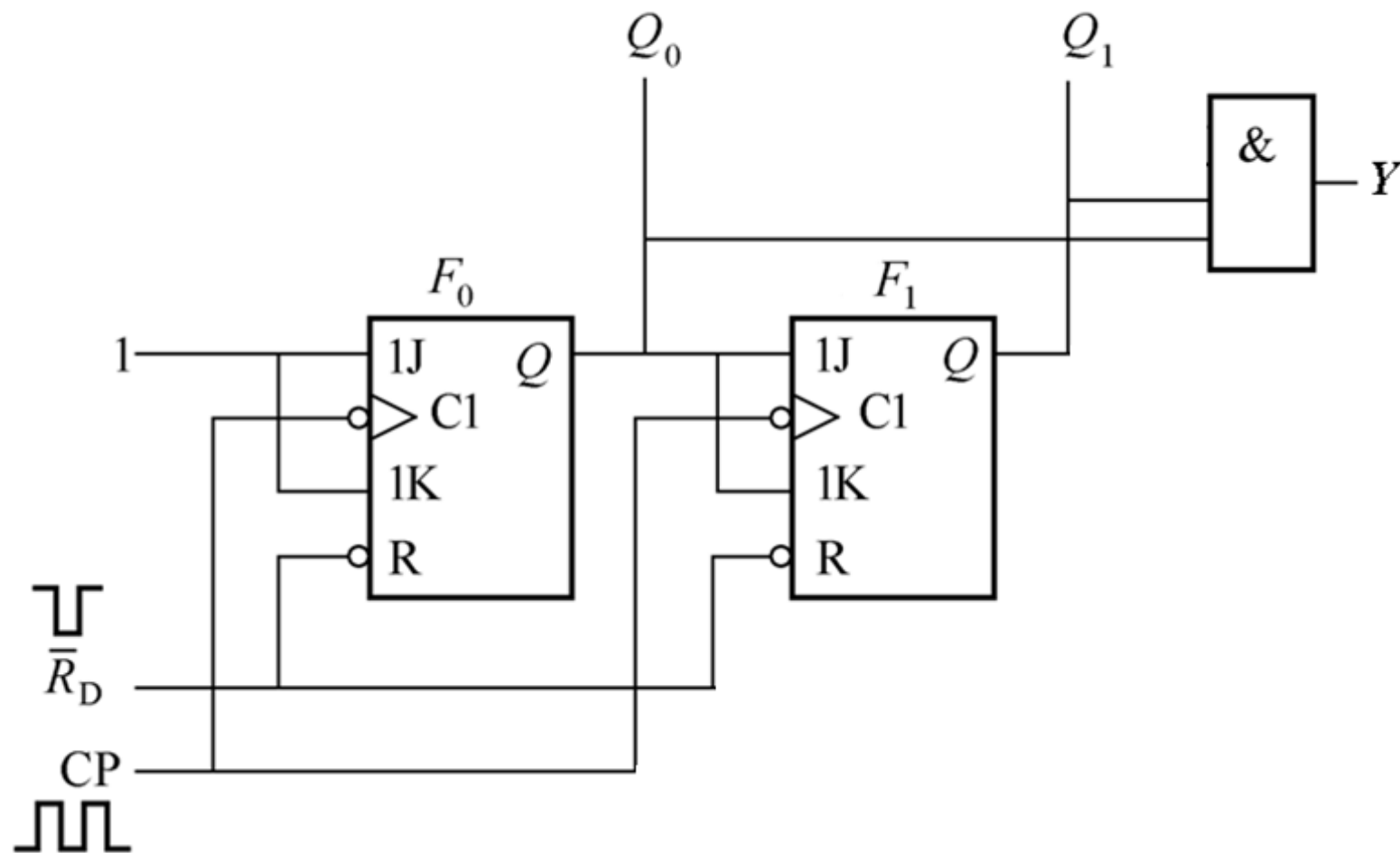
现态 [↙]			次态 [↙]			输出 [↙]
Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1

(3) 状态转换图 (state transition)



(4) 电路功能：该电路在输入第6个计数脉冲CP后，返回原来的状态，同时输出端Y输出一个进位脉冲。因此，该电路为同步6进制加法计数器（有自启动功能）。

[例] 试分析电路的逻辑功能，并画出状态转换图和时序图。



[例] 试分析电路的逻辑功能，并画出状态转换图和时序图。

