

Combinational Logic Analysis

组合逻辑分析（20.6-20.11）

| 序号 | 教学内容 | 教学要求！ | 学时 |
|----|--|--|----|
| 2 | <ul style="list-style-type: none">1.基本组合逻辑电路分析与设计；2.加法器、编码器、译码器、数据选择器的设计；3.复杂组合逻辑电路分析与设计方法 | <ul style="list-style-type: none">1.了解分立元件逻辑门电路的分析与设计方法；2.掌握加法器、编码器、译码器、数据选择器等常用中规模集成器件的使用方法；3.掌握中规模集成器件设计组合逻辑电路的方法； | 10 |

Content

1 基本组合逻辑电路的分析与设计

analysis and design

2 掌握中规模集成器件的使用方法 **usage**

2.1 加法器 **Adders**

2.2 编码器 **Encoders**

2.3 译码器和数字显示 **Decoders and digital display**

2.4 数据分配器和数据选择器(多路复用)

Demultiplexers and Multiplexers (Data
Selectors)

3 利用中规模集成芯片设计组合逻辑电路

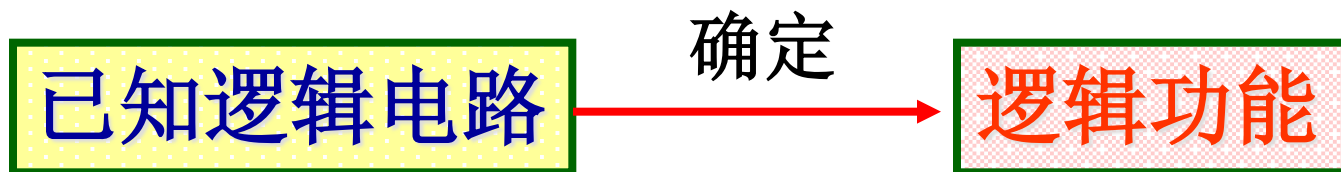
1 组合逻辑电路的分析与设计

★组合逻辑电路：任何时刻电路的输出状态只取决于该时刻的输入状态，而与该时刻以前的电路状态无关。



组合逻辑电路框图

1.1 组合逻辑电路的分析(Analysis)

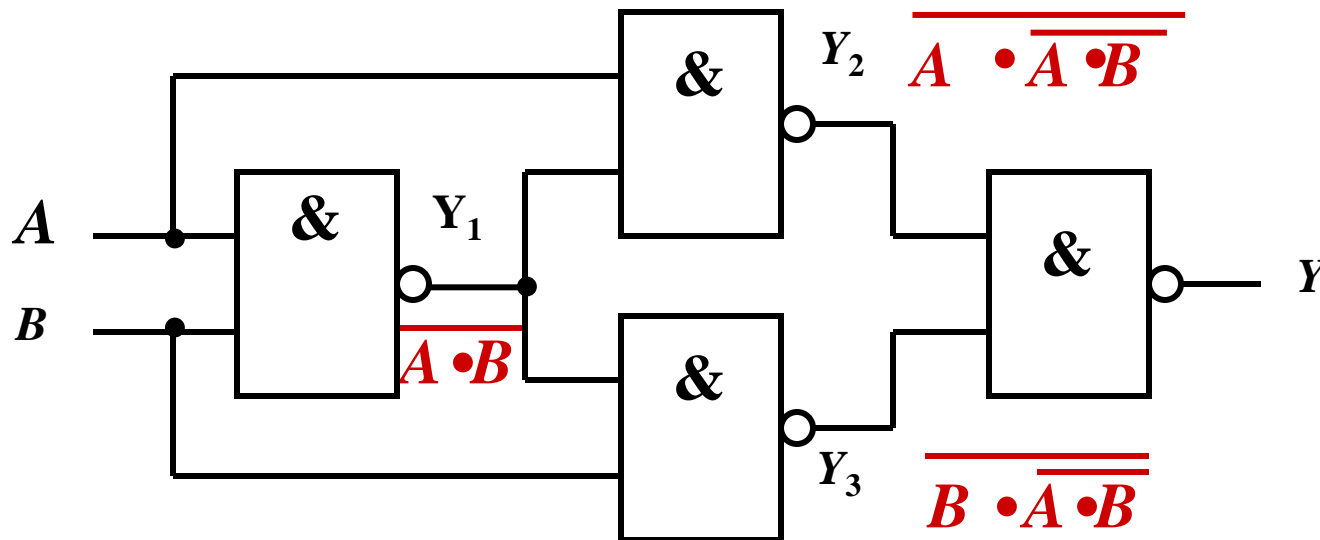


分析步骤:

- (1) 由逻辑图写出输出端的逻辑表达式(expression)
- (2) 运用逻辑代数化简(Simplification)
- (3) 列(list)逻辑状态表(state table)
- (4) 分析(analyze)逻辑功能(Function)

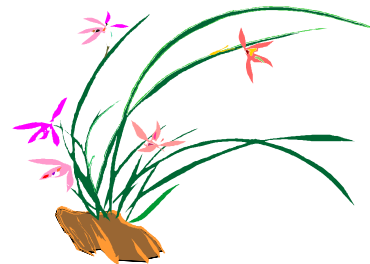


例 1：分析下图的逻辑功能



(1) 写出逻辑表达式

$$Y = \overline{Y_2 Y_3} = \overline{A \cdot A \cdot B \cdot B \cdot A \cdot B}$$



(2) 应用逻辑代数化简

$$Y = \overline{\overline{A} \cdot \overline{AB} \cdot B \cdot \overline{AB}}$$

$$= \overline{\overline{A} \cdot \overline{AB}} + \overline{B \cdot \overline{AB}}$$

$$= A \cdot \overline{\overline{AB}} + B \cdot \overline{\overline{AB}}$$

$$= A \cdot (\overline{A} + \overline{B}) + B \cdot (\overline{A} + \overline{B})$$

$$= A\overline{B} + \overline{A}B$$

反演律

反演律

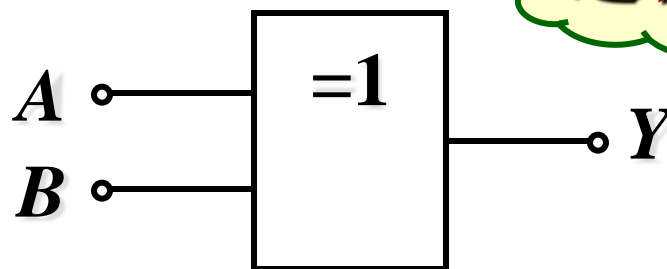
(3) 列逻辑状态表

| A | B | Y |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

$$Y = A\bar{B} + \bar{A}B$$

$$= A \oplus B$$

逻辑式



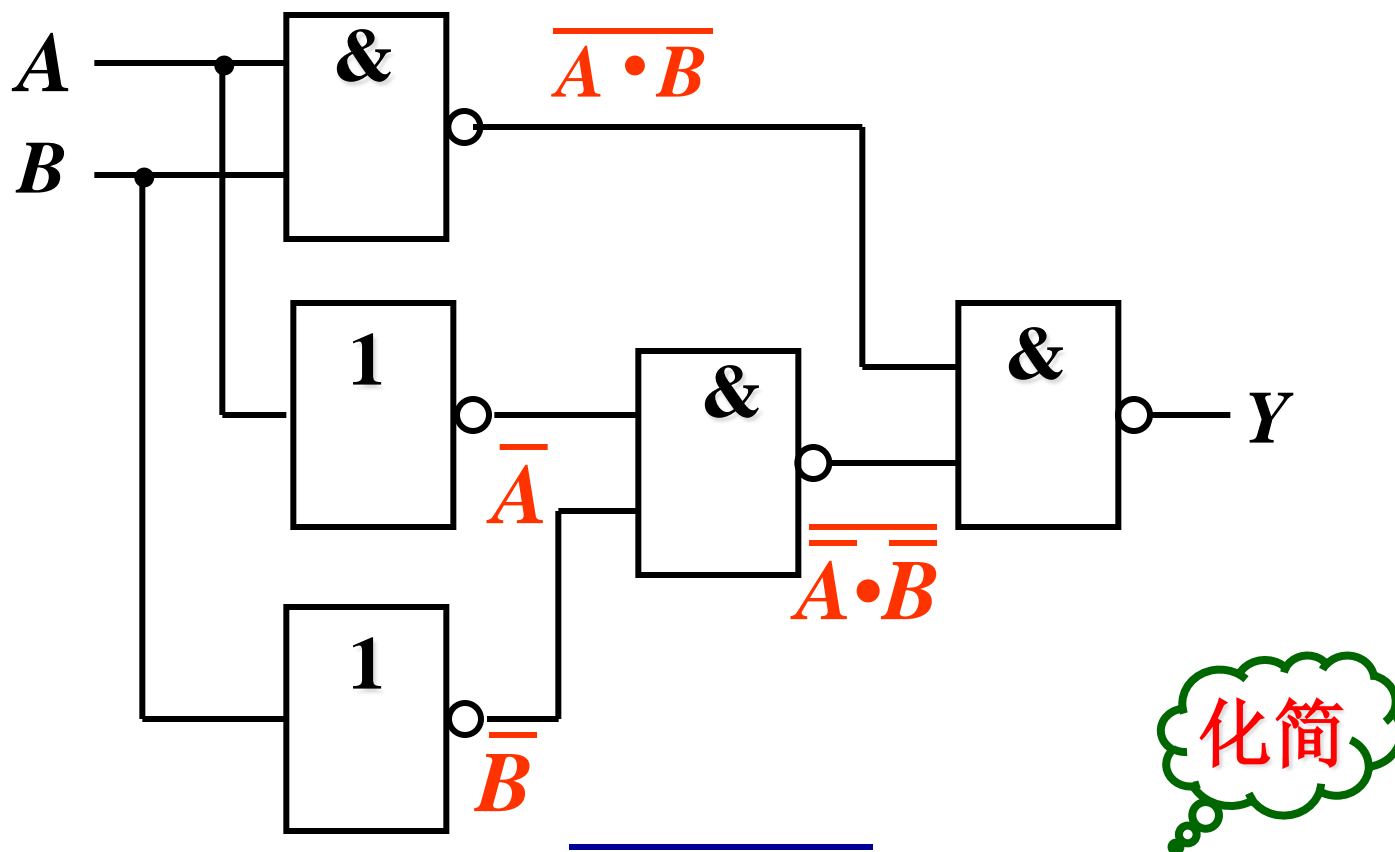
逻辑符号

(4) 分析逻辑功能

输入相同输出为“0”，输入相异输出为“1”，
称为“异或”逻辑关系。这种电路称“异或”门。

Exculsive-or (XOR)

例 2: 分析下图的逻辑功能



化简

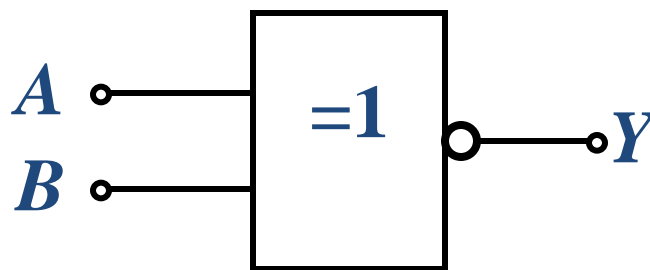
(1) 写出逻辑式 $Y = \overline{\overline{A \cdot B}} \cdot \overline{\overline{A \cdot B}} = \overline{A \cdot B} + \overline{A \cdot B}$

(2) 列逻辑状态表

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

$$Y = AB + \overline{A}\overline{B}$$
$$= \overline{A \oplus B} = A \odot B$$

逻辑式

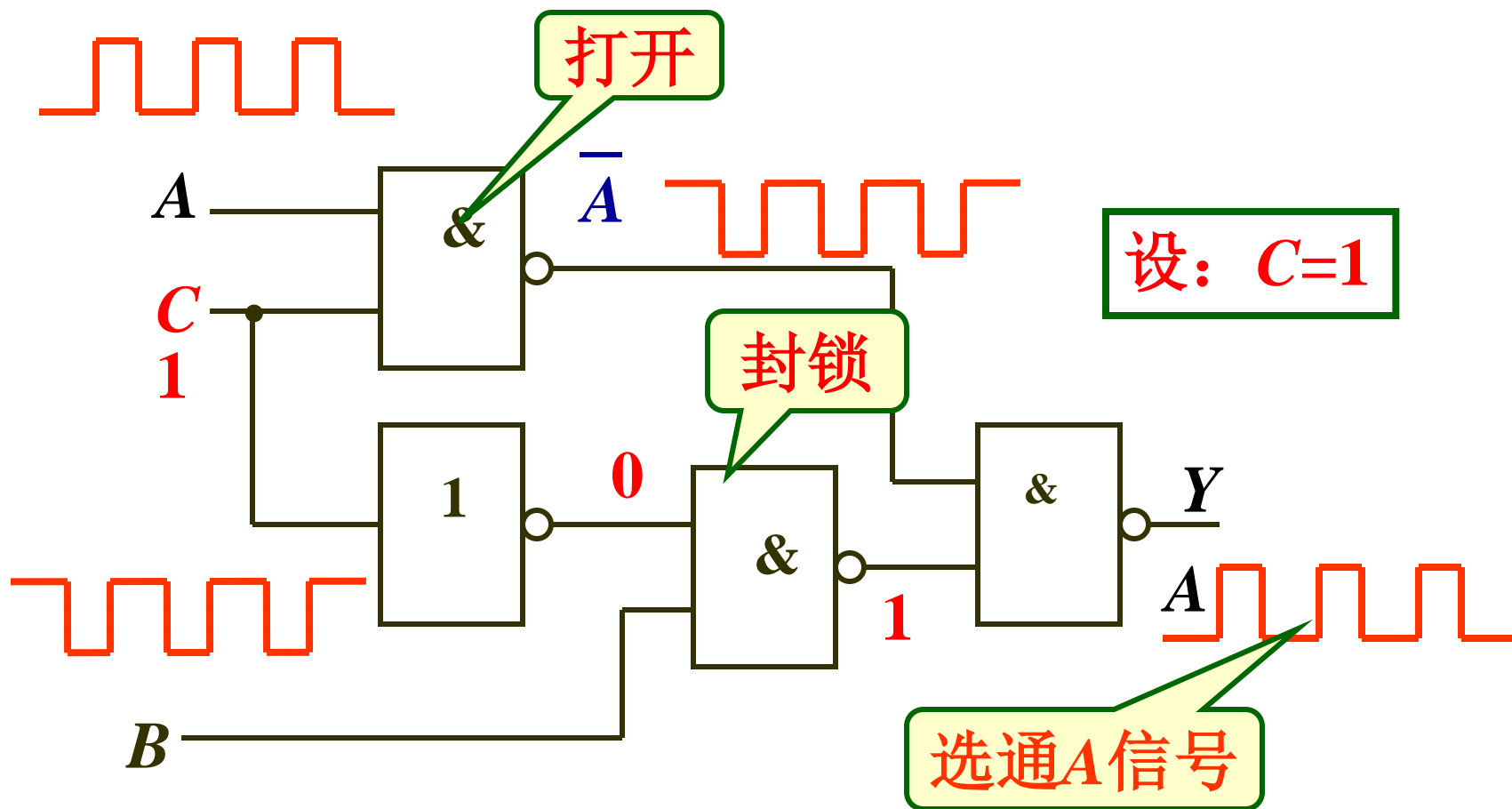


逻辑符号

(3) 分析逻辑功能

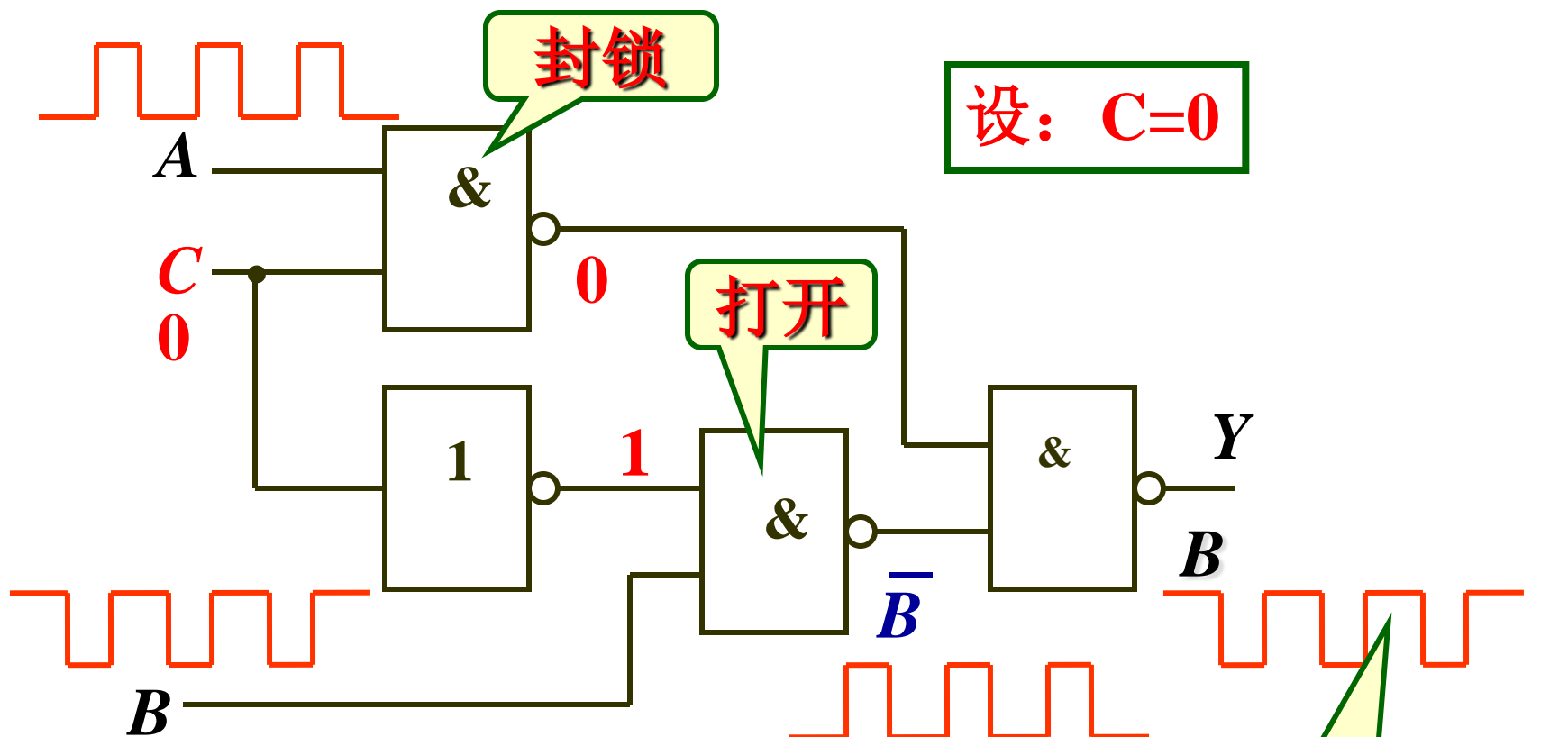
输入相同输出为“1”,输入相异输出为“0”,称为“判一致电路”(“同或门”),可用于判断各输入端的状态是否相同。

例3：分析下图的逻辑功能



写出逻辑式: $Y = \overline{\overline{A}C} \cdot \overline{\overline{B}C} = AC + BC$

例 3：分析下图的逻辑功能



写出逻辑式: $Y = \overline{A} \overline{C} + \overline{B} \overline{C} = AC + BC$

1.2 组合逻辑电路的设计(design)



设计步骤如下：

- (1) 由逻辑要求(requirement)，列出逻辑状态表
- (2) 由逻辑状态表写出逻辑表达式
- (3) 简化和变换逻辑表达式
- (4) 画出逻辑图



例1: 设计一个三变量奇偶检验器(parity checker)。

要求: 当输入变量 A 、 B 、 C 中有奇数(odd)个同时为“1”时, 输出为“1”, 否则为“0”。用“与非”门实现。

(1) 列逻辑状态表

(2) 写出逻辑表达式

取 Y = “1”(或 Y = “0”) 列逻辑式

★ 取 Y = “1”

对应于 $Y=1$, 若输入变量为

“1”, 则取输入变量本身(如 A); 若输入变量为“0”则取其反变量(如 \bar{A})。

| A | B | C | Y |
|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

在一种组合中，各输入变量之间是“与”关系

各组合之间是“或”关系

$$Y = \overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} \overline{C} + A B C$$

由卡图诺可知，该函数不可化简。

| A \ BC | | | | |
|--------|----|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | 1 | | 1 |
| 1 | 1 | | 1 | |

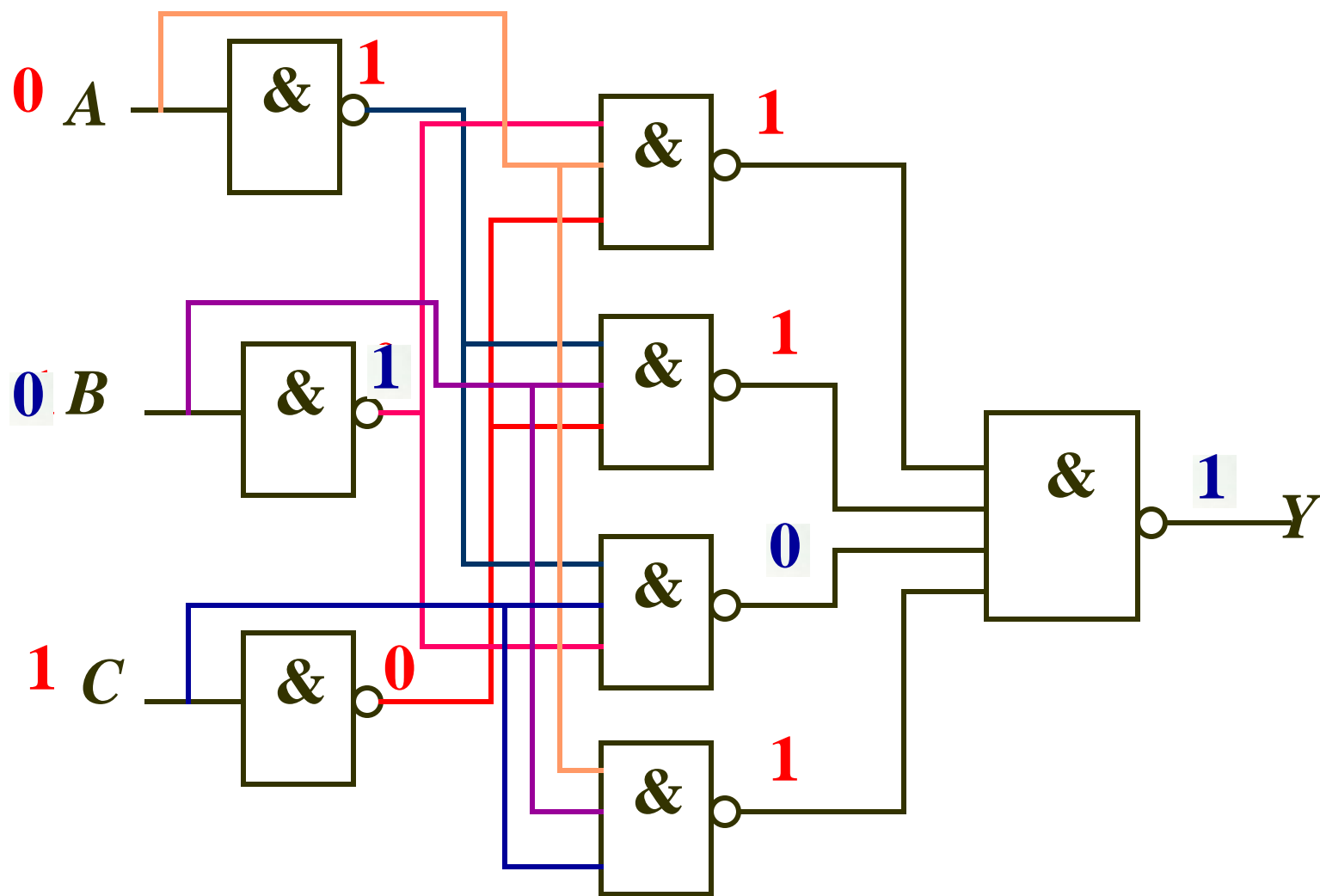
| A | B | C | Y |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

(3) 用“与非”门构成逻辑电路

$$Y = \overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} \overline{C} + A B C$$

$$= \overline{\overline{A} \overline{B} C} \cdot \overline{\overline{A} B \overline{C}} \cdot \overline{A \overline{B} \overline{C}} \cdot \overline{A B C}$$

(4) 逻辑图



例 2: 某工厂有**A**、**B**、**C**三个车间和一个自备电站，站内有两台发电机**G₁**和**G₂**。**G₁**的容量是**G₂**的两倍。如果一个车间开工，只需**G₂**运行即可满足要求；如果两个车间开工，只需**G₁**运行，如果三个车间同时开工，则**G₁**和 **G₂**均需运行。试画出控制**G₁**和 **G₂**运行的逻辑图。

(1) 根据逻辑要求列状态表

首先假设逻辑变量、逻辑函数取“**0**”、“**1**”的含义。

设：**A**、**B**、**C**分别表示三个车间的开工状态：
开工为“**1**”，不开工为“**0**”；
G₁和 **G₂**运行为“**1**”，不运行为“**0**”。

(1) 根据逻辑要求列状态表

逻辑要求：如果一个车间开工，只需 G_2 运行即可满足要求；如果两个车间开工，只需 G_1 运行，如果三个车间同时开工，则 G_1 和 G_2 均需运行。

开工 — “1” 不开工 — “0”

运行 — “1” 不运行 — “0”

| A | B | C | G_1 | G_2 |
|-----|-----|-----|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |



(2) 由状态表写出逻辑式

$$G_1 = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

$$G_2 = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

(3) 化简逻辑式可得:

$$G_1 = AB + BC + AC$$

或由卡图诺可得相同结果

| A \ BC | BC | | | |
|--------|----|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | | 1 | |
| 1 | | 1 | 1 | 1 |

| A | B | C | G_1 | G_2 |
|---|---|---|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

$$G_2 = \overline{A} \overline{B} C + \overline{A} B \overline{C} + A \overline{B} \overline{C} + ABC$$

由逻辑表达式画出
卡诺图，由卡图诺可
知，该函数不可化简。

| A \ BC | BC | | | |
|--------|----|----|----|----|
| | 00 | 01 | 11 | 10 |
| 0 | | 1 | | 1 |
| 1 | 1 | | 1 | |

(4) 用“与非”门构成逻辑电
路

$$G_1 = \overline{\overline{AB + BC + AC}} = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$$

$$G_2 = \overline{\overline{ABC} \cdot \overline{ABC} \cdot \overline{ABC} \cdot \overline{ABC}}$$

(5) 画出逻辑图

