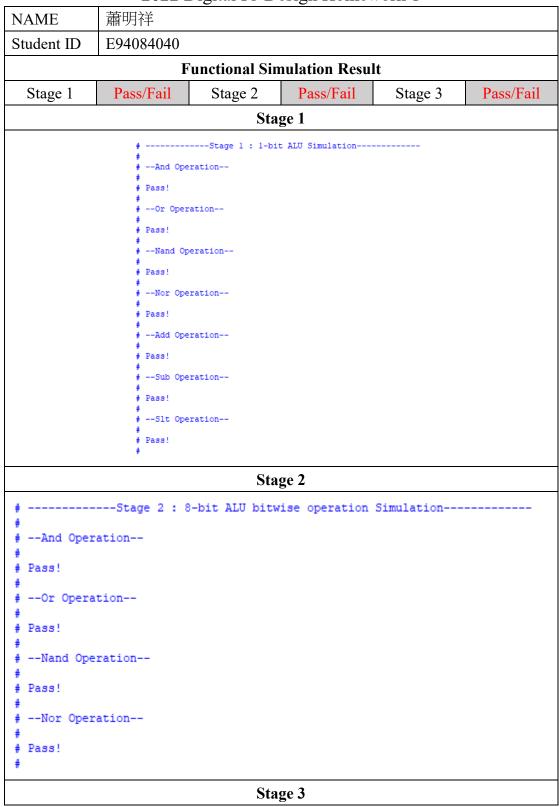
2022 Digital IC Design Homework 1

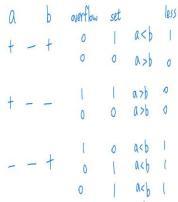


```
# -----------Stage 3 : 8-bit ALU arithmetic operation Simulation------
# --Add Operation--
# Pass!
# --Sub Operation--
# Pass!
# --Slt Operation--
# Pass!
```

Description of your design

首先,Stage1 是利用助教提供的 Full Adder 模組,將 a 和 b 分別看看是否要先進行 invert,再將結果輸入 Full Adder 中,經全加器的結果輸出 s 和 carry_out 即為其中兩個要輸出的訊號,而 overflow 是 carry_in 與上方算出來的 carry_out 輸入 xor 閘的結果,最後 result 是用像多工器的 case 來選擇要怎樣的 a、b 運算結果。

Stage2 和 Stage3 都是用 Stage1 的概念來建造的,將 8 個 1bit 的 ALU 兜在一起即為 8bit 的 ALU,而每個 ALU 的 carry_out 就接成下個 ALU 的 carry_in。各 ALU 的輸出即為 result 的答案。zero 為輸入所有 result 經 nor 閘



的值。 ~ ~ ~ 0 0 0 0 Pige的圖為要輸出 SLT 結果的 less 訊號的推

演,需經過 overflow 和 set 的組合電路來決定 less 訊號,因為只有在 overflow 或 set 其中一個為 1 時 less 才會為 1,所以可以直接利用 xor 閘來決定 ALU0 的 less 訊號。