实验七扩展 按键去抖动设计

一、实验目的

- 1. 了解按键去抖动的原理;
- 2. 熟悉 Quartus II软件的相关操作,掌握数字电路设计的基本流程;
- 3. 介绍 QuartusII软件,掌握基本的设计思想,软件环境的参数配置,仿真,管脚分配,下载等基本操作。

二、实验原理

消除按键的抖动问题:因为按键在闭合或断开过程中出现一段抖动期,主要由于按键的不稳定性引起的,这时会呈现一连串脉冲,时间的长短和开关的机械特性有关。一般在5ms~20ms之间。为保证 CPU 对键的一次闭合作一次处理,必须去抖动,在键的稳定闭合或断开时读键的状态。如图 1 所示。

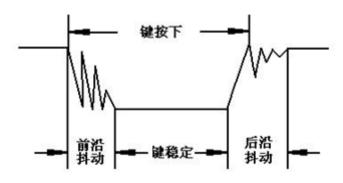


图 1 按键抖动示意图

一般来说,按键去抖动有软件和硬件两种方式,这里我们用 Verilog 程序来消除掉按键抖动对系统的影响。最简单的一种方法就是平时所说的计数。通常来说,按键一次按下,大概持续 100ms (按这个值来分析),而按下和松开的抖动大概要占 30ms 左右(按这个值来分析),所以如果按下按键后是低电平,那么这个低电平若持续了 60ms 左右我们基本可以断定有一次按键按下,这个 60ms 的时间我们可以根据去抖动程序的时钟来计算计数值,从而判断是否有按键按下。需要说明的是,软件消抖时,具体按键按下持续的时间的抖动的时间要根据具体情况来估算,进而才能在软件中进行相应的运算。

三、实验内容

- 1. 用 Verilog 语言设计按键去抖动模块,实现其功能并进行仿真分析;
- 2. 用 Quartus II 软件进行编译、下载到实验平台上进行验证。

四、设计原理框图

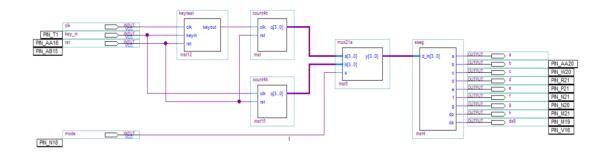


图 2 按键去抖设计原理框图

本原理图中,按键消抖只有一个 keytest 模块,其余模块是为了比较消抖前后的差别而加进去的。rst 为异步清零,mode 控制总线选择开关,0 时表示经过消抖后的效果,1 时显示的是没有经过消抖的效果,这里为了直观,我们做了一个计数器,并且用数码管来显示,按键 F2 每次按下,计数器增 1,从 0-F 循环,所以为了观察按键的抖动,分别将 mode 置于 0 和 1,两种情况下会发现: 当置于 0 时,即经过按键消抖时,按键按下一次,计数器增 1,当置于 1 时,按键没有进过消抖,当按键时,会发现计数器很容易发生<mark>跳跃计数</mark>。这些现象说明按键抖动的存在,在使用时需要进行消抖。

五、引脚分配情况

本次实验需要用到的硬件资源(系统时钟,数码管,按键,拨码开关)

设计端口	芯片引脚	开发板模块	备注
clk	T1	sys_clk	系统时钟 50MHz
A	AA20	DP1-DP8	8 个数码管的
В	W20		A,B,C,D,E,F,G,DP
С	R21		段(1点亮)
D	P21		
Е	N21		
F	N20		
G	M21		
DP (小数点)	M19		
DS	V16	DP8	使能端(0点亮)
mode	N18	SW1	拨码开关:
			上: '1' 下: '0'
rst	AB15	F1	按键:
keyin	AA16	F2	按下: '0' 抬起: '1'

六、结果分析

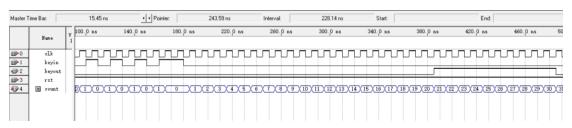


图 3 实验分析结果显示

从仿真图中很清晰的看出了去抖动的效果。(为了便于仿真,低电平计数值设为 20) 注:此仿真图只仿真了原理图中消抖模块,这足以说明问题,没有涉及数码管显示部分。

七、实验步骤

- 1. 将 SW1 置为'1', 此时表示按键未经消抖处理,按 F2 键观察计数器的计数情况;将 SW1 置为'0', 此时在重复上述的操作,观察计数器的计数情况;
- 2. 比较以上两种情况,分析出现这种现象与按键有没有消抖的关系。

