

实验六 十二进制计数器的设计

一、实验目的

- 1、掌握简单计数器的设计方法。
- 2、了解分频电路的原理和设计方法。
- 3、学习在 QUARTUS II 中使用 Verilog 生成的功能模块打包生成 QUARTUS II 原理图的符号库，以便在使用原理图时调用该库。

二、实验原理

设计一个具有异步复位（rst），同步使能（en）功能的十二进制计数器，计数结果显示在 DP8 数码管上，进位标志在 led8 灯显示。

具体设计要求：

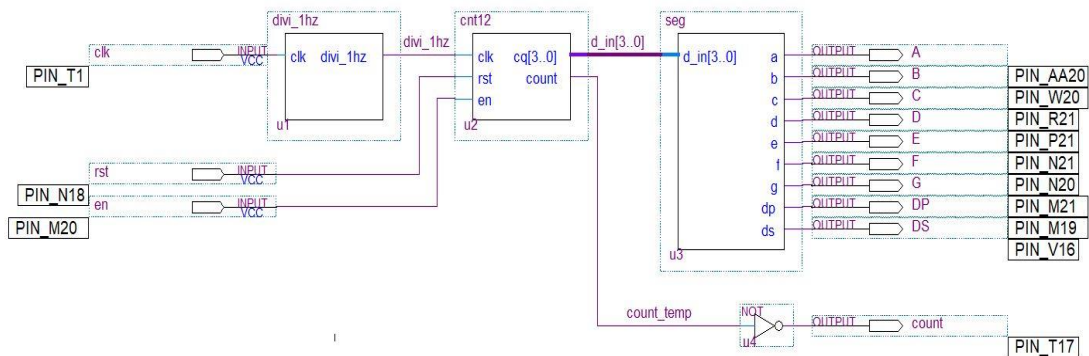
- 1) 以 1HZ 为计数脉冲，计数值显示在数码管 DP8 上，进位标志位 led8。
- 2) rst: 0 有效，使用开关 sw1。复位时（0），计数器值、进位标志清零。
- en: 1 有效，使用开关 sw2。有效时，计数器工作；

三、实验内容

1. 在 D 盘新建一个文件夹 cnt12b

方法一：原理图设计层次化电路：

将三个文件分频电路（divi_1hz.v）、12 进制计数器电路（cnt12.v）、数码管显示电路（seg.v）都保存在同一个工程文件夹中。顶层逻辑框图 cnt12b.bdf 如下图所示：



方法二：例化语句设计：

```
module cnt12b(clk,rst,en,DS,A,B,C,D,E,F,G,DP,count);  
    input clk,rst,en;  
    output count;  
    output A,B,C,D,E,F,G,DP;  
    output DS;  
  
    wire count_temp;  
    wire divi_1hz;
```

```

wire [3:0] d_in;

assign count = ~count_temp;

divi_1hz u1(
    .clk(clk),
    .divi_1hz(divi_1hz));

cnt12 u2(
    .clk(divi_1hz),
    .rst(rst),
    .en(en),
    .cq(d_in),
    .count(count_temp));
    .....
endmodule

```

(1) 分频电路 (divi_1hz.v)

要求：产生 1HZ 的分频电路

输入 50MHZ

输出： 1HZ

```

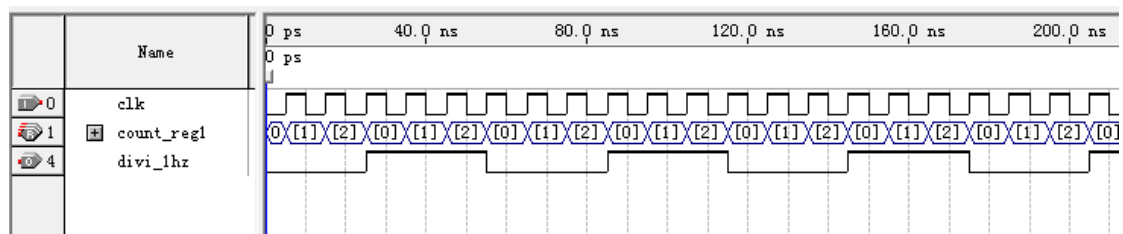
module divi_1hz(clk,divi_1hz);
input clk;
output reg divi_1hz;
    .....
    .....
endmodule

```

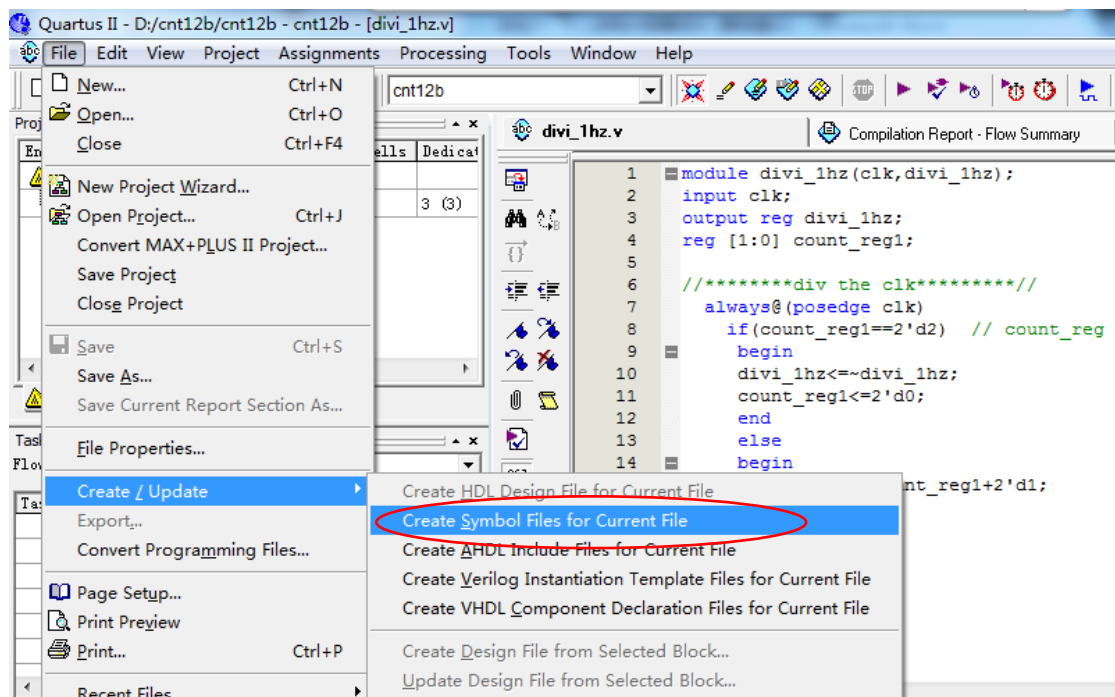
例：6 分频电路

```
1 module divi_1hz(clk,divi_1hz);
2   input clk;
3   output reg divi_1hz;
4   reg [1:0] count_reg1;
5
6   //*****div the clk*****//
7   always@(posedge clk)
8     if(count_reg1==2'd2) // count_reg div clk to generate clk_reg
9     begin
10      divi_1hz<=~divi_1hz;
11      count_reg1<=2'd0;
12    end
13    else
14    begin
15      count_reg1<=count_reg1+2'd1;
16    end
17  endmodule
18
```

仿真波形：



将 divi_1hz.v 打包生成元件符号，用于后面顶层设计 cnt12.bdf 中调用。



(2) 12 进制计数器模块 (cnt12.v) (参考例 5-15)

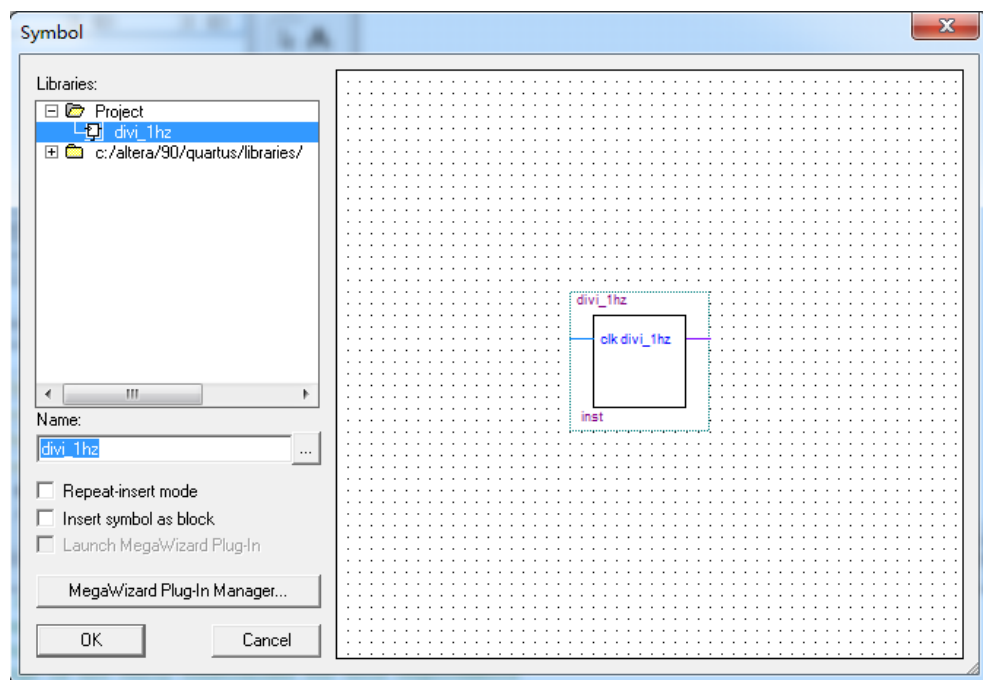
要求：以 1HZ 时钟 (clk) 为计数脉冲，设计异步复位和同步计数使能的 12 进制计数器，输出计数器值为 cq，进位标志为 count。

```
module cnt12(clk,rst,en,cq,count);  
input clk,rst,en;  
output reg count;  
output reg [3:0] cq;  
.....  
.....  
.....  
endmodule
```

(3) 数码管显示模块 (seg.v)

参考实验四。

新建一个*.bdf 文件，分别调用三个符号元件，连接原理图。

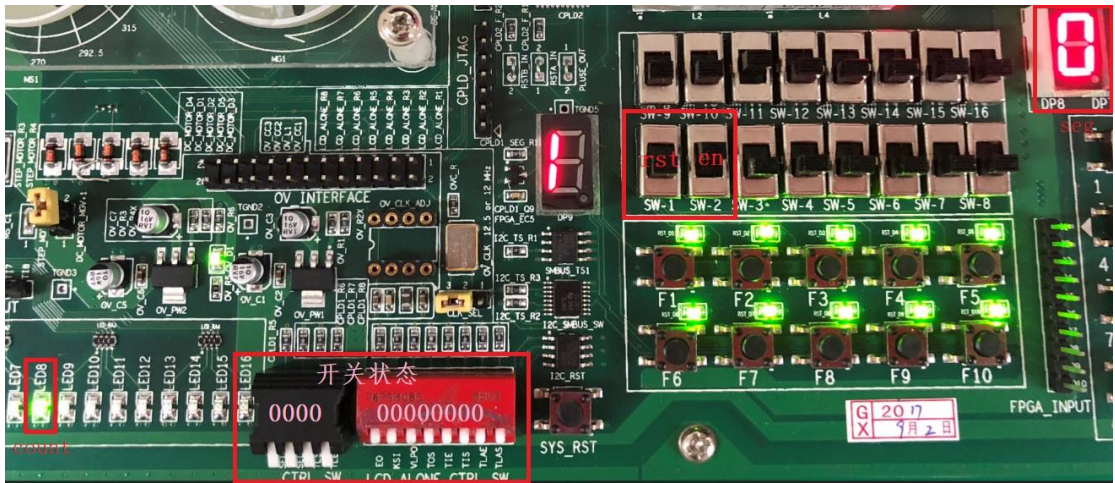


五、引脚分配情况及实验操作步骤

本次实验需要用到的硬件资源（系统时钟，数码管，二极管灯，拨码开关）

| 设计端口 | 芯片引脚 | 开发板模块 | 备注 |
|---------|------|---------|--|
| clk | T1 | sys_clk | 系统时钟 50MHz |
| A | AA20 | DP1-DP8 | 8 个数码管的 A,B,C,D,E,F,G,DP 段（1 点亮） |
| B | W20 | | |
| C | R21 | | |
| D | P21 | | |
| E | N21 | | |
| F | N20 | | |
| G | M21 | | |
| DP（小数点） | M19 | | |
| DS | V16 | DP8 | 使能端（0 点亮） |
| count | T17 | Led8 | 二极管 LED 灯： 0：亮 1：灭 |
| rst | N18 | SW1 | 拨码开关： 上：“1” 下：“0” |
| en | M20 | SW2 | |

六、实验结果：



七、扩展要求

1. 试着改变分频比，控制计数器的计数频率。
2. 将本设计改写为具有异步清零、同步计数使能和可预置值的加减可控的 12 进制计数器。
3. 设计 12 进制计数器，要求结果显示在两个数码管上。

