

实验三 简单组合逻辑设计——原理图输入法

一、实验目的

- 1. 熟悉 Quartus II 的原理图输入设计方法的流程。
- 2. 熟悉革新实验平台。
- 3. 学习 FPGA 的配置和下载的过程。

二、实验内容

采用图形的方式设计 2-4 译码器。

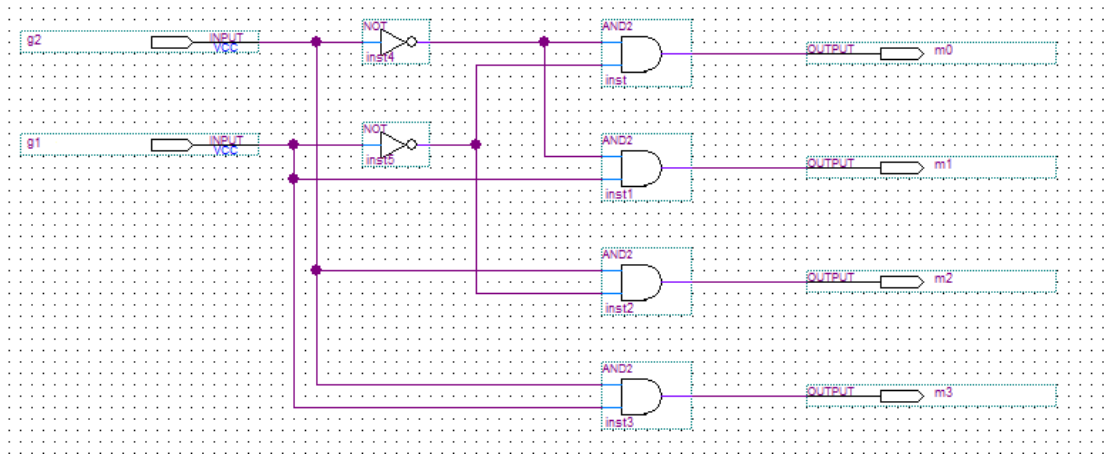


图 1 2×4 译码器的原理图

使用图形方法设计译码器，输入和使能由拨码开关控制，通过 LED 显示灯来观察译码结果。使能为 1 时，执行译码，使能为 0 时，不译码。请为上图增加使能控制端 EN。

四、引脚分配情况：

参考革新固定资源表，分配如下：

设计端口	芯片引脚	开发平台模块	备注
en	N18	SW1	拨码开关： 上：“1” 下：“0”
g[2]	M20	SW2	
g[1]	AA15	SW3	
m[0]	U12	led1	led 灯： 1：灭 0：亮
m[1]	V12	led2	
m[2]	V15	led3	
m[3]	W13	led4	

四、实验报告

将实验原理、设计过程、编译仿真波形、RTL 电路和引脚绑定和实验结果写入实验报告。

五、具体设计过程：

1. 创建工程

在 D 盘中新建一个文件夹 D:\ decoder24，此文件夹用于存放整个工程。创建过程如实验一。

2. 设计输入

在 Quartus II 中创建新的 VHDL 文件。在 File—> New->Block Diagram File, 点击 OK 将在工作区弹出一编辑窗口。

(1) 放置元器件：在空白区域双击，出现如下对话框，选择需要的元件。点击 OK。例如：二输入端的与门。

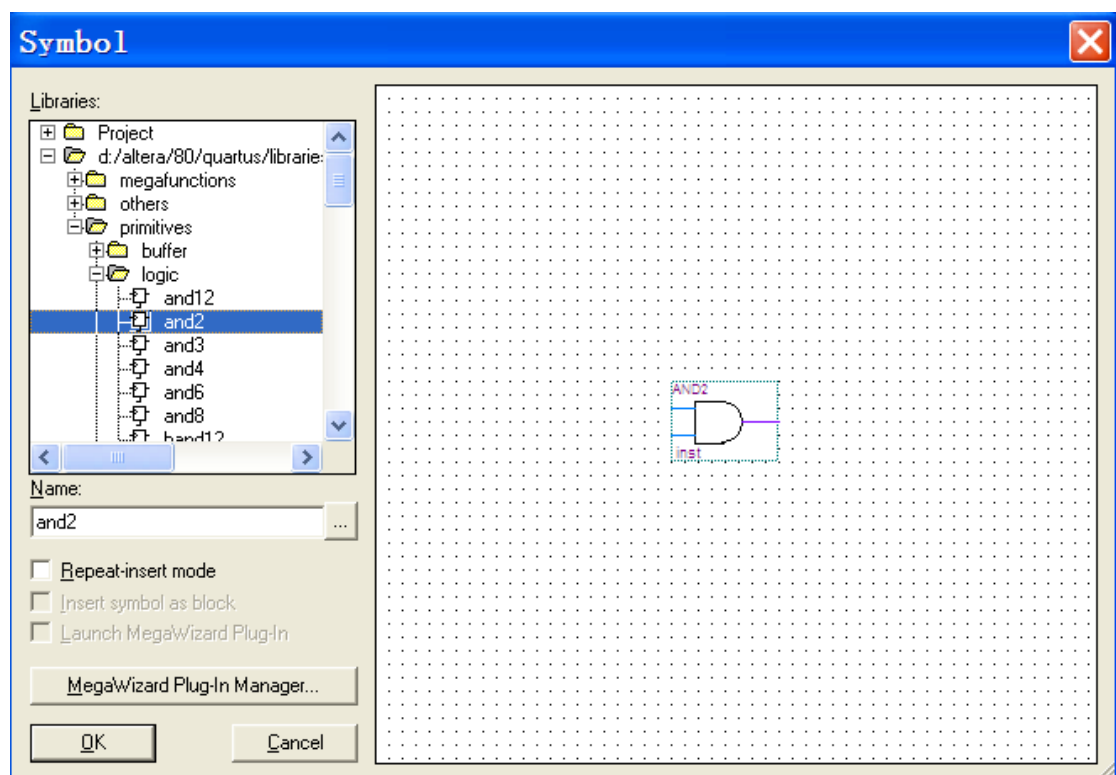


图 2

按照同样的步骤，添加所有需要的元件。

(2) 添加输入输出引脚，input 和 output。如图所示。

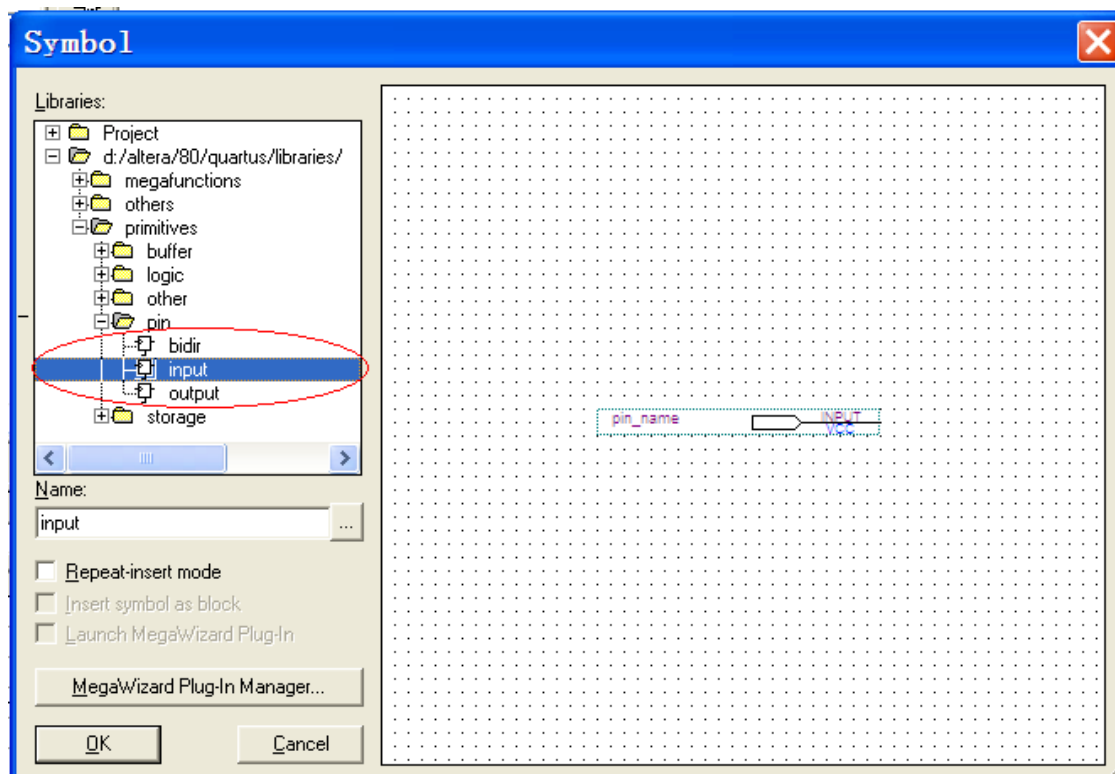


图 3

分别在 input 和 output 的 PIN_NAME 上双击使其变黑色，修改引脚名为：
g0, g1, m0, m1, m2, m3.

或者选择引脚，点右键选择——properties，也可以修改引脚名。

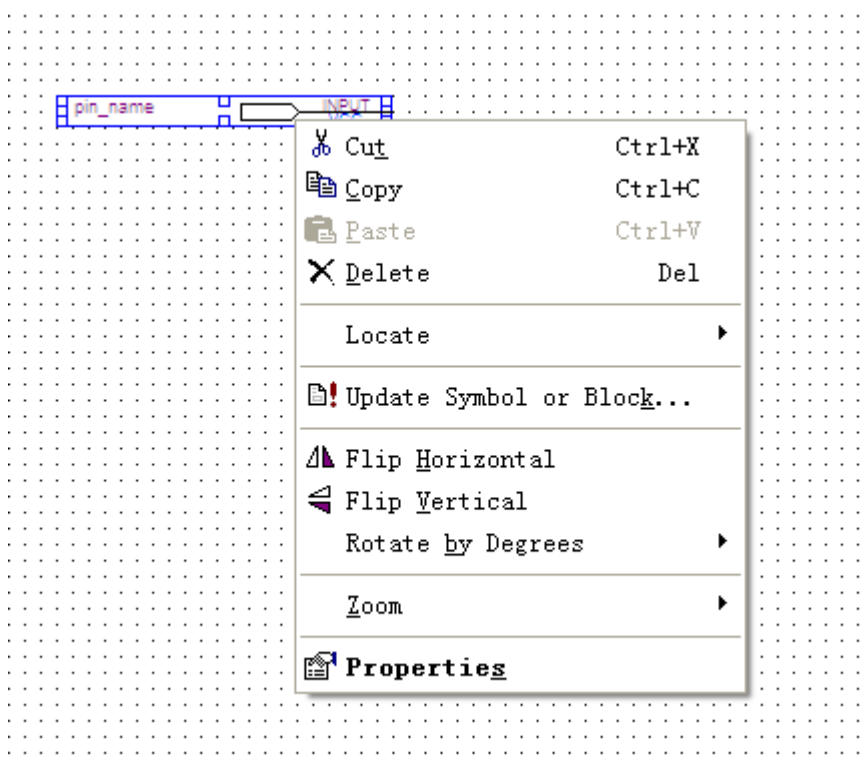




图 4

(3) 连线:

使用  按照图 1 连接好, 并自己加上使能信号。

完成后, 选择保存文件为: decoder24.bdf.

3. 编译

完成对 VHDL 文件的编辑后, 进行编译。选择菜单中的  进行编译, 确保编译成功。

4. 功能仿真

我们通过波形图仿真来验证我们的设计。具体过程同实验二。

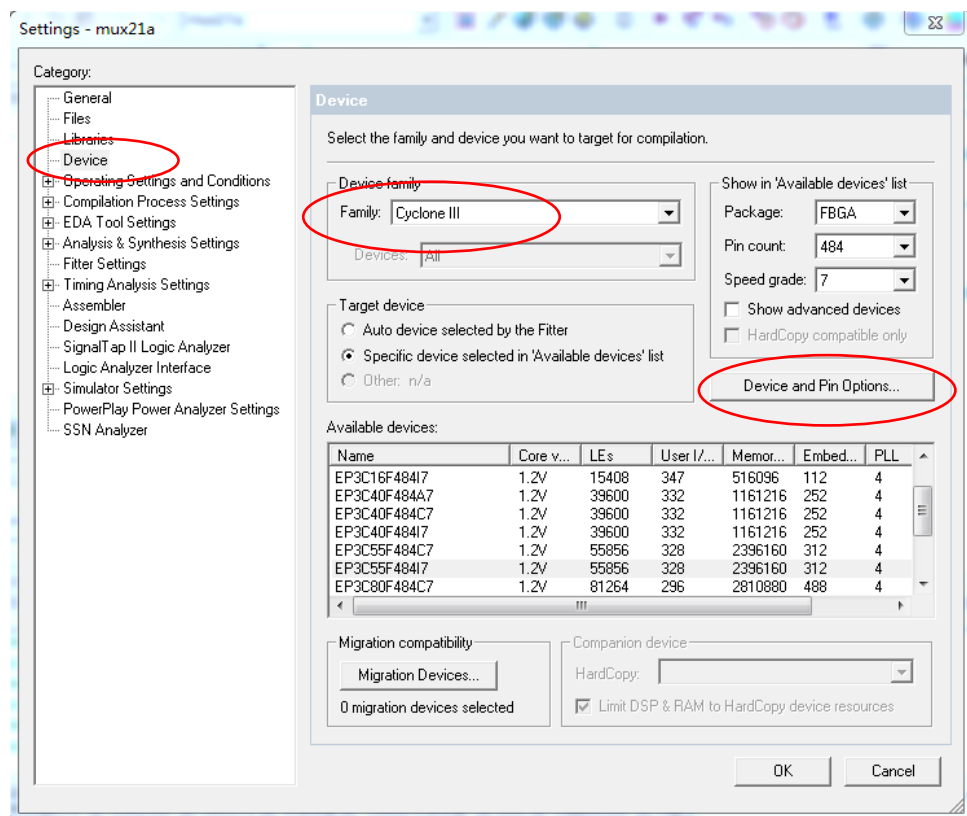
File—> New 选中 Vector Waveform File。点击 OK 按钮。

5. 引脚绑定

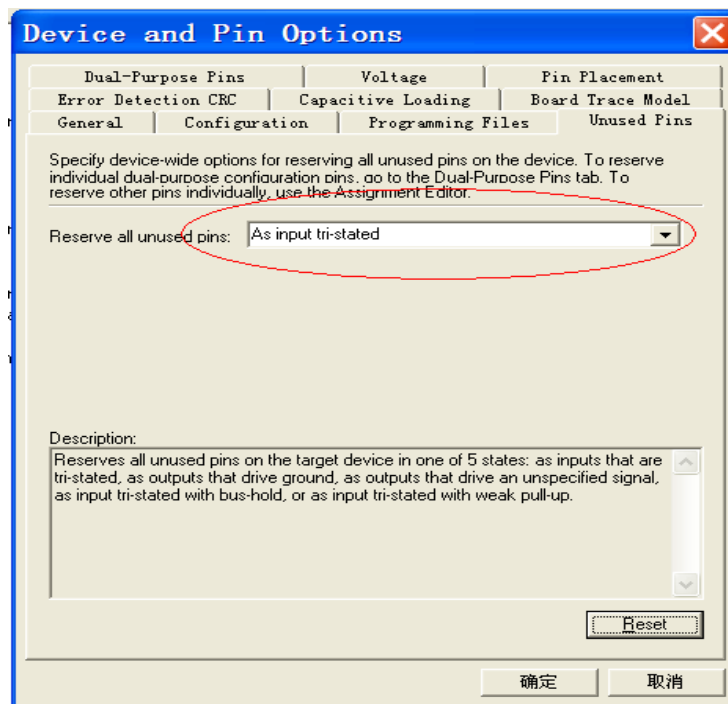
根据给出的引脚表, 选菜单 Assignments->pins, 点击 Node Name 下面的空白区域, 添加引脚。点击 Location 下的空白单元格, 设置引脚号。

完成后, 再将没有使用的输入引脚设为三态。

Assignments -> settings-> Device -> Device and pin options




然后选择 unused pins 选项页，将输入设置为三态。这点很重要哦！



设置好后进行全程编译，点击 

6. 下载

将实验箱与电脑 USB 连接，选择*.sof 文件，点击 ，编程下载。观察实验结果。

电子设计自动化（EDA）实验报告

实验题号 : 实验三
项目名称 : 简单组合逻辑设计——原理图输入法
系班 :
学号 :
姓名 :
实验日期 :
指导老师 :

- 一、实验目的
- 二、实验内容
- 三、将实验原理、设计过程、编译仿真波形、RTL、引脚绑定和分析结果写进实验报告。