

实验二 简单组合逻辑设计

一、实验目的

1. 熟悉 Quartus II 的 Verilog 文本设计流程。
2. 熟悉革新实验平台。
3. 学习 FPGA 的配置和下载过程。

二、实验内容

本实验主要设计一个简单的 3X8 译码器，译码器有 N 个二进制选择线，最多可译码转化成 2^N 个数据。3X8 译码器的真值表如下：

| $A_2A_1A_0$ | $Y_7Y_6Y_5Y_4Y_3Y_2Y_1Y_0$ |
|-------------|----------------------------|
| 000 | 11111110 |
| 001 | 11111101 |
| 010 | 11111011 |
| 011 | 11110111 |
| 100 | 11101111 |
| 101 | 11011111 |
| 110 | 10111111 |
| 111 | 01111111 |

使用 Verilog 语言设计译码器，输入和使能由拨码开关控制，通过 LED 显示器来观察译码结果。使能为 1 时，执行译码，使能为 0 时，不译码。

三、实验源程序：

```
module decoder(a,en,y);
input[2:0] a;
input en;
output reg [7:0] y;

wire[3:0] sel;

assign sel = {en,a};
always @(a,en)
case(sel)
4'b0000: y = 8'b11111110;
4'b0001: y = 8'b11111101;
```

。。。。。。 请补全程序

```
endcase  
endmodule
```

.....

四、引脚分配情况：

参考革新固定资源表，分配如下：

| 设计端口 | 芯片引脚 | 开发板模块 | 备注 |
|------|------|-------|-------------------------|
| a[0] | V13 | SW4 | 拨码开关： 上：“1” 下：“0” |
| a[1] | AA15 | SW3 | |
| a[2] | M20 | SW2 | |
| en | N18 | SW1 | |
| y[0] | U12 | led1 | led 灯： 1：灭 0：亮 |
| y[1] | V12 | led2 | |
| y[2] | V15 | led3 | |
| y[3] | W13 | led4 | |
| y[4] | W15 | led5 | |
| y[5] | Y17 | led6 | |
| y[6] | R16 | led7 | |
| y[7] | T17 | led8 | |

四、实验报告

将实验原理、设计过程、编译仿真波形、RTL 电路和引脚绑定和实验结果写进实验报告。

五、具体设计过程：


1. 创建工程

在 D 盘中新建一个文件夹 D:\ decoder，此文件夹用于存放整个工程。选择 File-> New project wizard，创建过程如实验一。

2. 设计输入

在 Quartus II 中创建新的 Verilog 文件。在 File-> New->Verilog HDL File，点击 OK 将在工作区弹出一文本编辑窗口，输入 Verilog 程序，编辑完毕后保存为 decoder.v。

3. 编译

完成对 Verilog 文件的编辑后，进行编译。选择菜单中的进行编译，确保编译成功。

4. 功能仿真

我们通过波形图仿真来验证我们的设计。

File—> New 选中 Vector Waveform File。点击 OK 按钮。出现一个空的波形图文件。如图 1 所示。

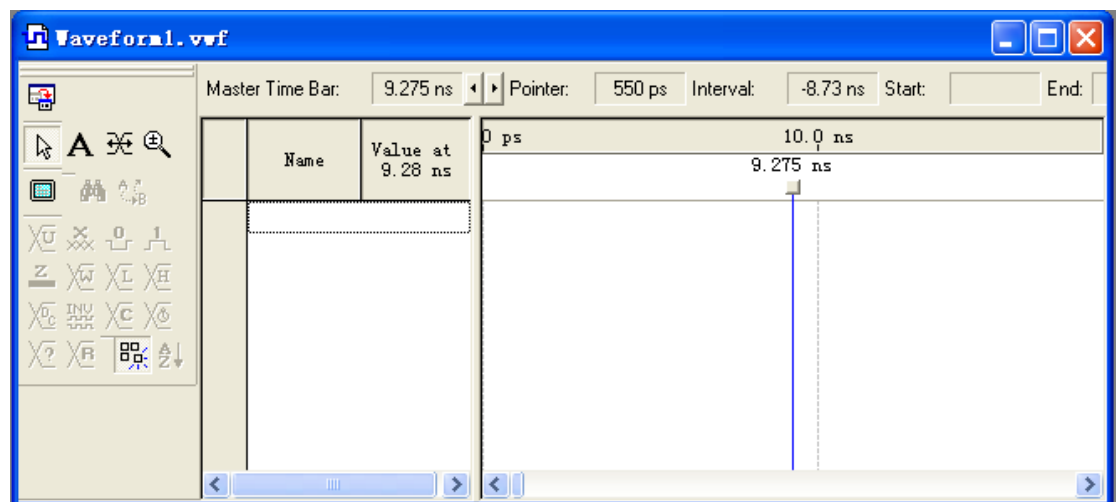


图 1 空的波形图文件

然后点击 Edit-> End Time，设置仿真结束时间。我们这里设置 50us。改完点击 OK 关闭 End 窗口。在 File 菜单中选择 Save As，点击 save，保存为 decode.vwf。

在波形图中 Name 栏下空白处双击，出现 Insert Node or Bus 对话框，点击 Node Finder，然后在 Node Finder 对话框中的 Filter 里，用下拉菜单选 Pins: all，点 List，出现信号节点列表。如图 2 所示。并点击 > 号，将信号选择到右边窗口。选择 a, En, y 信号！**注意：a 和 y 选择总线形式哦！！**

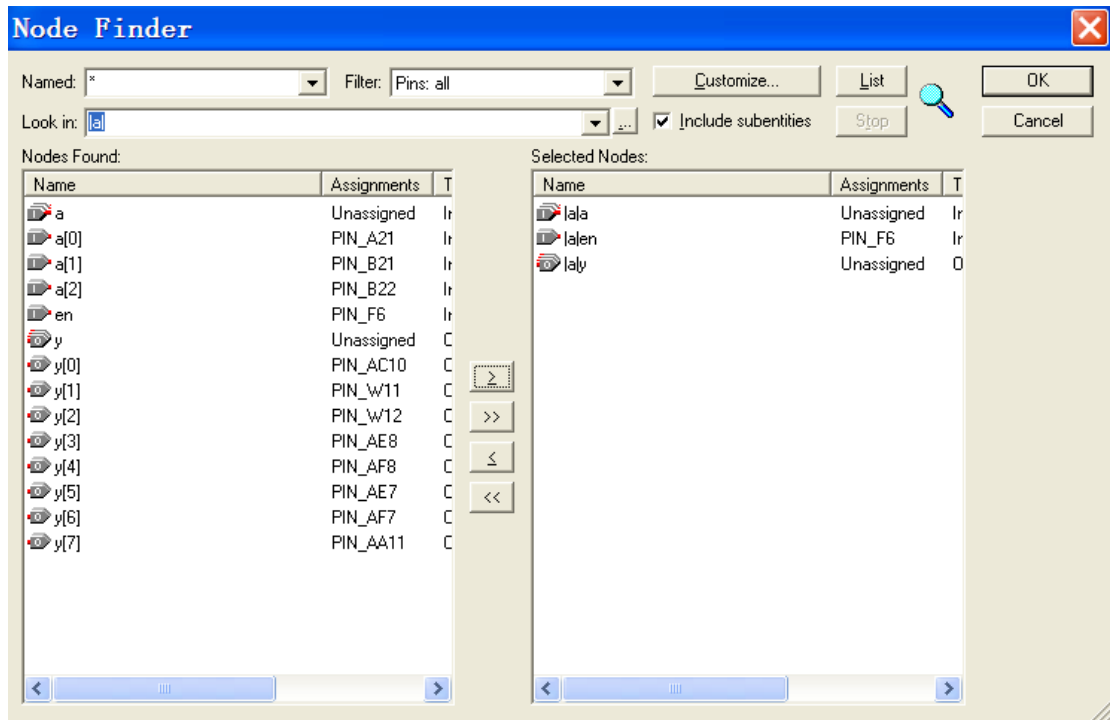


图2 添加节点

添加好节点，如图3所示。

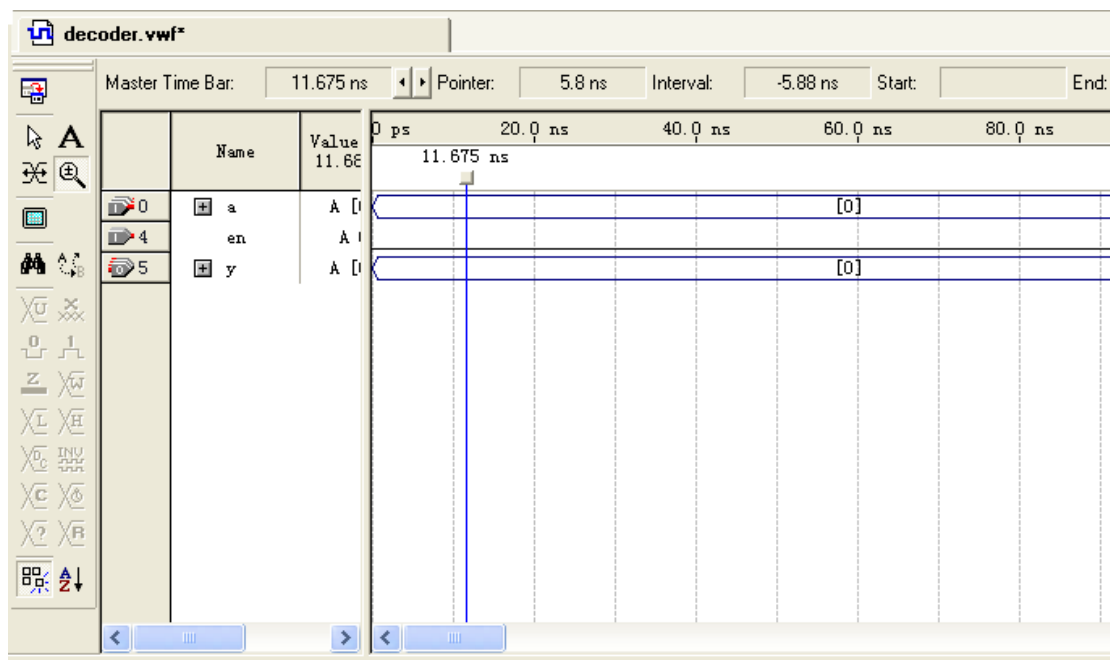


图3

在 Name 栏中选输入端口 a 的名称，此端口所在行被蓝条高亮显示。点击鼠标右键，选 value ->count value，设置计数值和间隔时间。如图4所示。

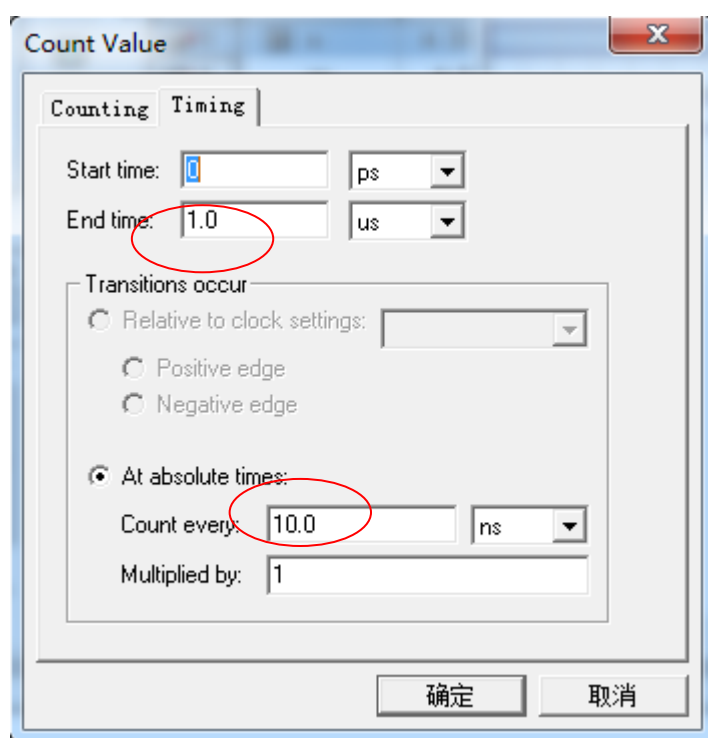
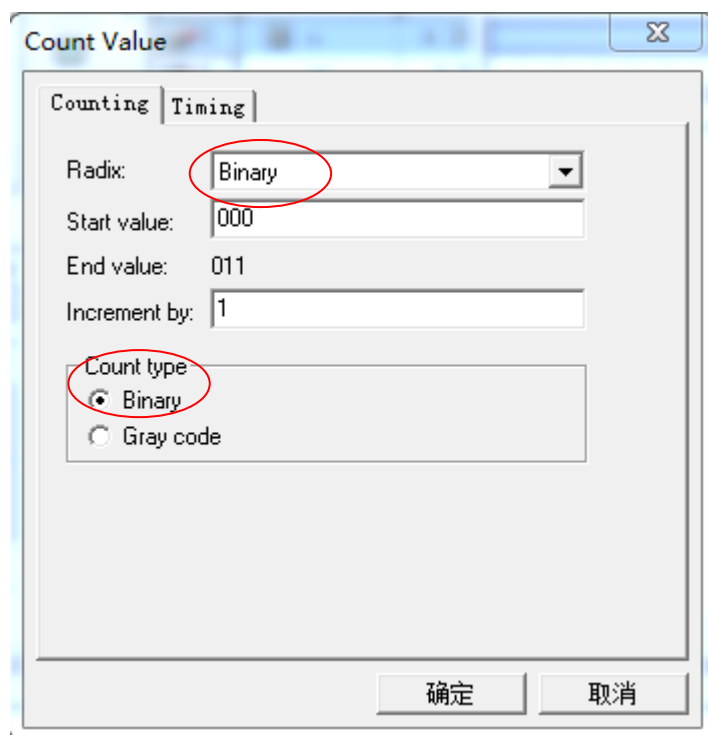




图 4

再选中 en，按  按钮，设置成高电平。然后点  按钮，将 0-20ns 设置成低电平。如图 5 所示。

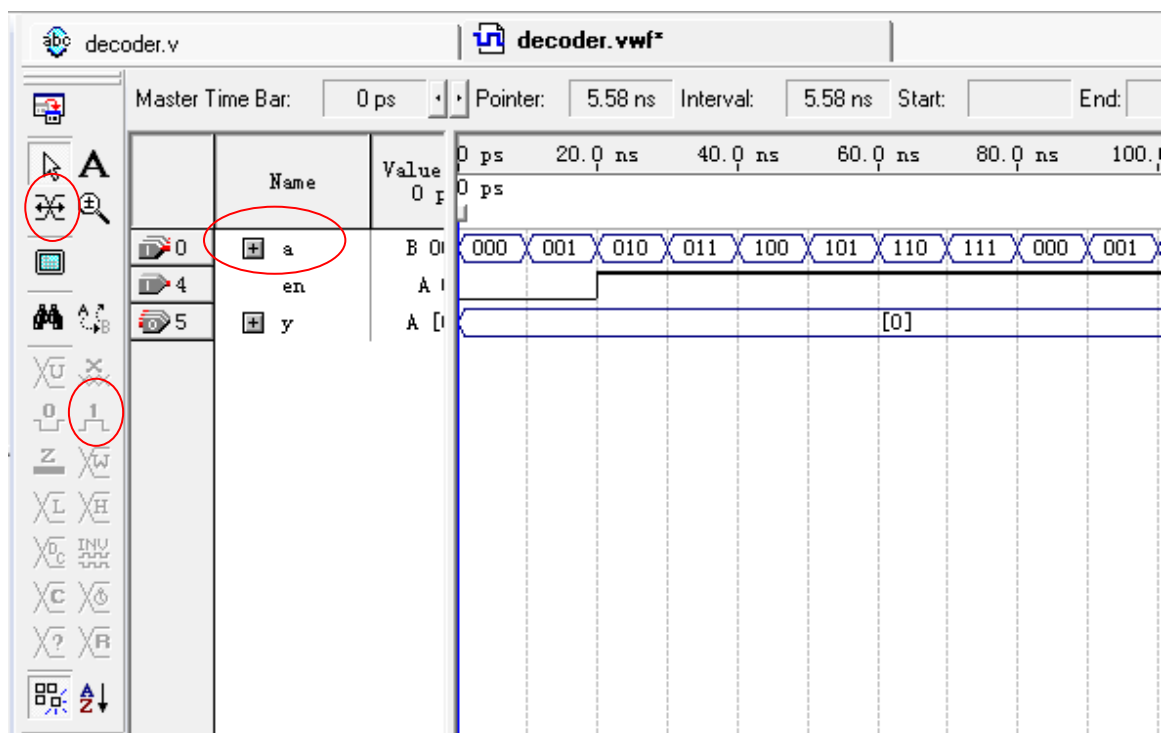


图 5（1） 创建激励文件

这样波形的激励信号就设置好了。

接下来请选择功能仿真，产生功能仿真网表文件，进行仿真。请同学们自己完成。然后再改用时序仿真，对比两种结果。

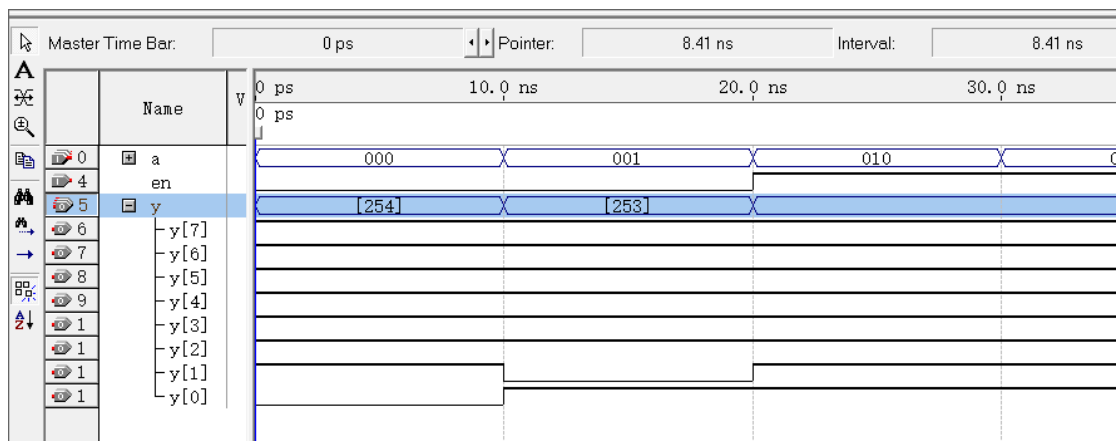


图 5（2） 仿真结果

5. 查看 RTL 电路和门级电路

6. 引脚绑定

根据给出的引脚表，选菜单 Assignments->pins，点击 Node Name 下面的空白区域，添加引脚。点击 Location 下的空白单元格，设置引脚号。如图 6 所示：

| | Node Name | Direction | Location | I/O Bank | VREF Group |
|----|------------|-----------|----------|----------|------------|
| 1 | a[2] | Input | PIN_M20 | 5 | B5_N0 |
| 2 | a[1] | Input | PIN_AA15 | 4 | B4_N1 |
| 3 | a[0] | Input | PIN_V13 | 4 | B4_N1 |
| 4 | en | Input | PIN_N18 | 5 | B5_N0 |
| 5 | y[7] | Output | PIN_T17 | 5 | B5_N1 |
| 6 | y[6] | Output | PIN_R16 | 4 | B4_N0 |
| 7 | y[5] | Output | PIN_Y17 | 4 | B4_N0 |
| 8 | y[4] | Output | PIN_W15 | 4 | B4_N0 |
| 9 | y[3] | Output | PIN_W13 | 4 | B4_N1 |
| 10 | y[2] | Output | PIN_V15 | 4 | B4_N0 |
| 11 | y[1] | Output | PIN_V12 | 4 | B4_N1 |
| 12 | y[0] | Output | PIN_U12 | 4 | B4_N1 |
| 13 | <new node> | | | | |

图 6

完成后，再将没有使用的输入引脚设为三态。

Assignments -> settings-> Device -> Device and pin options

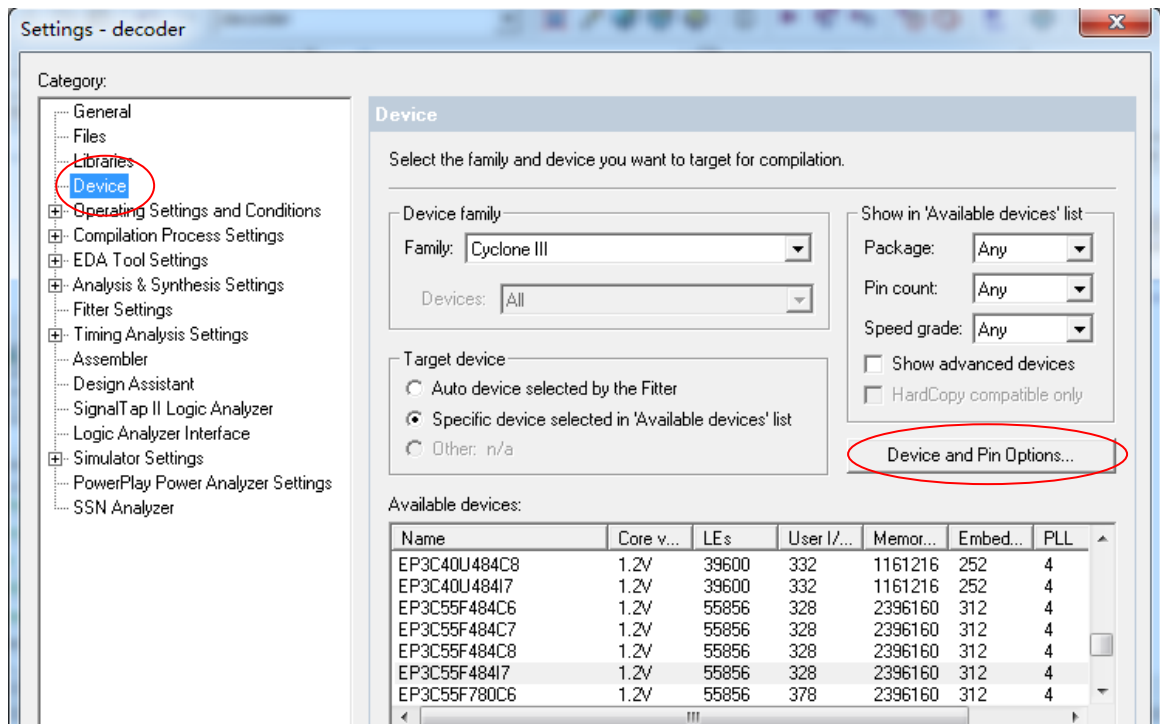


图 7

然后选择 unused pins 选项页，将输入设置为三态。这点很重要哦！

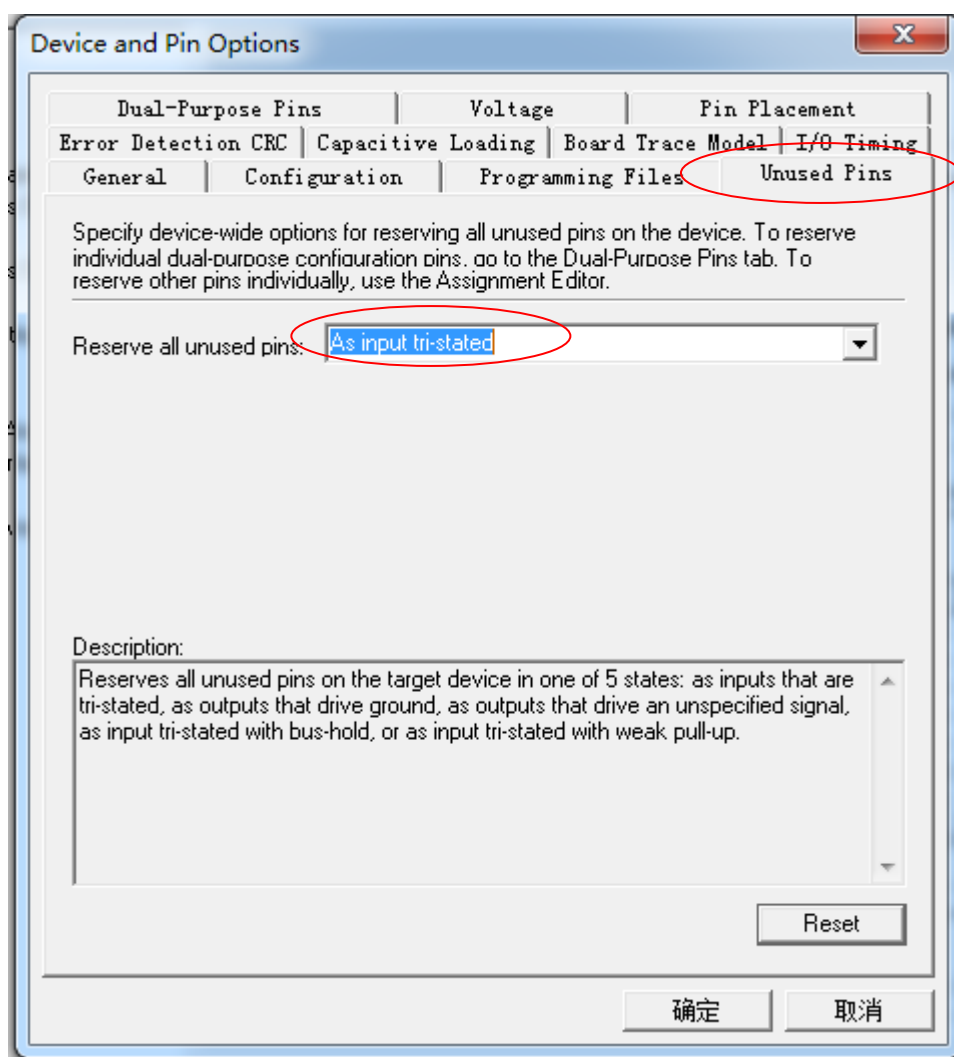



图 8 设置三态

引脚配置完成后，必须再进行**全程编译**，点击。切记!!!

7. 下载

将实验箱与电脑 USB 连接，点击，编程下载。观察实验结果。

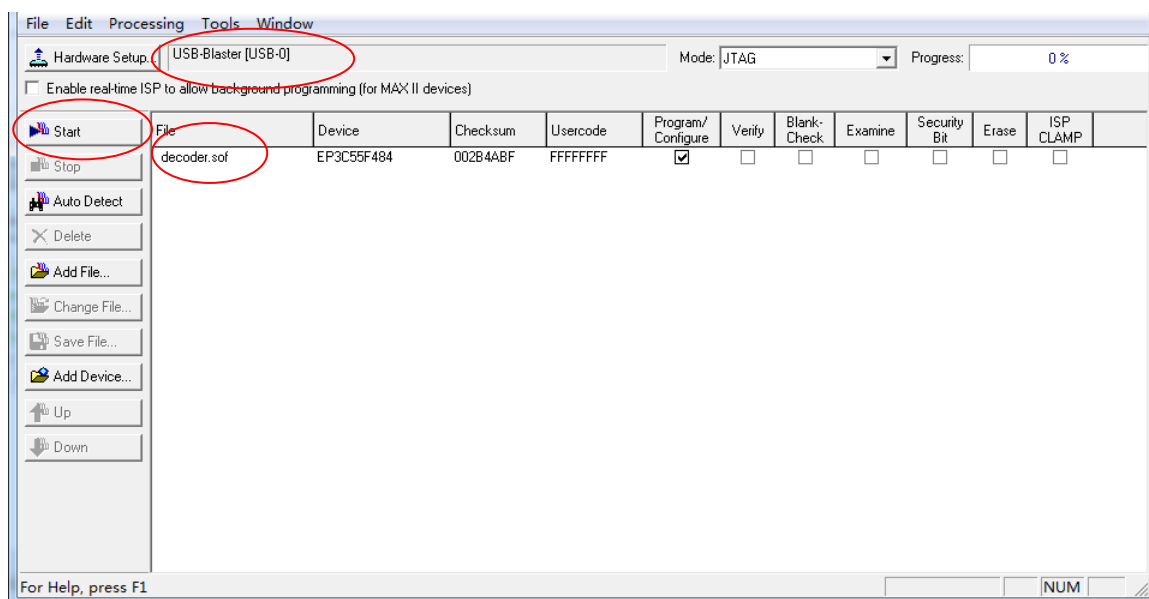
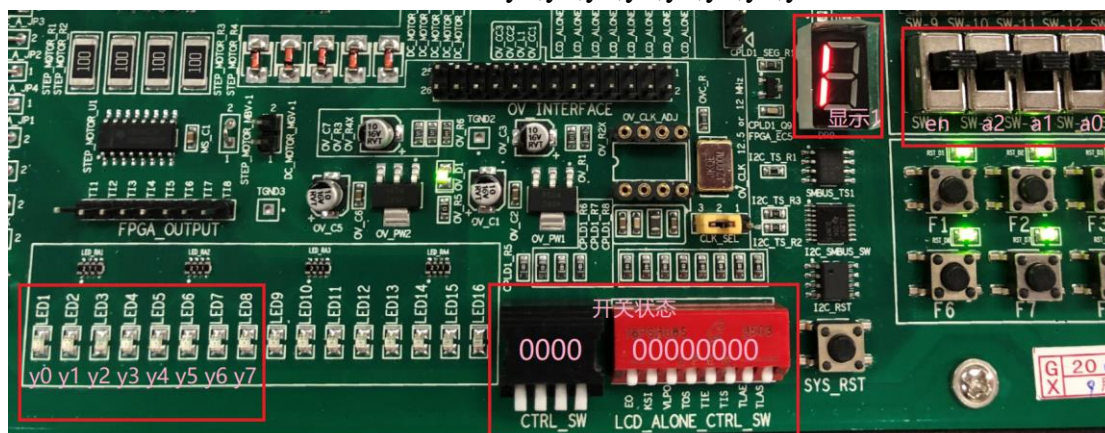


图 9 下载

8. 硬件测试:

本次实验开关设置: 4 个拨码开关 sw1-sw4 分别用于输入 en,a[2],a[1],a[0]。8 个二极管灯 led1-led8 分别对应输出 y0,y1,y2,y3,y4,y5,y6,y7。



电子设计自动化（EDA）实验报告

实验题号 : 实验二
项目名称 : Verilog 入门与 Quartus II 使用
系班 :
学号 :
姓名 :
实验日期 : 2018-09-28
指导老师 :

一、实验目的

二、实验内容

三、将实验原理、设计过程、编译仿真波形、RTL、引脚绑定和分析结果写进实验报告。