

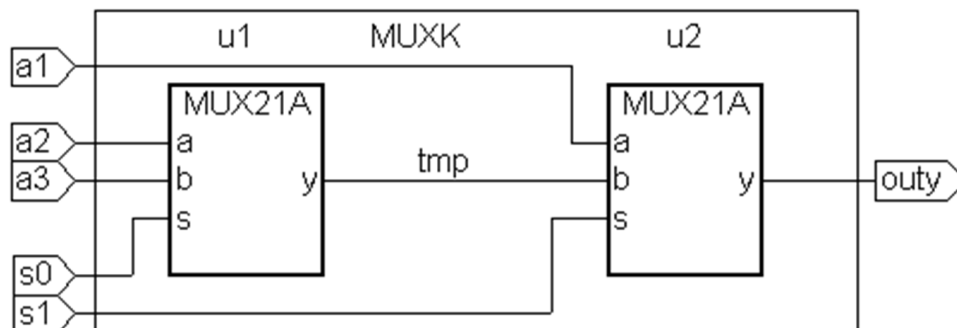
## 实验一 Verilog 入门与 Quartus II 9.0 使用

### 一、实验目的

1. 熟悉 Quartus II 9.0 的 Verilog 文本设计流程。
2. 学习用 Verilog 进行简单逻辑电路设计，多层次电路设计。
3. 掌握 Verilog 设计电路的仿真、综合、和硬件测试的过程。

### 二、实验内容

1. 实验内容 1：首先利用 Quartus II 完成 2 选 1 多路选择器的 Verilog 文本编辑输入 mux21a.v 和仿真测试等步骤，给出仿真波形，验证本项设计的功能。2 选 1 多路选择器的逻辑功能为：当  $s=0$  和 '1' 时，分别有  $y<='a'$  和  $y<='b'$ 。
2. 实验内容 2：用 Verilog 语言来描述一个双 2 选 1 多路选择器，将 2 选 1 多路选择器看成是一个元件 mux21a，利用元件例化语句，并将此文件放在同一目录 muxk 中。用层次化描述的方法，先建立一个 2 选 1 多路选择器实体，然后在顶层设计中调用该实体两次就得到了 3 选 1 多路选择器。双 2 选 1 多路选择器构成的电路 MUXK 如下图所示。



对上面方法得到的 Verilog 设计进行功能仿真，验证其逻辑功能的正确性。验证完成后进行综合，查看其 RTL 电路结构。

3. 实验内容 3：用行为描述实现双 2 选 1 多路选择器。

### 三、实验报告

将实验原理、设计过程、编译仿真波形、RTL 电路和分析结果写进实验报告。

### 四、实验步骤

Quartus II 设计的主要流程有：创建工程、设计输入、全程编译、仿真验证、

引脚锁定、下载。

## 1. 创建工程

在 D 盘中新建一个文件夹 D:\mux21a，此文件夹用于存放整个工程。

打开 Quartus II，在菜单中选择 File→New Project Wizard 将会出现一个信息框，这个对话框介绍创建工程步骤，可以直接选 Next，这时会出现如图 1 所示的对话框。这里需输入的是欲创建工程的基本信息，三个输入栏中分别输入的是工程将被保存的路径及工程文件夹、工程的名称和顶层实体的名称。建议工程名与顶层实体名称保持一致。输入完毕我们就可以点击 Next。

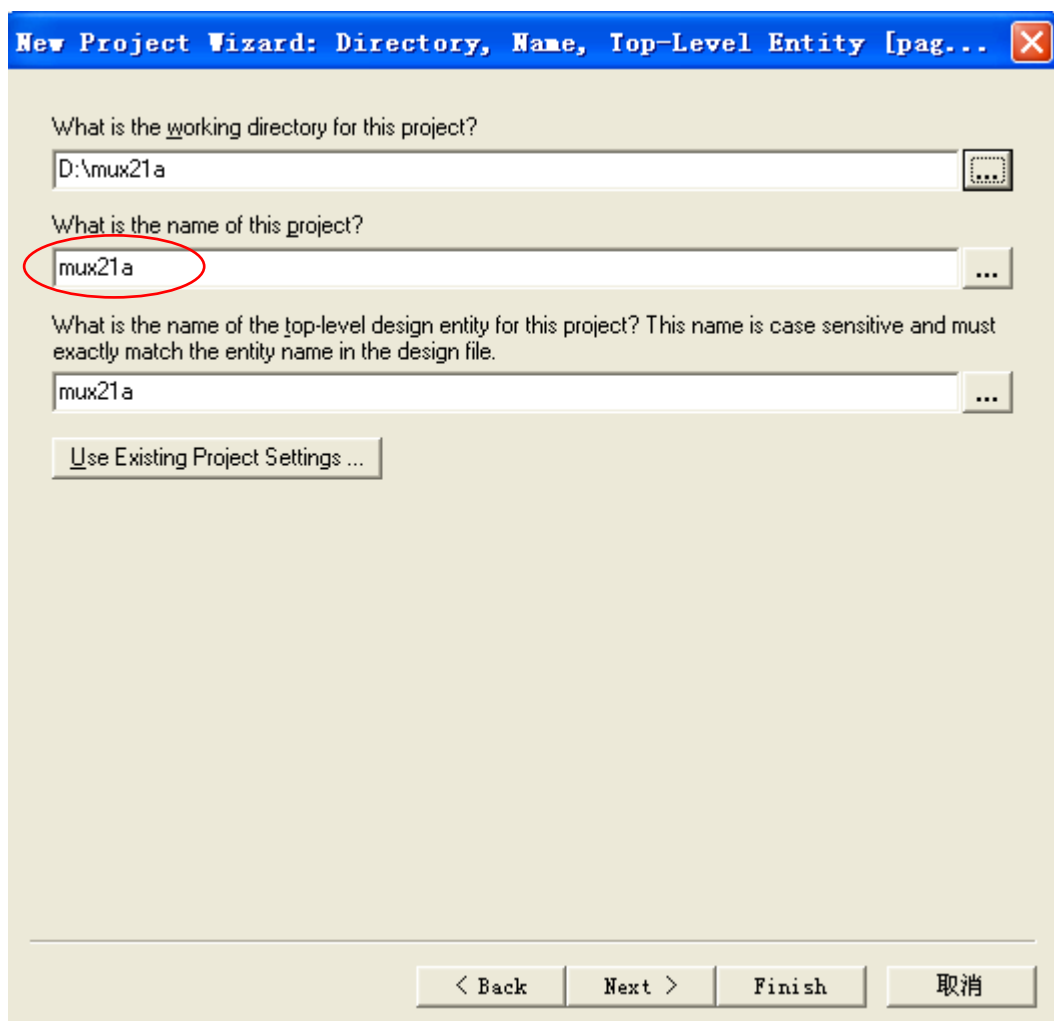


图 1 新建工程基本信息对话框

然后出现图 2 所示的添加工程文件对话框。在这里需要做的是将已经写好的 Verilog 文件加入到工程中。本次实验，可以直接点击 Next，以后再添加 Verilog 文件的工作。

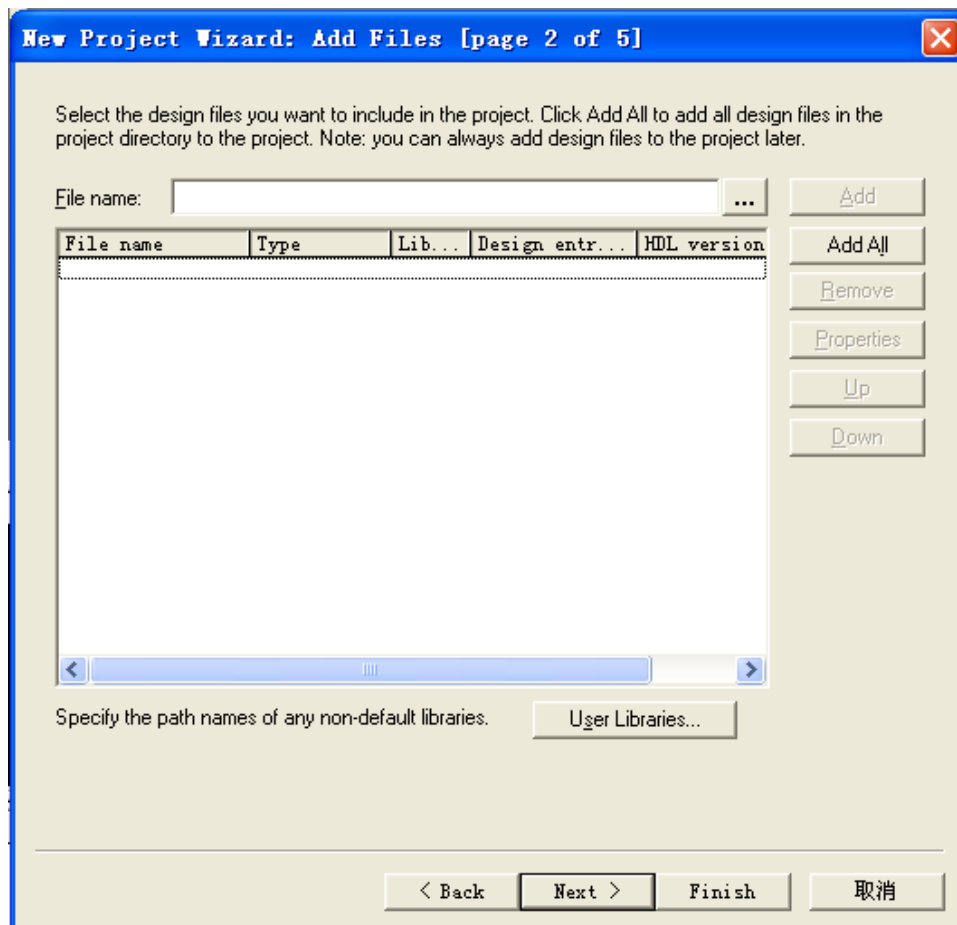


图 2 添加工程文件对话框

然后出现图 3 所示对话框，这里我们需要完成的是选择器件的工作。选择 **Cyclone III EP3C55F484I7**。选择完成后，点击 Next。

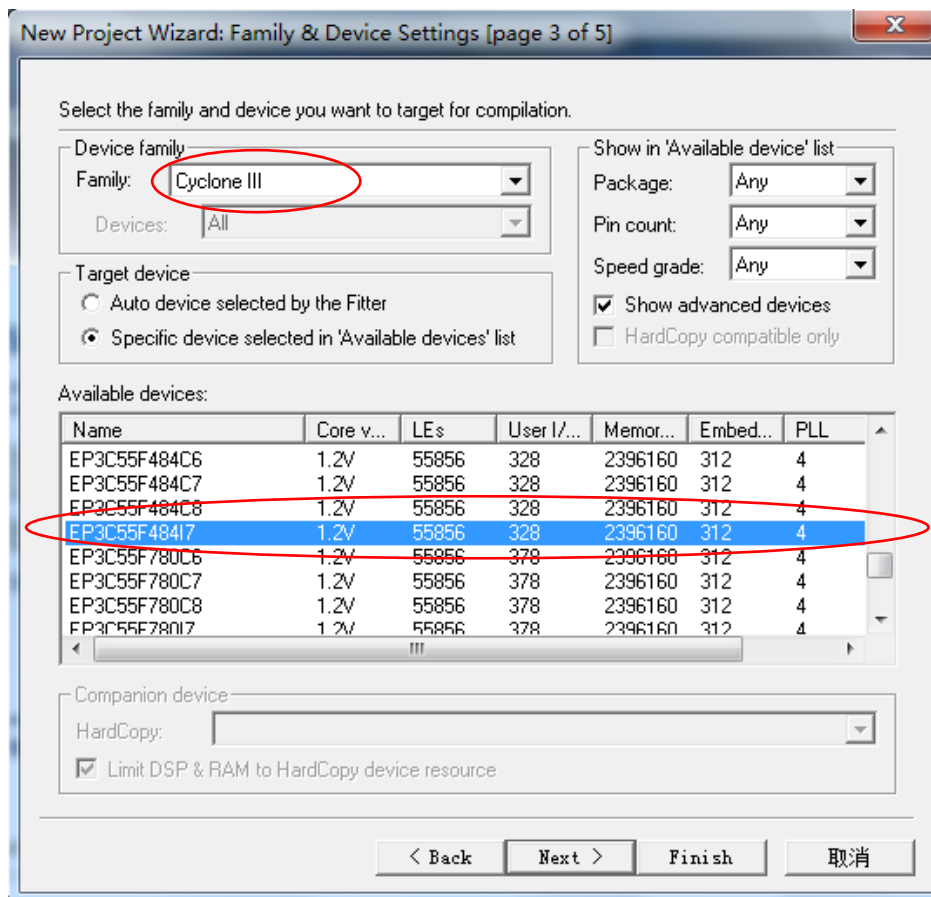


图3 目标器件选择对话框

然后出现图4所示对话框，这里询问是否选用第三方EDA工具，我们不选用，直接点击Next。

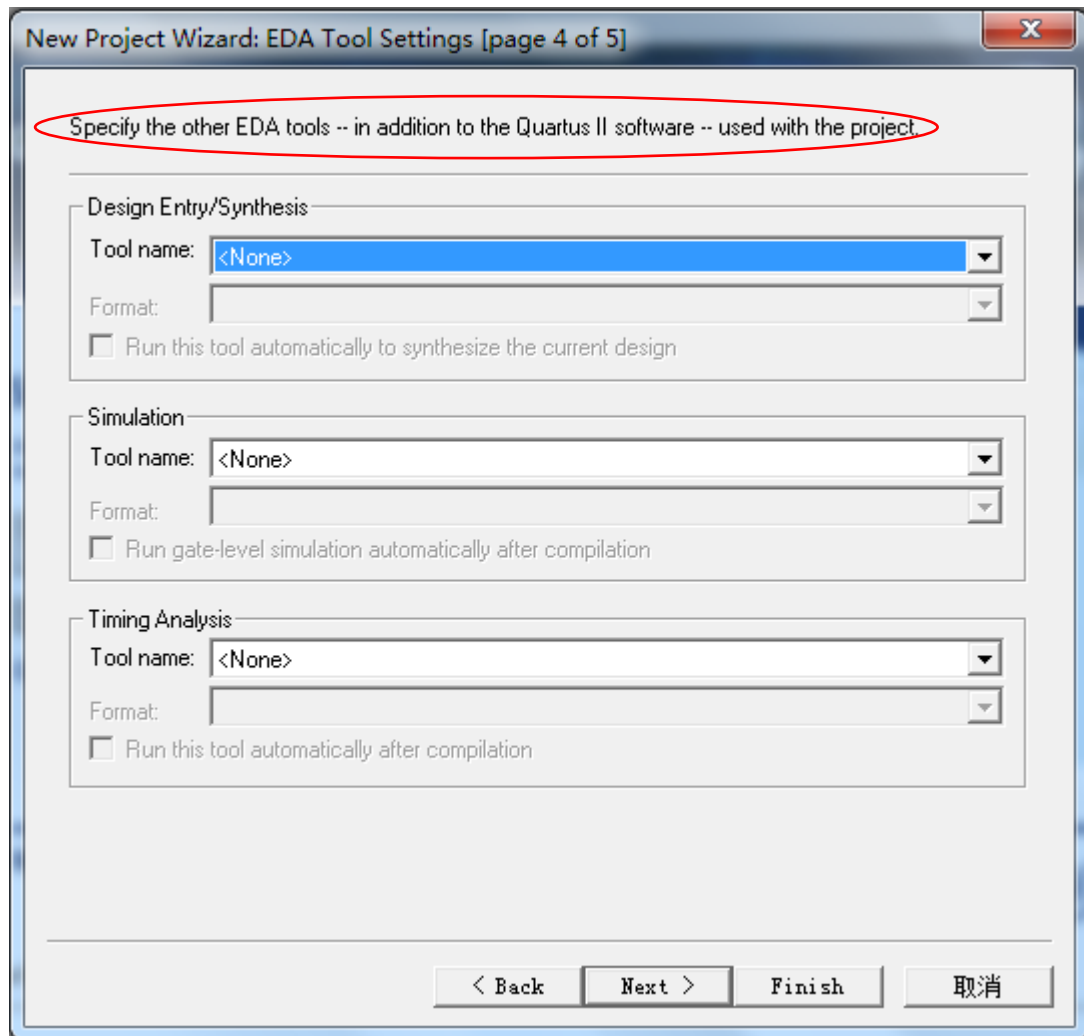


图 4 EDA 工具选择对话框

然后出现图 5 所示对话框，该对话框给出了所生成工程的信息，点击 Finish 就完成了工程创建。

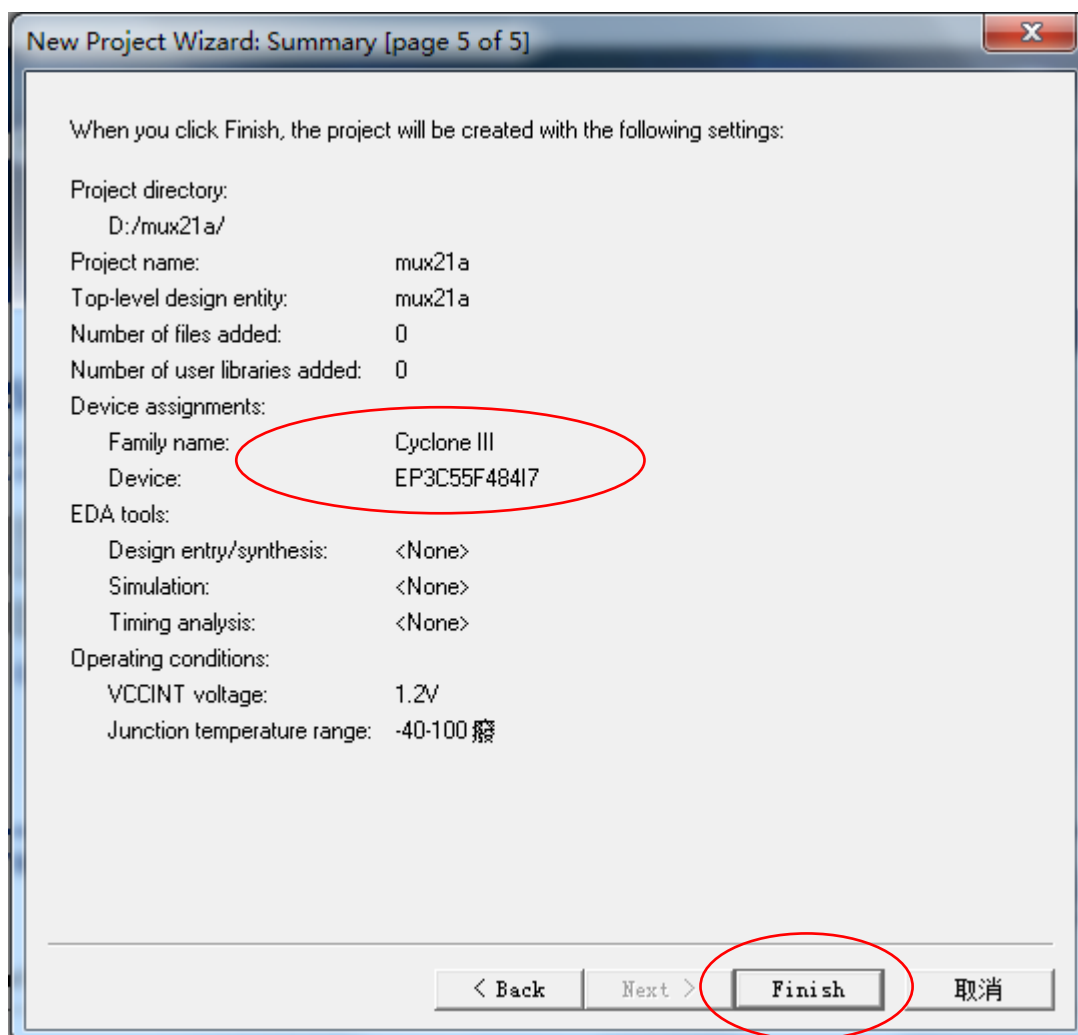


图 5 生成工程文件

## 2. 设计输入

在 Quartus II 中创建新的 Verilog 文件。在 File—> New，在弹出的对话框中 Design File 中选择 Verilog HDL File，图 6 所示。

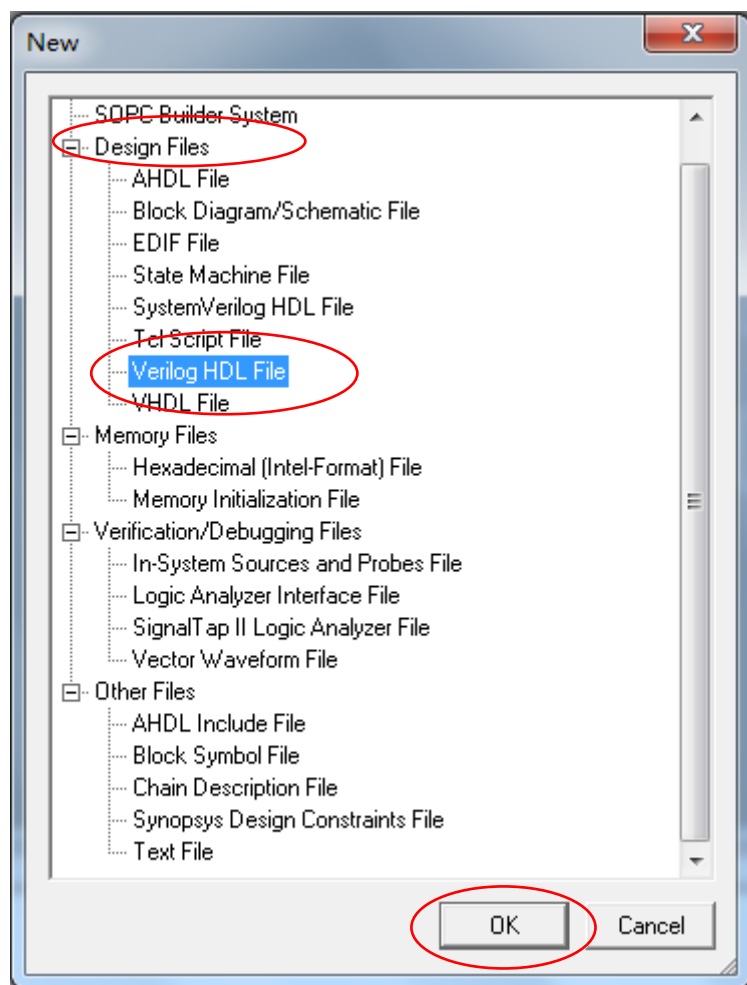


图 6 选择 Verilog 文件类型

点击 OK 将在工作区弹出文本编辑窗口，输入 Verilog 程序，编辑完毕后保存为 mux21a.v。图 7 所示。

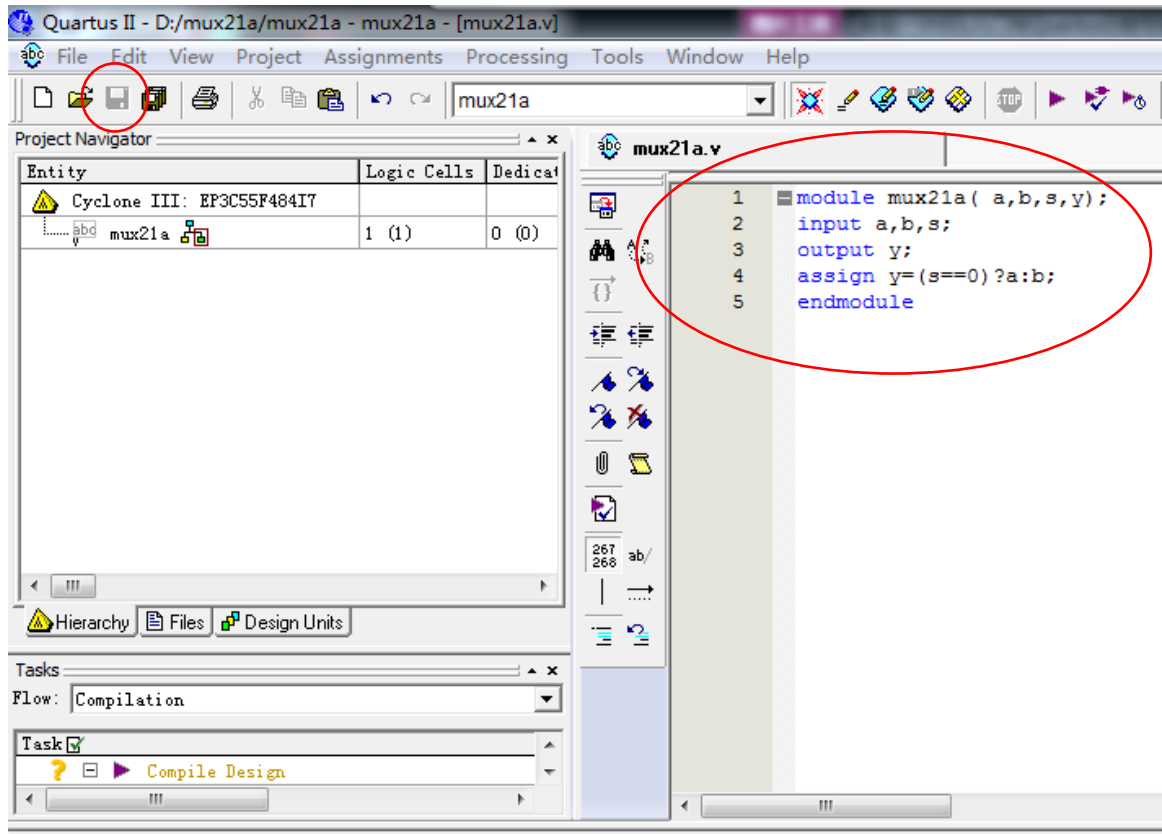



图 7 保存 mux21a.v

### 3. 编译

完成对 Verilog 文件的编辑后，进行编译。选择菜单中的  进行编译，编译成功后，会出现图 8 的提示信息。

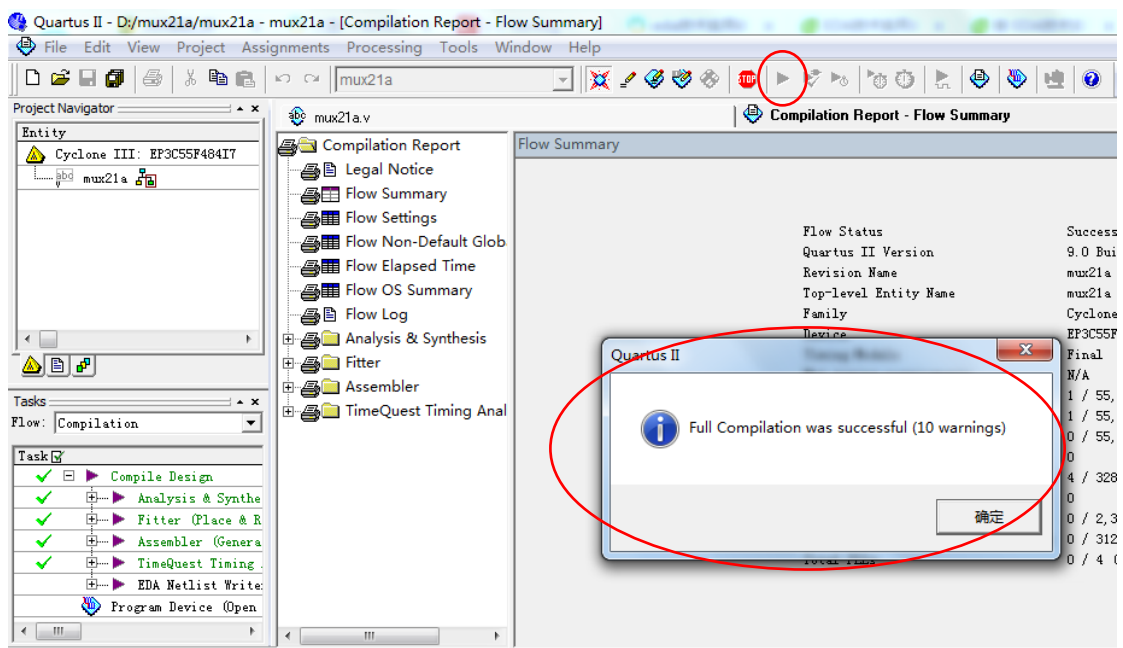


图 8 编译成功对话框



#### 4. 功能仿真

我们通过波形图仿真来验证我们的设计。

File—> New, 在 Verification/Debugging Files 项中选中 Vector Waveform File。  
点击 OK 按钮。出现一个空的波形图文件。如图 9(1),9(2)所示，默认文件名为：  
Waveform1.vwf。

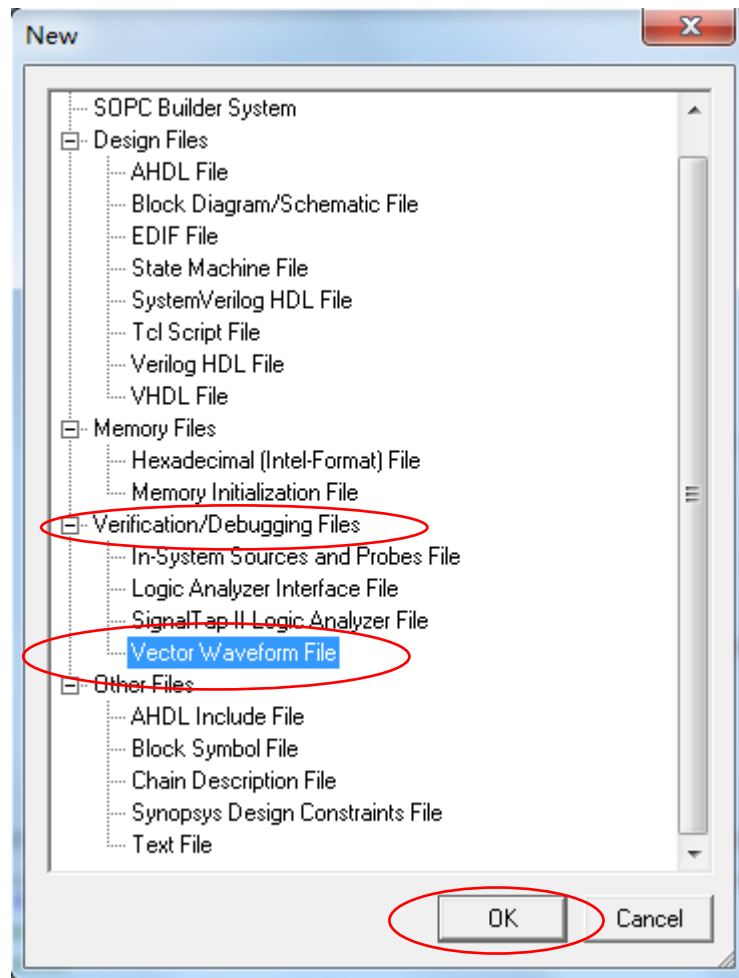


图 9（1） 生成波形文件

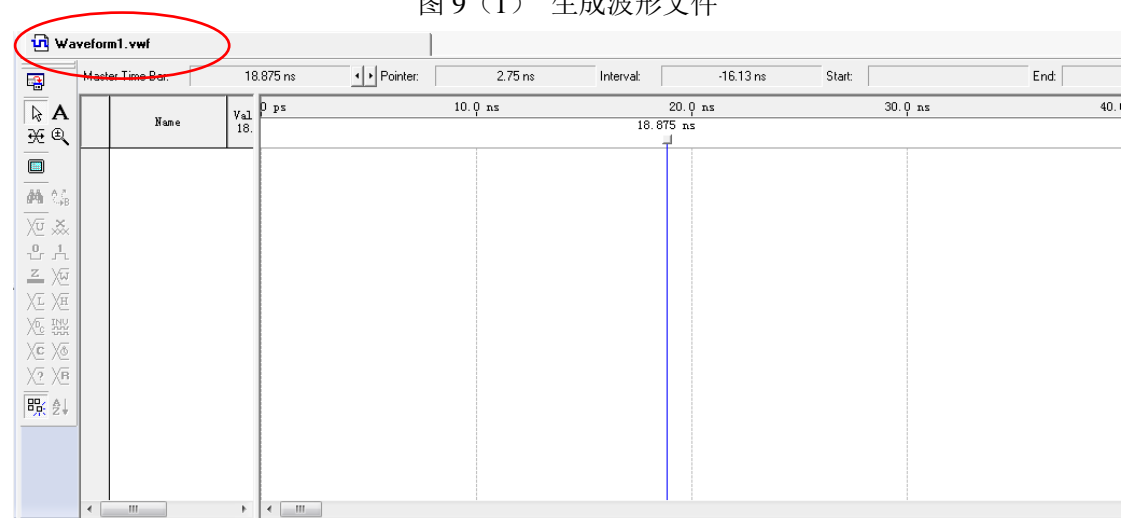


图 9(2) 空的波形图文件

然后单击 Edit-〉 End Time，设置仿真结束时间。我们这里设置 1us。改完单击 OK 关闭 End 窗口。在 File 菜单中选择 Save As，单击 save，保存为 mux21a.vwf。

在波形图中 Name 栏下空白处双击，出现 Insert Node or Bus 对话框，单击 Node Finder，如图 10（1）所示。

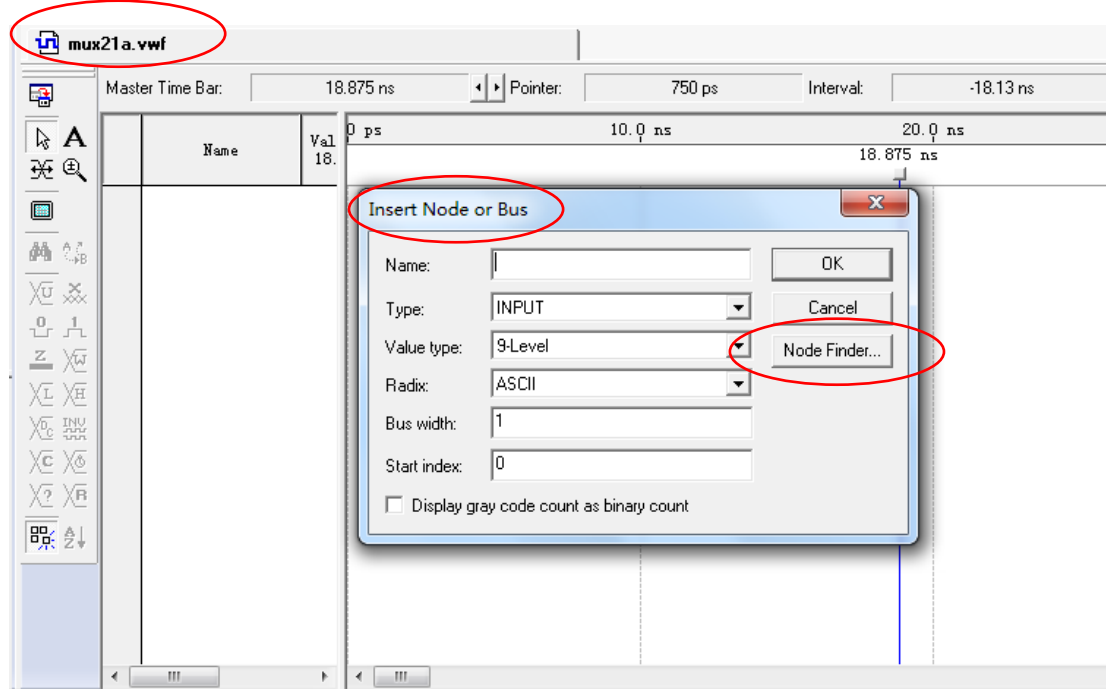


图 10 添加节点（1）

然后在 Node Finder 对话框中的 Filter 里，用下拉菜单选 Pins: all，点 List，出现信号节点列表。如图 10（2）所示。并点击》号，将信号全部选择到右边窗口。

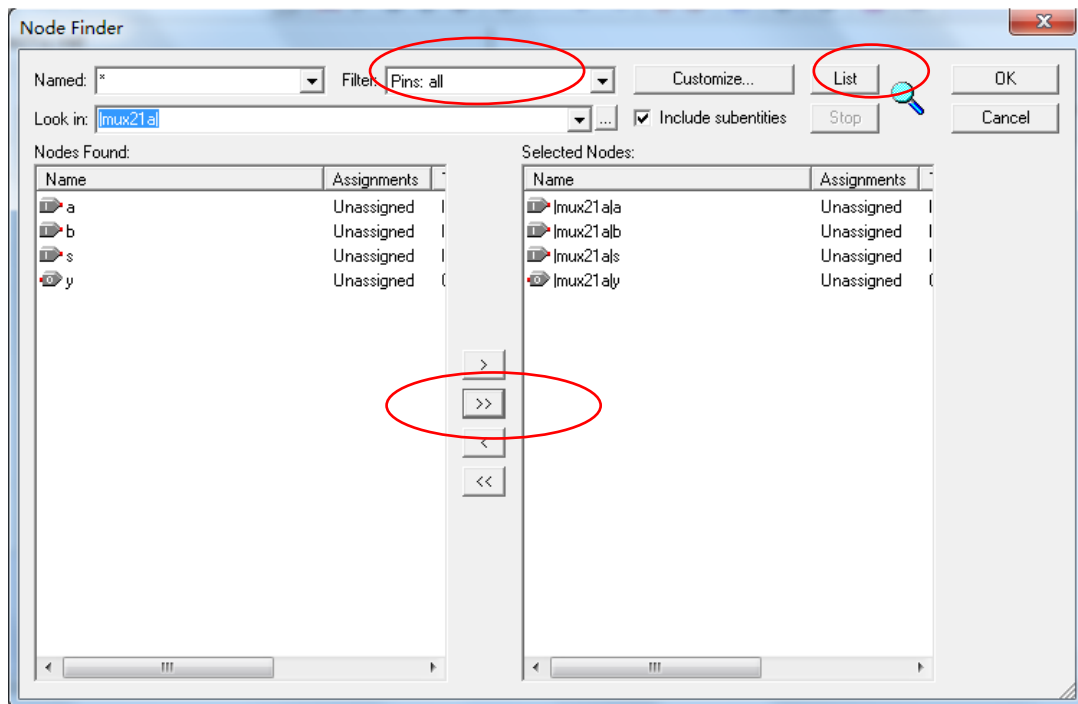



图 10 添加节点（2）

在 Name 栏中选输入端口 a 的名称，此端口所在行被高亮。选中  按钮，设置波形。参数设为 10ns，如图 11 所示。

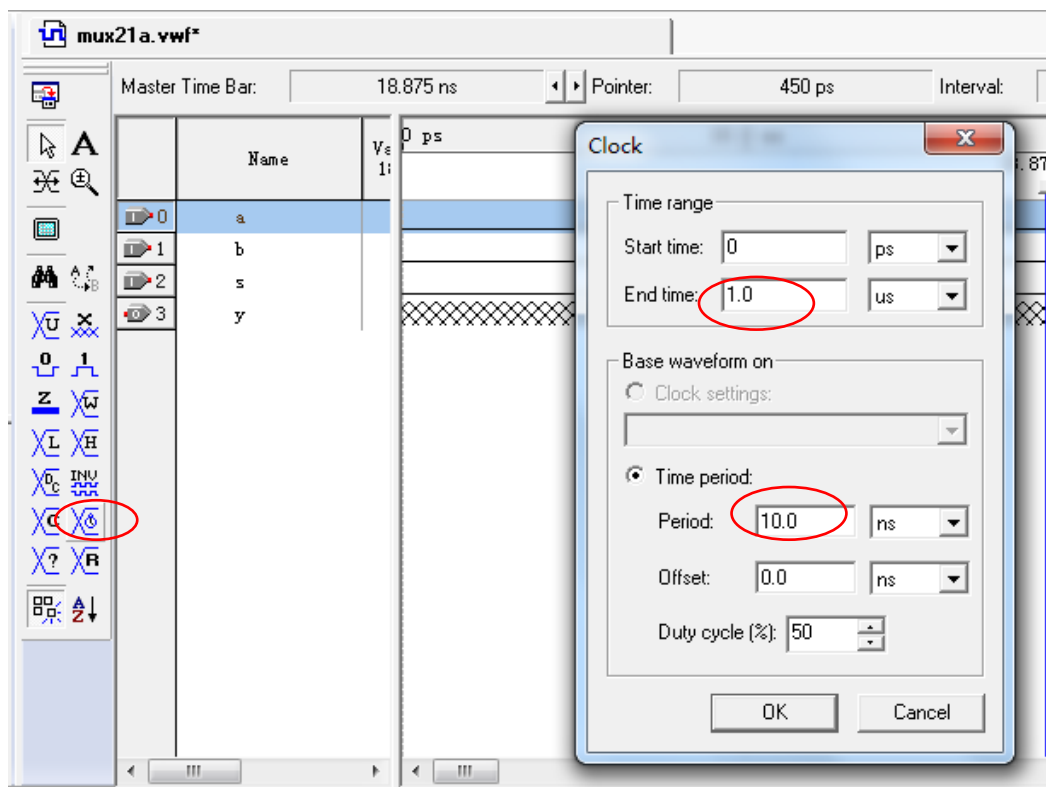


图 11 输入 a 激励参数设置

分别点击 b 和 s，同样设置参数，如图 12、13 所示

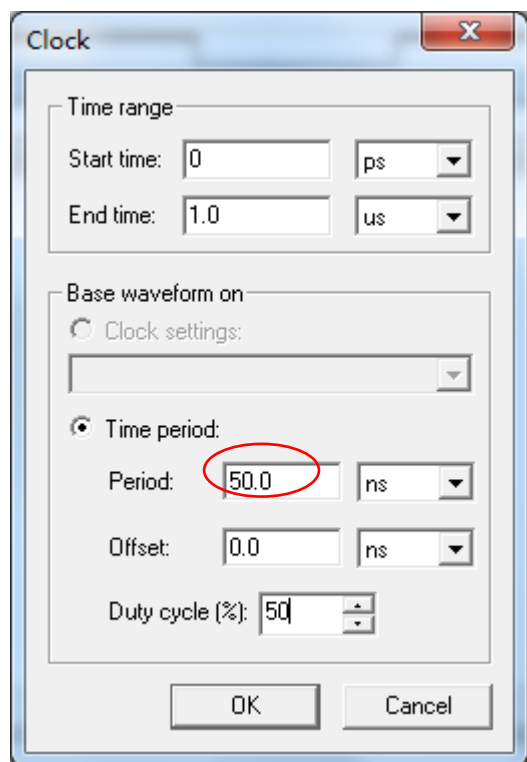


图 12 输入 b 激励参数设置

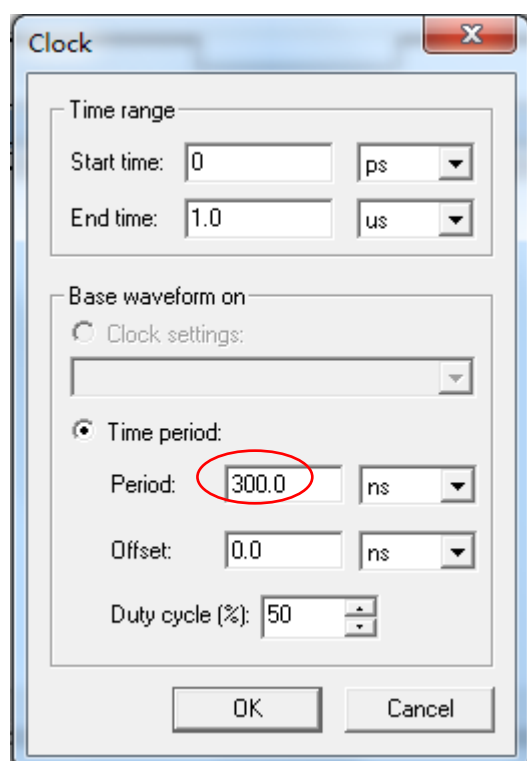


图 13 输入 s 激励参数设置

设置好参数后，将波形图文件存盘。如图 14 所示。

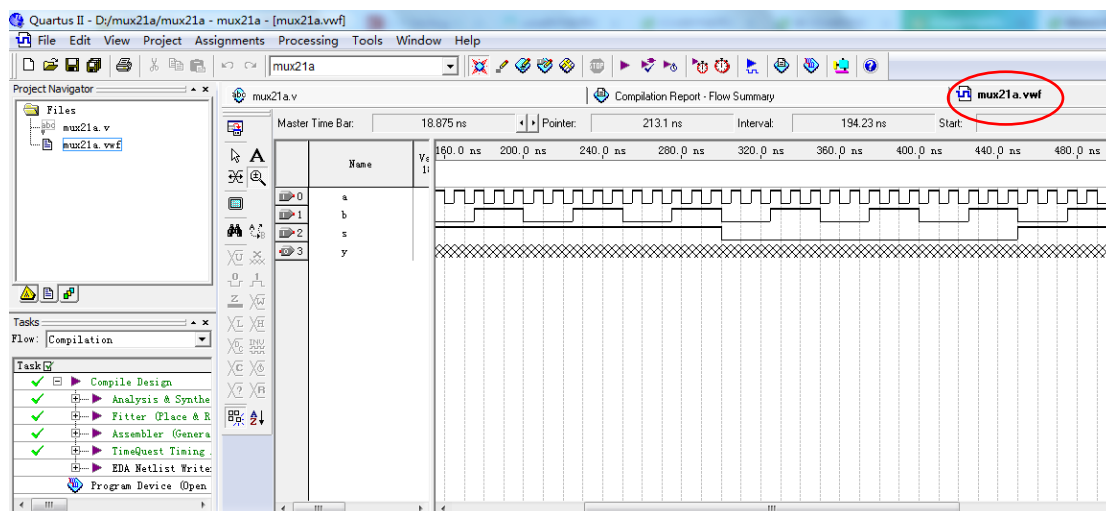


图 14 激励波形设置

菜单 Assignments -> Settings -> Simulator Settings 中选择功能仿真 Functional，以及仿真输入文件 mux21a.vwf，如图 15(1),15(2)所示。

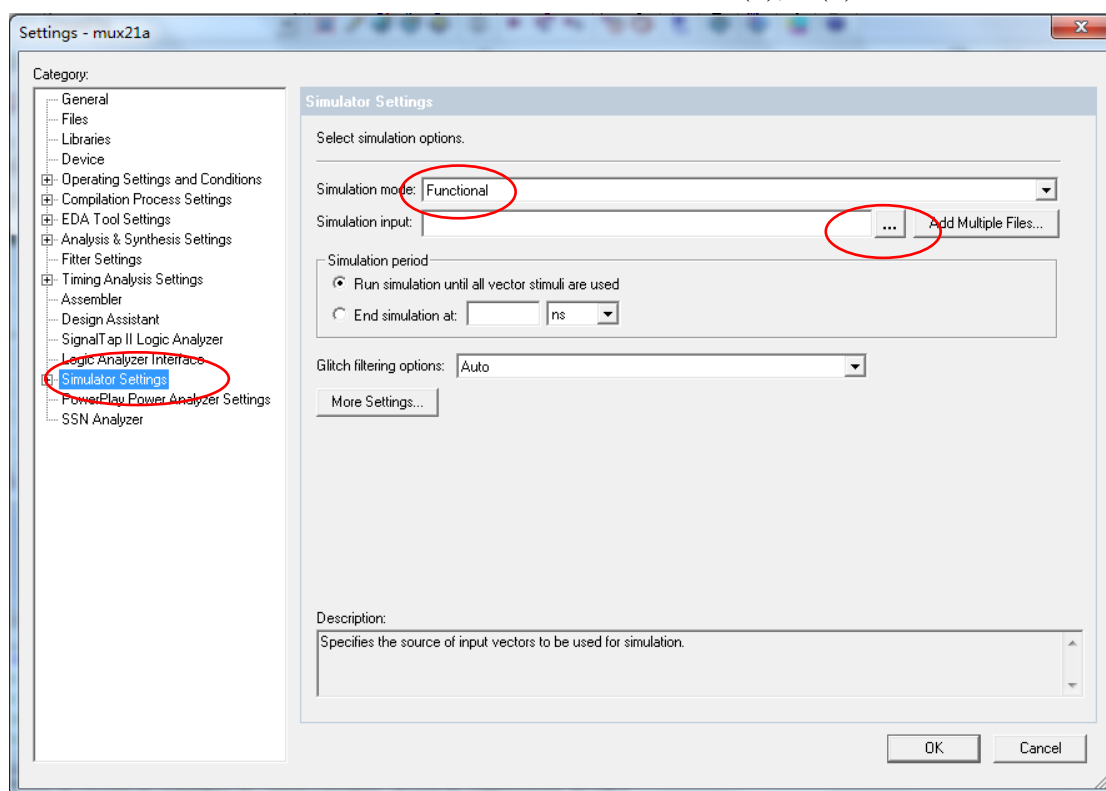


图 15 设置功能仿真（1）

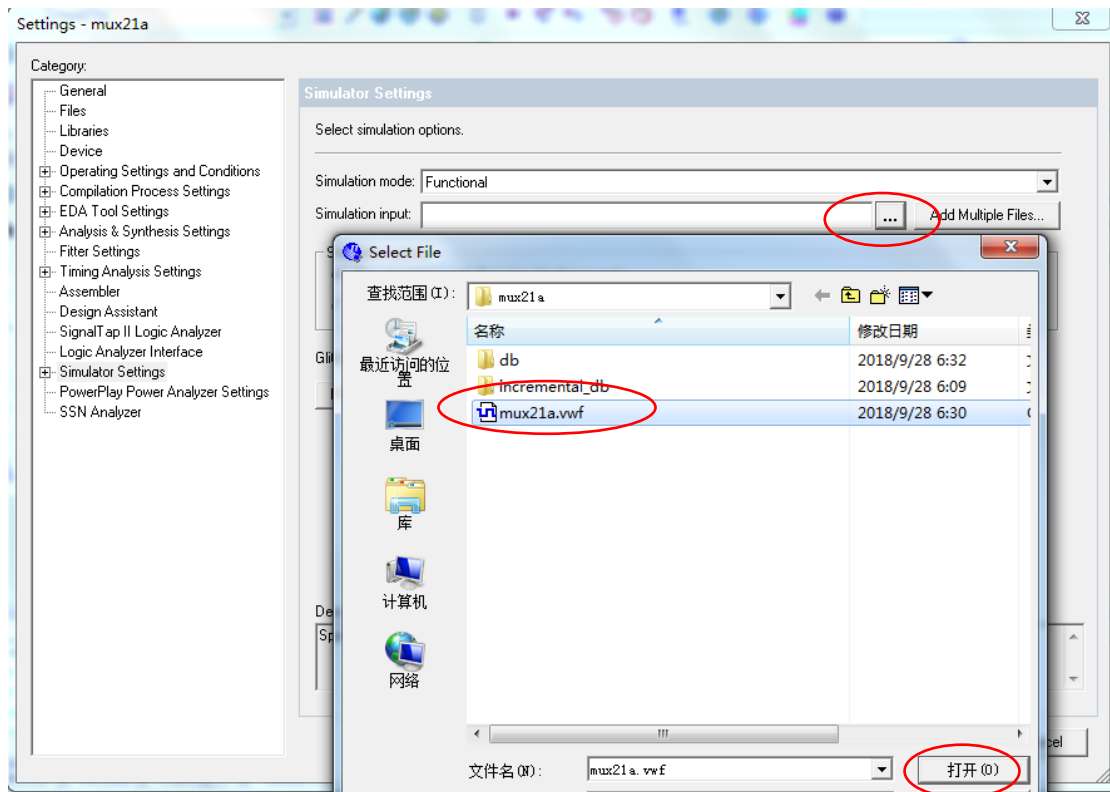


图 15(2) 选择仿真输入文件

接着产生功能仿真网表, Processing—>Generate Functional Simulation Netlist。

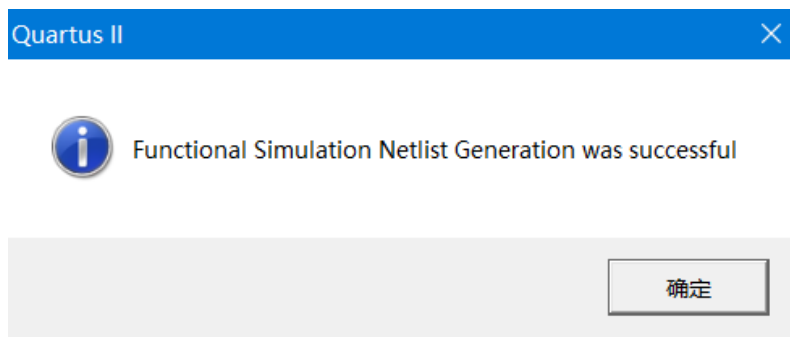



图 16 (1) 生成功能仿真网表

点击 , 开始仿真, 仿真完毕后在 Simulation Report 的 Simulation Waveforms 窗口中可以看到输出波形图。如图 16 所示。

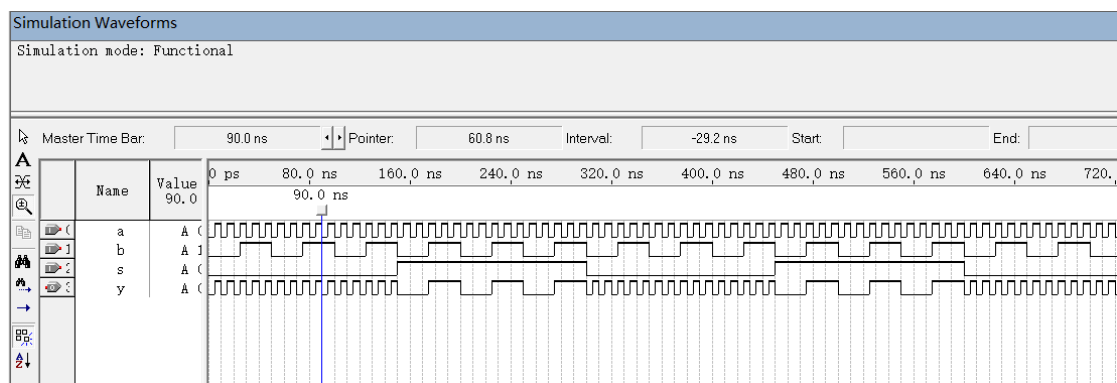


图 16 (1) 仿真结果

\*\*: 功能仿真也通过以下方式进行配置仿真。如图 16 (2) 所示。选择菜单 processing->Simulation Tools，设置功能仿真，生成功能网表，选择仿真文件，仿真以及查看仿真结果。

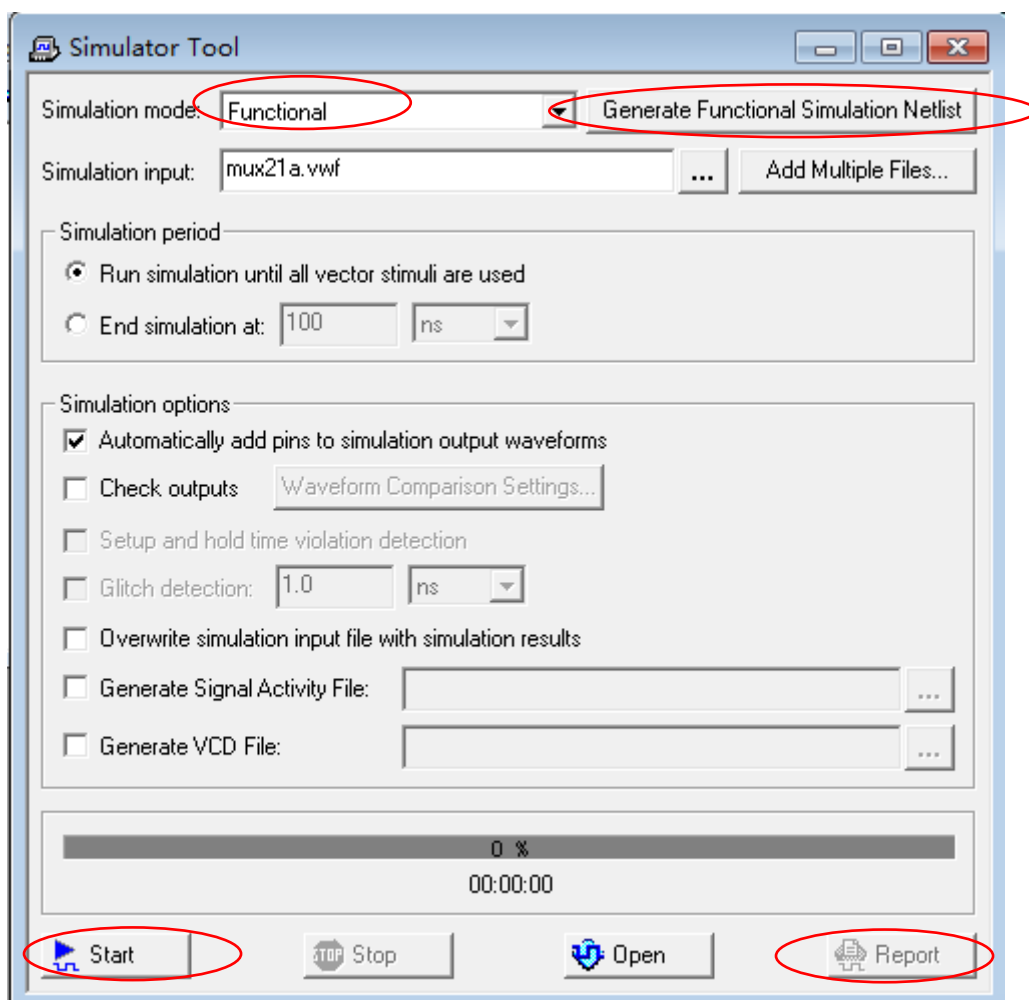
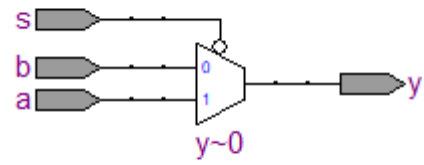


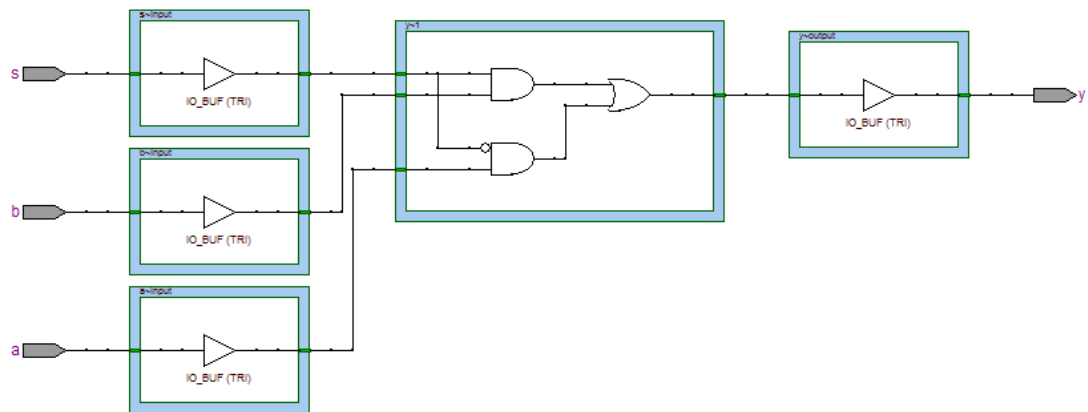
图 16 (2) 功能仿真

## 5. 查看 RTL 电路和门级电路:

点击 Tools —> Netlist Viewers —> RTL Viewer 后，生成如下的 RTL 电路:



点击 Tools —> Netlist Viewers —> Technology Map Viewer (post-mapping)  
后，生成如下的门级电路：





# 电子设计自动化（EDA）实验报告

实验题号 : 实验一  
项目名称 : Verilog 入门与 Quartus II9.0 使用  
系班 :  
学号 :  
姓名 :  
实验日期 : 2021-09-24  
指导老师 :

- 一、实验目的
- 二、实验内容
- 三、将实验原理、设计过程、编译仿真波形、RTL、引脚绑定和分析结果写进实验报告。