**1.Quartus创建工程**

File🡪New Project Wizard🡪

输入工程保存的路径、工程文件夹、工程的名称和顶层实体的名称🡪

(如果需要) 将已经写好的 Verilog 文件加入到工程中🡪

选择器件：Cyclone III EP3C55F484I🡪Next🡪Finish

**2.创建Verilog文件**

File🡪New🡪Design File🡪Verilog HDL File🡪OK

编辑完成后保存为.v文件

**3.编译**：点击

**4.功能仿真(波形图)**

（1）创建波形图工程文件

File🡪New🡪Verification/Debugging Files🡪Vector Waveform File🡪OK

（2）设置仿真结束时间

Edit🡪End Time(1us)🡪OK

（3）添加节点

波形图中 Name 栏下空白处双击（出现 Insert Node or Bus）🡪

Node Finder🡪Filter(Pins:all)🡪List🡪 》/ >🡪OK

（4）设置激励参数：Name 栏选中🡪点击🡪Period

[补充]1. 设置计数值和间隔时间

Name 栏中选中输入端口🡪点击鼠标右键🡪value🡪count value

2. 设置高\低电平

Name 栏中选中端口🡪按按钮，设置成高电平（同理低）

按钮可反选

（5）仿真

菜单Assignment🡪Settings🡪Simulator Settings🡪Functional🡪 Simulator input输入仿真文件 （.vwf文件）

（6）功能仿真网表：Processing🡪Generate Functional Simulation Netlist

🡪点击

[配置仿真：processing->Simulation Tools(Simulation mode\Start\Report]

**5.查看RTL电路和门级电路**

RTL电路：Tools🡪Netlist Viewers🡪RTL Viewer

门级电路：Tools🡪Netlist Viewers🡪Technology Map Viewer（post-mapping）

**6.绑定引脚**

（1）Assignments🡪pins🡪点击Location下的空白单元格🡪设置引脚号

（2）完成后将没有使用的输入引脚设为三态

Assignments🡪settings🡪Device🡪Device and pin options🡪

unused pins选项页🡪Reserve all unused pins: As input tri-stated

（3）全部重新编译一次

**7. 图形方法设计**

（1）创建文件

File🡪New🡪Block Diagram File

（2）放置元器件、输入输出

空白区域双击🡪Symbol对话框🡪Name栏中选择需要的元件🡪OK

**8.下载**

将实验箱与电脑 USB 连接🡪选择\*.sof 文🡪点击（记得实验箱加电）