**电子设计自动化（EDA）实验报告**

实验题号 :实验一

项目名称 :Verilog 入门与 Quartus II9.0 使用

系班 :计算机科学与技术非师范班

学号 : 1191002005

姓名 : 陈馨

实验日期 : 2021-09-24

指导老师 ：邱德慧

**一、实验目的**

1．熟悉 Quartus II 9.0 的 Verilog 文本设计流程。

2．学习用 Verilog 进行简单逻辑电路设计，多层次电路设计。

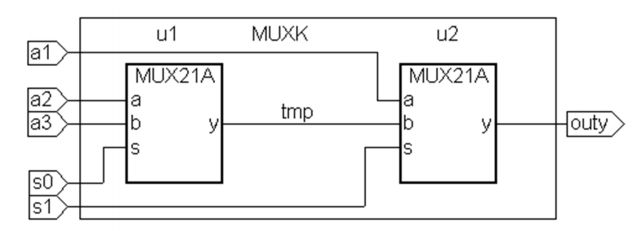
3．掌握 Verilog 设计电路的仿真、综合、和硬件测试的过程。

**二、实验内容**

**1．实验内容1**：首先利用 QuartusⅡ完成2选1多路选择器的Verilog文本编辑输入mux21a.v 和仿真测试等步骤，给出仿真波形，验证本项设计的功能。

2选1多路选择器的逻辑功能为：当 s='0'和'1'时，分别有 y<='a'和 y<='b'。

**2．实验内容2**：用Verilog语言来描述一个双2选1多路选择器，将2选1多路选择器看成是一个元件 mux21a，利用元件例化语句，并将此文件放在同一目录muxk中。用层次化描述的方法，先建立一个2 选1多路选择器实体，然后在顶层设计中调用该实体两次就得到了3选1多路选择器。双2选1多路选择器构成的电路 MUXK 如下图所示。



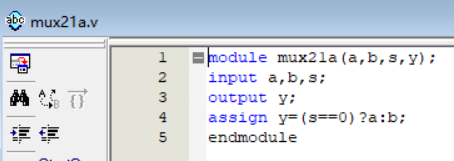
对上面方法得到的Verilog设计进行功能仿真，验证其逻辑功能的正确性。验证完成后进行综合，查看其 RTL 电路结构。

**3. 实验内容3**：用行为描述实现双2选 1多路选择器。

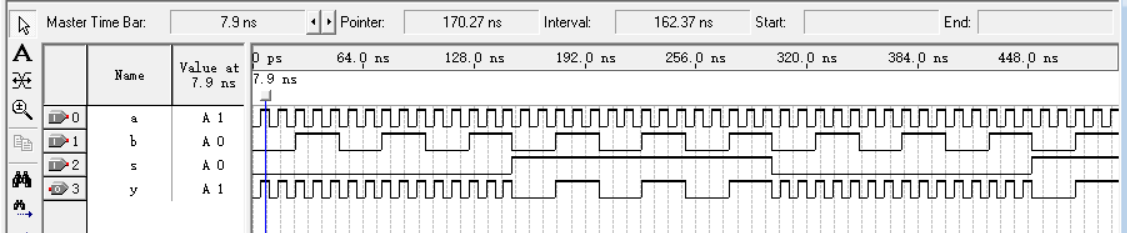
**三、实验报告**

**<实验内容1>**

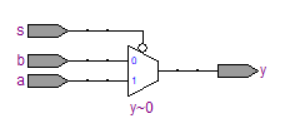
1. mux21a.v

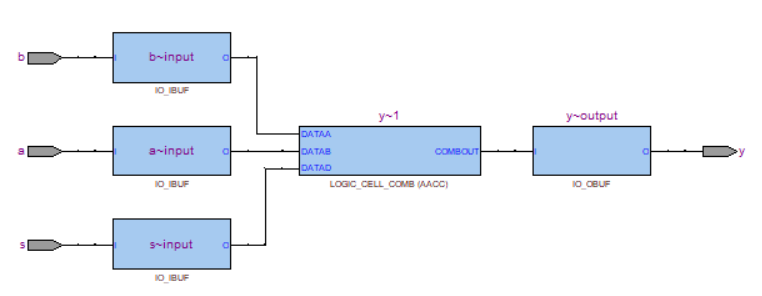


1. 仿真验证



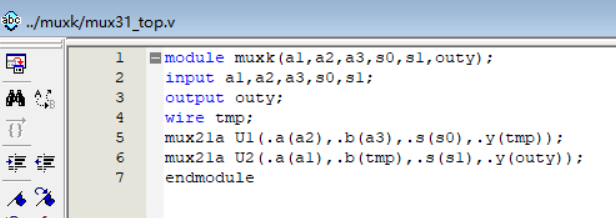
1. 综合电路



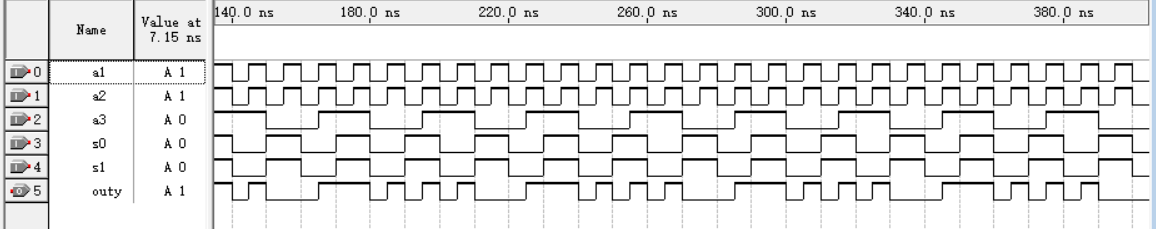


**<实验内容2>**

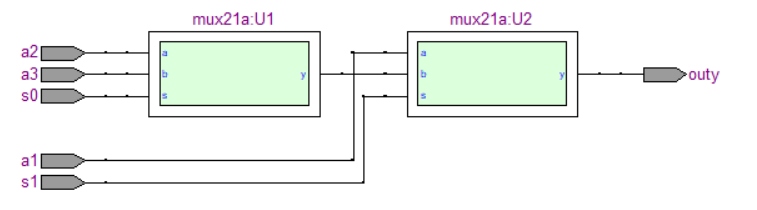
1. 顶层文件



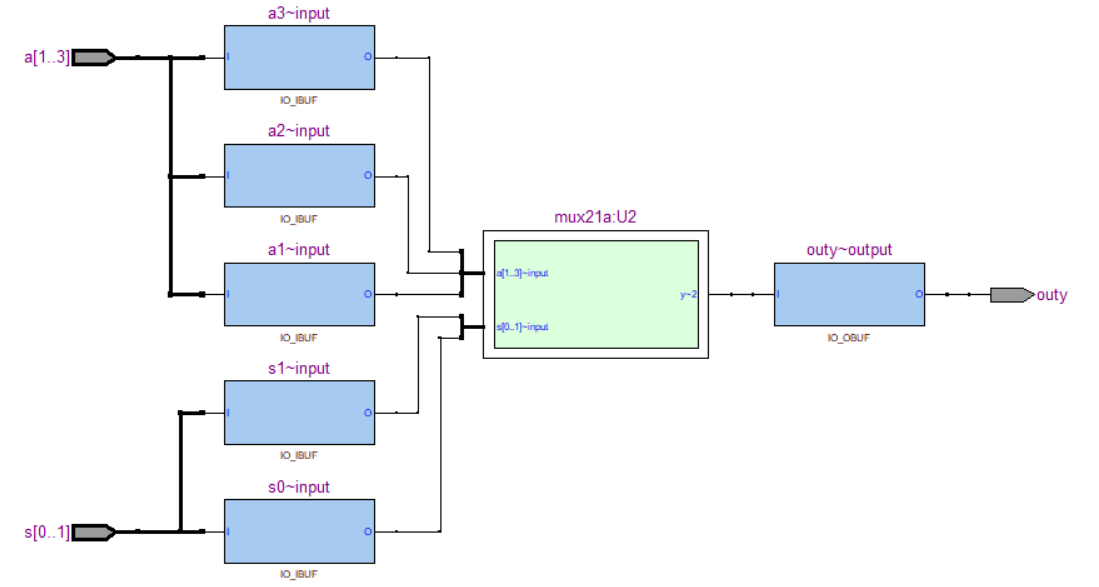
1. 仿真波形



1. RTL级电路

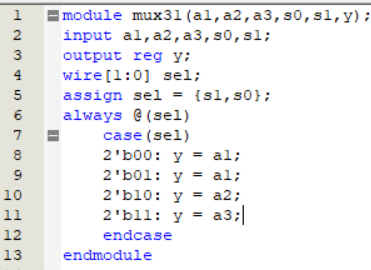


1. 门级电路

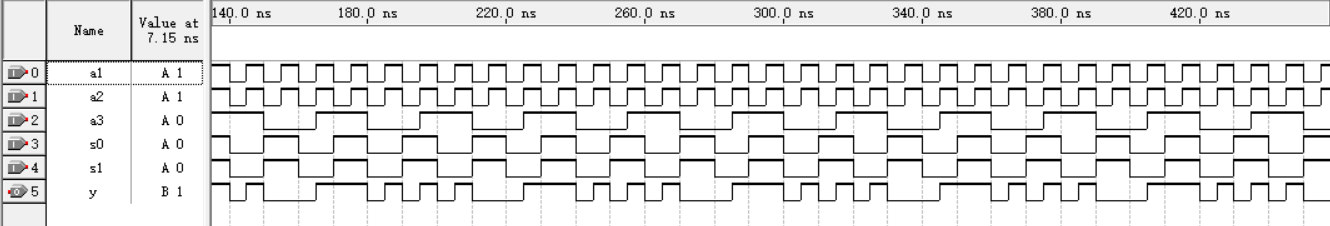


**<实验内容3>**

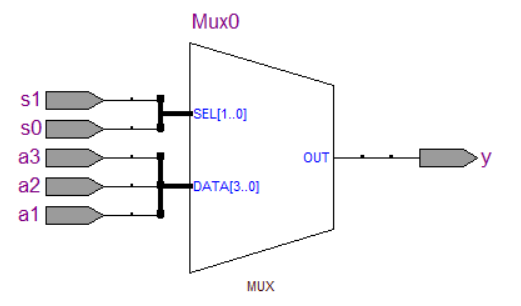
1．mux31行为级描述代码



2.仿真与功能验证



3.RTL级电路



4.门级电路

