**电子设计自动化（EDA）实验报告**

实验题号 :实验二

项目名称 :Verilog入门与QuartusII使用

系班 :计算机科学与技术非师范班

学号 : 1191002005

姓名 : 陈馨

实验日期 : 2021-09-28

指导老师 ：邱德慧

**一、实验目的**

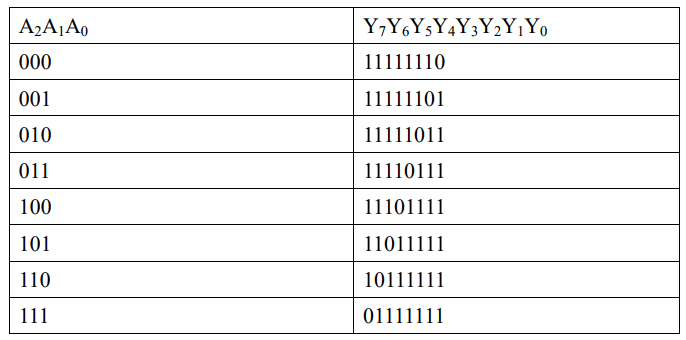
1.熟悉Quartus II的Verilog文本设计流程。

2.熟悉革新实验平台。

3.学习FPGA 的配置和下载过程

**二、实验内容**

本实验主要设计一个简单的3X8译码器，译码器有N个二进制选择线，最多可译码转化成个数据。3X8译码器的真值表如下：



使用Verilog语言设计译码器，输入和使能由拨码开关控制，通过LED显示灯来观察译码结果。使能为1时，执行译码，使能为0时，不译码。

**三、实验源程序：**

module decoder(a,en,y);

input[2:0] a;

input en;

output reg [7:0] y;

wire[3:0] sel;

assign sel = {en,a};

always @(a,en)

case(sel)

4'b1000: y = 8'b11111110;

4'b1001: y = 8'b11111101;

4'b1010: y = 8'b11111011;

4'b1011: y = 8'b11110111;

4'b1100: y = 8'b11101111;

4'b1101: y = 8'b11011111;

4'b1110: y = 8'b10111111;

4'b1111: y = 8'b01111111;

default：y = 8'b0;endcase

endcase

endmodule

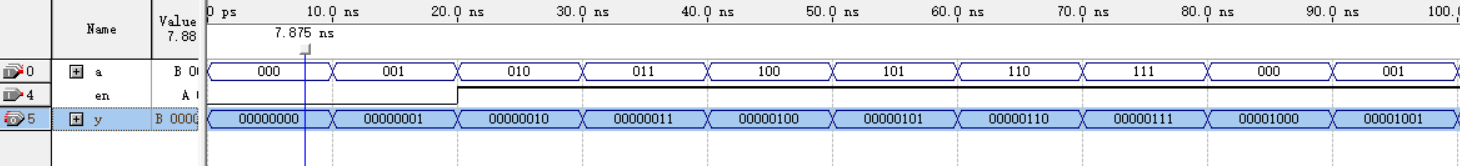
**四、引脚分配情况：**

参考革新固定资源表，分配如下：



**五、实验报告**

1.功能仿真

****

2、综合测试

RTL级电路



门级电路



3.实验结果