**电子设计自动化（EDA）实验报告**

实验题号 :实验四

项目名称 :七段译码器

系班 :计算机科学与技术非师范班

学号 : 1191002005

姓名 : 陈馨

实验日期 : 2021-10-15

指导老师 ：邱德慧

**一、实验目的**

1.了解组合逻辑电路设计。

2.制作一个数码管显示的7段译码电路，以备后面的实验调用。

3.学习在 QUARTUS II 中使用 Verilog 设计功能模块，并将所生成的功能模 块转换成 QUARTUS II 原理图的符号库，以便在使用原理图时调用该库。

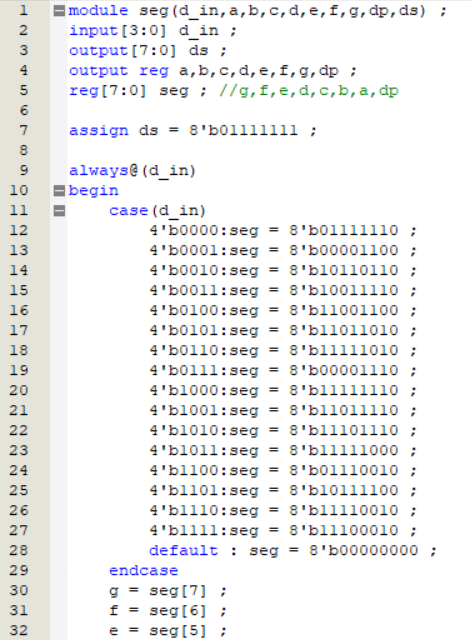
**二、实验内容**

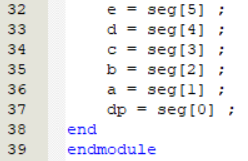
用拨码开关产生 0000~1111，FPGA 器件产生译码电路，把 16 进制数显示在 数码管上。

**三、实验报告**

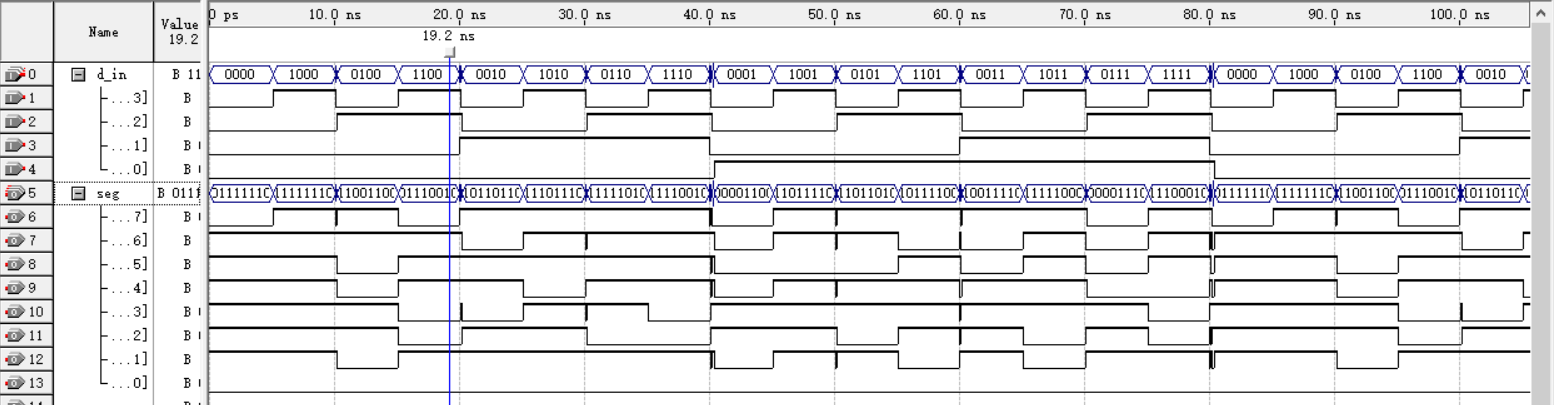
1.功能仿真

实验代码

****

****

仿真波形

****

2、综合测试

RTL级电路



门级电路



3.实验结果

