

## 【直播纪要】对话半导体大 V：Chiplet 究竟有多能打？ | 见智研究

摘要：

### 1、如何理解 chiplet

**chiplet 包含三个概念：异构架，小芯粒，系统级集成。**比如 GPU，CPU，DRAM 都属于不同的芯片，如果能成功合到一起就是异构架融合。

小芯粒是把所需的 IP 单个拆开来，直接流片生产出芯片，然后再通过封装集成到一起。在成本、效率、性能、功耗以及商业风险几个方面能够达到平衡，是一个很接地气的方案。

系统级集成包含软件和硬件，硬件集成比如 3D 堆叠封装，软件包括仿真计算，是技术含量非常高的领域，需要靠长期实验积累，不断优化 EDA 仿真模型。

### 2、chiplet 为什么爆火，哪些问题被忽视

chiplet 的堆叠方案理论上能够通过 14nm 堆叠做出一个等效 7nm 的芯片，所以市场猜测有没有可能 10nm 堆叠一个 5nm 的，7nm 堆叠一个 4nm 或者 3nm。但是在产业的实际情况与市场的猜测是不太一样。堆叠案例是有先决条件的，而不是所有的是 14nm 芯片通过堆叠都可以等效出 7nm。

### 3、IP 是什么

IP 是知识产权的意思，芯片设计中 IP 是可以复用的，可以理解成生产一辆汽车，不需要重复造轮子。现有 IP 功能的就是现有轮子，只要组装就可以了。一个 IP 是有单独的一个

功能区或者是实现某种特定作用的一个内核。过去 SOC 大核芯片是把很多 IP 的核整合起来，这个里面有总线、浮点运算的各种各样的指令集，对应各种各样的 IP 。

#### 4、chiplet 工艺对半导体行业意味着什么

目前来讲 chiplet 有且只有在高算力，高性能芯片的场景上才有落地可能，因为它解决了一个很实际的问题，投入与算力增长的不成比例的矛盾。未来芯片设计就像搭积木，能高效快速的响应市场需求，及时迭代拿出客户满意的产品来，有人形象的叫“**芯片预制菜**”。

#### 5、先进封装的难点是什么

难点在于缺少专用的软件和工具。目前在布线 EDA，仿真工具方面以及经验和数据积累还不足。而把不同芯片形成 die-to-die，需要面临非常复杂的物理问题，比如电磁干扰，信号干扰，电流，电压，热量，应力，毕竟管脚大小，电压高低，信号干扰等都是比较棘手的问题，需要全盘考虑，不然做出来的芯片一大堆失效问题。目前国内做 2D 封装已经非常成熟了，2.5D 现在也基本能够实现了，但能够做 3D 的不多。

#### 6、可以关注哪些产业机会

首先 IP 的需求肯定是会有明显增长的，在 chiplet 时代这个大舞台上，展现更大的价值。

其次从系统集成角度去看，有系统定义能力的公司肯定会着重发展，另外就是手上掌握有大量芯片资源的公司以及设备公司。

正文：

Chiplet 的概念大火，作为延续摩尔定律的一个重要技术到底说了些什么？又会影响到半导体产业链的哪些环节？华尔街见闻·见智研究特邀知名半导体专家【陈启】讲解处于风口中的 Chiplet 技术，并与观众在线互动答疑。

见智研究：**Chiplet 为什么火了？市场忽略了哪些关键点？**

陈启：

首先回顾一下 chiplet 的历史,有一个比较典型的案例与大家分享。早在 2017 年 AMD 的 Zen2 就尝试使用 chiplet 方案，非常成功。

玩电脑的朋友可能会对它比较了解，当时这块 Zen2 芯片跟原来 Zen 1 和以及英特尔的酷睿系列相比，做了一个很大的改变。它的芯片里面有一种模块化的设计理念融入进去了，叫 CCX 到 CCD。

具体来看：它把核心单元和输入输出端口分开设计和制造的，而不是放在一块 SOC 里面。用 7 纳米比较先进的工艺去生产核心的算力单元，然后输入输出端口就用 12 纳米或者是 14 纳米的制程，最后再把它们融合到一起。当年 AMD 推出这个方案之后，非常的成功。因为这种工艺节省了成本，降低了设计难度，还提高了个工作的效率。然后用这个比较有性价比的方案，跟英特尔做一些正面的竞争，还把 i7 给 PK 下去了。AMD 也是凭借 Zen 2 扭转了在十年以来年的困境，可以说是 chiplet 设计方案力挽狂澜，使得 AMD 一改颓势。

那么从现在行业理来理解来看，**chiplet 包含三个概念：异构架，小芯粒，系统级集成。**

**第一、异构架的概念**，比如 GPU，CPU，DRAM 都属于不同的芯片，能不能融合到一起变成一个新的芯片，提高芯片的算力？如果能成功合到一起就是异构架融合的概念。

**第二、小芯粒**是相对 SoC 大核而言。SoC 大核就是把所有功能的 IP 核全放到一个大的 SoC 里面去，然后用最先进的工艺把这颗芯片造出来，当然了这样的一颗 SoC 芯片，肯

定是功能最多，性能最强，算力最强。但是问题也来了，这个开发成本，效率，和商业风险都非常高，不是大厂玩不起。

小芯粒的概念是把所需的 IP 单个拆开来，直接流片生产出芯片，然后再通过封装集成到一起。

所以小芯片模块化设计就是在成本，效率，性能，功耗以及商业风险几个方面取平衡点，是一个很接地气的方案。

**第三、系统级集成**包含了两个方面，一个软的，一个硬的。

硬件集成意思是 3D 堆叠封装概念，2014 年的苹果 iwatch 的 SIP 封装，到后面的 AMD 的 Zen2，

等以及此前传的沸沸扬扬的两个 14nm 叠一个 7nm 芯片，包括璧仞的新产品发布会上的最强算力 GPU，等都采用了芯片堆叠方案。

虽然说 3D 堆叠封装的概念理解起来很简单，简单理解是把几个裸芯粒封装到一起么？但是实际要做出来上还是有很大挑战的。

产业目前碰到最大的难题就是，做物理仿真计算太困难。因为以前没有做过，没有长期积累数据，更没有好用的软件平台，真的是在瞎子摸象。

芯片设计好之后需要有仿真计算。在如此小的面积里要集成多个裸 die，会面临非常复杂的电磁，热，应力，电流等一系列物理问题，随便那个环节处理不好就是就是一大堆芯片失效问题，而且很难查出问题出在哪里，因为现在没有啥数据积累，都在摸石头过河。现在国内外也没有太好的仿真软件来搞定这一切，三大 EDA 公司也不行，但是你说这东西很难做，难于登天吧，也不至于，主要就是靠长期实验积累，不断优化 EDA 的仿真计算模型代码即可，因此我觉得这块中国到是挺有机会的。

台积电也是在无数客户陪跑下摸索了整整五年，才总算有点弄明白，国内想要干的好，估计也差不多要好几年后。

软集成，除了软件系统以外，还有最重要的一条就是总线构架问题，不同芯片要让他们之间通信，比较省钱的方案，就是所有单独功能区的 IP 核是带有统一的标准接口，没有的话没法连；要么加一颗总线协议交互芯片，当然这个成本很高。前面当年美满电子想做当时没有成功的地方就在这里——缺少一个业界统一标准的接口。

所以系统级集成的软是统一的总线构架标准，硬是指芯片堆叠封装方案。一个赋予神经和血管（系统软件与互联标准），一个赋予肉体（硬件的 **die-to-die**）。

把这三个异构架，小芯粒，系统级集成三个概念理解清楚合到一起就是 **chiplet** 的概念。

至于为什么会突然火，根据目前掌握的咨询来看，传言有两家封测厂与 H 公司有深度合作，新的芯片采用了堆叠方案，形成一个类似 2 个 14nm 等效 7nm 的芯片的故事。市场就有一个简单的逻辑推论，既然能够 14nm 堆叠 7nm，做出一个等效 7nm 的芯片。那有没有可能 10 nm 堆叠一个 5 nm 的，7nm 堆叠一个 4nm 或者 3 nm 的呢？

产业实际情况跟市场可能理解的是不太一样。刚才讲那些案例是有先决条件的，而不是所有的 14nm 芯片，通过堆叠都可以等效出 7 nm。

见智研究：如何理解 IP？

陈启：

IP 是知识产权内核的意思可以复用，理解成我们现在造一个汽车，不需要重复造轮子。我现有 IP 就是现有轮子你只要往上装就可以了。一个 IP 是有单独的一个功能区或者是实现某种特定作用的一个内核。过去 SOC 大核芯片是把很多 IP 的核整合起来，这个里面有总线、浮点运算的各种各样的指令集，对应各种各样的 IP 。

见智研究：如何看待 UCle 和 CXL 联盟？

陈启：

UCle 叫小芯片高速直连，它脱胎于与此前的 CXL 联盟，这是一个英特尔主导的总线协议联盟，和 CXL 联盟相比，UCle 有了类似台积电，日月光等实体制造公司的加入，大家共同努力后，让异构芯片互联的技术多了一个行业标准。意味着，以后让异构芯片互联从理论进入现实。

与 chiplet 的关系就是前面讲的系统级集成中软的，高速系统直连标准有了业绩统一标准，并且台积电，日月光等实体制造公司，都纷纷抛出了自己的工艺平台的全家桶，到封装层最终形成“die-to-die”（晶粒直连）。

见智研究：摩尔定律是什么？又为什么会失效

陈启：

摩尔定律这是一条人人都知道的定律。1965 年，戈登摩尔准备一个关于计算机存储器发展趋势的报告，在他开始绘制数据时，发现了一个惊人的趋势。每个新的芯片大体上包含其前任两倍的容量，每个芯片产生的时间都是在前一个芯片产生后的 18~24 个月内。

后摩尔定律略微修改，变成大家所熟知的集成电路行业最知名的定律：每隔 18 个月，同样面积内晶体管数量翻倍，但是价格不变。根据摩尔定律我们可以得到以下两条结论：

结论 1、每隔 18 个月，单位面积内晶体数量翻倍，这意味着性能也翻倍了。性能翻倍定律

**结论 2、价格不变，等同于同样价格买到晶体管数量也翻倍了，这意味着单个晶体管成本降低了一半。成本减半定律。**

过去几十年摩尔定律一直默默的发挥着作用，但是最近几年，摩尔定律已经接近极致了。

我们可以理解第一是逼近物理极限，晶体管不可能永远一直缩小，那怕 GAA 能续命，但是总有一天会达到硅材料的极限，不可能永无止境的去增加晶体管数量和密度。同时晶体管密度不断增加后，功耗和散热已经成为巨大的困难，第二现在每次工艺节点进步所花费的资金已经是天文数字一般，因此从这个角度而言，性能翻倍和成本减半两个定律已经被打破了，摩尔定律已然失效。

**见智研究：chiplet 为什么是后摩尔时代的最优解？**

陈启：

我们再从前面两个定律去理解，性能翻倍和成本减半，如何做呢？于是业内想到一个方案，把大核 SoC 的各个功能区重新拆分组合，把不同功能的 IP，独立流片，然后再把他们堆叠封装到一起。

这样做的好处首先是，降低了 SoC 的设计难度，之前 IP 越多整合难度就越大，除非拆分重排，难度就小了一些，能降低设计开发成本。其次，可以使用不同的工艺来生产不同的 ip 核，能提高良率，分摊总体成本。

以 Zen2 为例核心计算单元使用 7nm 来生产，这部分是高速计算核心单元用先进工艺属于好钢用在刀刃上，I/O 部分电路对于工艺要求并不高，因此可以降一档用 14nm 生产，然后就形成了一个 7+14nm 的方案，但是对外依然称 7nm 芯片。但是总体而言成本下降了。

此外异构架构能做一个比较典型的方案叫 **xPU+DRAM**，把内存和算力单元直接整合到一起，解决系统瓶颈，属于花小钱办大事，系统速度提升肉眼可见。

所以说 **chiplet** 不敢说一定是最优解，但是确实最现实的解决方案，延续方案。

**见智研究：chiplet 的生产工艺有什么优势？**

**陈启：**

之前我们讲了很多硬件条件上的实现方案，几个芯片通过先进封装工艺把它给堆叠。那么我们需要把不同晶圆上的 **die** 封装到一起，那这个是一个什么样的工艺生产出来呢？一般来讲我们可以理解成是 **2D/2.5D/3D** 封装方案。简单来说，**on IC** 载板的是 **2D**；**on wafer** 也就是有通孔硅中间层(**intersposer**)的是 **2.5D**；**on Chip** 的才是 **3D**。前 2 个活，封装厂技术升级后可以做，第三是晶圆加工的延续，因为他们的 **RDL**（互联层）是在 **chip** 上的。晶圆代工厂类似于中芯国际、华虹半导体、台积电这样的公司才能做。因为 **RDL** 是有一大部分的布线是晶圆加工工序的延续。

**见智研究：chiplet 对半导体行业意味着什么？**

**陈启：**

目前来讲 **chiplet** 有且只有在这种高算力，高性能芯片的场景上才有落地可能，因为它解决了一个很实际的问题，投入与算力增长的不成比例的矛盾。

再发展下去以后，**chiplet** 异构架构融合这套生态玩熟悉了，可以把各种各样的器件整合进来，什么高压，模拟，**MCU**，数模混合，传感器，算法，甚至非硅基的芯片比如氮化镓光电器件之类的东西，那么未来芯片设计就真的和搭积木似的，能高效快速的响应市场需求，及时迭代拿出客户满意的产品来，有人形象的叫“芯片预制菜”，



见智研究：先进封装的难点是什么？

陈启：

目前来讲我们认为先进封装难点第一个是就是缺少专用的软件和工具。目前还是在布线 EDA，仿真工具方面以及经验和数据积累。毕竟把不同芯片形成 **die-to-die**，需要面临非常复杂的物理问题，比如电磁干扰，信号干扰，电流，电压，热量，应力，毕竟管脚大小，电压高低，信号干扰等都是比较棘手的问题，需要全盘考虑，不然做出来的芯片一大堆失效问题。目前国内做 2D 封装已经非常成熟了；2.5D 现在也基本能够实现了，3D 还是要看晶圆厂。

见智研究：最先落地的下游领域会是什么，关注哪些行业变化？

陈启：

我们认为最现实落地方案应该是 HPC 高算力，类似 XPU+DRAM，比如璧韧的 GPU+HBM（高带宽内存）。面积越大的 SoC 改用 chiplet 方案是确实能省成本，同时从系统角度确实还能提高性能。

首先 IP 的需求肯定是会有明显增长的，在 chiplet 时代这个大舞台上，展现更大的价值。

从系统集成角度看，有系统定义能力的公司肯定会着重发展，比如阿里巴巴，H 公司这种又有系统集成需求，又有下游应用场景，同时还有芯片开发能力的大厂。

其次应该关注类似产业链资源比较多，手上掌握有大量芯片资源的公司，比如韦尔股份，兆易创新，逻辑同阿里巴巴。

此外，要重点关注 **2.5D** 封装，这种方案中间多了一层通孔硅层，这层通孔硅工艺比较复杂，和过去封装不太一样，有好几层电路，需要涂胶，光刻，显影，刻蚀，去胶，清洗，沉铜的工艺流程，**因此也利好特色设备公司。**

#### 风险提示及免责条款

市场有风险，投资需谨慎。本文不构成个人投资建议，也未考虑到个别用户特殊的投资目标、财务状况或需要。用户应考虑本文中的任何意见、观点或结论是否符合其特定状况。据此投资，责任自负。