**《计算机组成与设计》**

**实验指导书**

**2018.2**

**山东大学**

目录

[实验1 基本逻辑门逻辑实验 3](#_Toc66461526)

[实验2 逻辑运算电路 4](#_Toc66461527)

[实验3 补码加法器 5](#_Toc66461528)

[实验4 移位器 7](#_Toc66461529)

[实验5 四位补码运算器 9](#_Toc66461530)

[实验6 二进制补码加法器实验 10](#_Toc66461531)

[实验7 节拍脉冲发生器时序电路实验 12](#_Toc66461532)

[实验8 时序系统实验 14](#_Toc66461533)

[实验9 七段译码设计 15](#_Toc66461534)

[实验10 LPM\_ROM实验 16](#_Toc66461535)

[实验11 LPM\_RAM实验 18](#_Toc66461536)

[实验12 RAM扩展实验 20](#_Toc66461537)

[实验13 控制器实验 21](#_Toc66461538)

[实验14 综合实验 24](#_Toc66461539)

[附录 常用实验器件引脚图 26](#_Toc66461540)

# 实验1 基本逻辑门逻辑实验

1. 实验目的
2. 掌握TTL常用逻辑门输入与输出之间的逻辑关系。
3. 熟悉TTL中、小规模集成电路的外型、管脚和使用方法。
4. 实验所用QuartII库内器件
5. **二输入四异或门 74LS86**
6. 三态门 TRI
7. 四位二进制计数器 74LS161
8. **3-8译码器 74LS138**
9. 双向移位寄存器 74LS194
10. 8位寄存器 74LS74
11. 实验内容

测试74LS86、tri、138、161、74LS194、74LS74集成电路模块，分析其输入和输出之间的逻辑关系。

1. 实验提示

1．在quartii环境下，建立工程文件，调入被测器件，将其输入管脚绑定在相应的开关上，输出管脚绑定在相应的指示灯上，建立源文件。

2．将该文件编译下载到实验平台上的FPGA内，按照所测器件的功能表逐条验证。

3．用实验台的电平开关输出作为被测器件的输入。拨动开关，则改变器件的输入电平。

4．将被测器件的输出引脚与实验台上的电平指示灯连接。指示灯亮表示输出电平为1，指示灯灭表示输出电平为0。

1. 所测器件的功能表和管脚见附录。

例：实验接线图及实验结果（真值表及语言描述）

（1）74LS86中包含4个异或门，可测试一个异或门即可，如图1所示。

|  |  |  |
| --- | --- | --- |
| **输 入** | | **输 出** |
| 引脚1 | 引脚2 | 引脚3 |
| L | L | L |
| L | H | H |
| H | L | H |
| H | H | L |

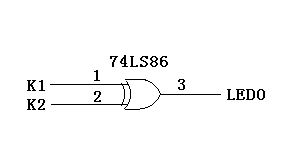
（2）可使平台工作于模式5，图中的K1、K2绑定

图1

在FPGA的PIO0（52）、PIO1（55）两个管脚上，

LED0绑定在FPGA的PIO8（60）管脚上。

（3）测试74LS86逻辑关系接线图及测试结果

# 实验2 逻辑运算电路

1、实验内容及说明

本实验要求设计一个能实现1位逻辑乘ab、逻辑或a+b、半加(a⊕b)的逻辑运算电路。图2为实现上述逻辑功能的电路原理图，其中参与运算的两个1位二进制数为a和b，and、xor和or分别为与运算、异或运算和或运算控制输入端。

2、实验步骤

（1）原理图输入：根据图2所示电路，完成逻辑运算的电路原理图设计。

（2）管脚锁定：完成原理图中输入、输出的管脚锁定。

可使平台工作于模式5，将a操作数锁定在键1上；将b操作数锁定在键2上；将输出e锁定在D1上；将与运算控制输入and端锁定在键3上；将或运算控制输入or端锁定在键4上；将异或运算控制输入xor端锁定在键5上。

（3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP4CE6/10器件，**进行原理图的编译和适配，无误后完成下载。

（4）功能测试：利用输入开关及发光二极管LD测试逻辑运算部件的功能并记录测试结果。

（5）生成元件符号。

3、选做

利用一位逻辑运算的结果实现两个4位二进制数A（a3a2a1a0）和B(b3b2b1b0)的逻辑运算并生成元件符号。使平台工作于模式5，当按键开关不足时，可使用平台上红色的拨码开关。



图2 逻辑运算电路原理图

# 实验3 补码加法器

  1、实验内容及说明

本实验要求采用一位全加器和异或门设计一个四位二进制补码加法器，操作数和运算结果均采用补码表示，该加法器要求可做补码加法，也可做补码减法运算。

在补码运祘中：

  （X)补 十（Y)补 ＝（X十Y)补

   （X)补 -（Y)补 ＝（X)补 十（-Y)补

   图3是四位补码加法器的原理图，图中SUM3-SUM0表示四位和数，C4为向高位的进位，A3-A0为A操作数，B3-B0为B操作数，C0为低位来的进位， K为控制端，当K为高电平时，执行减法运算，K为低电平时，执行加法运算。

 2.实验步骤

（1）原理图输入：从元件库中选取相应器件实现四位补码加法器电路设计。

  （2）管脚锁定：平台工作于模式5，将SUM3-SUM0、C4依次定义在LED指示灯D5-D1上，将K、C0、A3-A0、B3-B0依次绑定在红色拨码开关dout1、dout2、键8-键5、键4-键1上。

（3）原理图编译、适配和下载：在QuartusⅡ环境中选择**EP4CE6/10E器件，**进行原理图的编译和适配，无误后完成下载。

（4）功能测试：利用输入开关键改变K、C0和A、B操作数的值，看LED指示灯显示的结果是否正确并记录结果。

（5）生成元件符号。



图3 四位补码加法器原理图

# 实验4 移位器

1、实验内容及说明

本实验要求采用传送方式实现二进制数的移位电路。图4.4给出了可对四位二进制数实现左移1位（×2），右移1位（÷2）和直接传送功能的移位线路，这也是运算器的主要功能。

在LM（左移）的控制下可实现左移1位，空位补0。

在RM（右移）的控制下可实现右移1位，空位补0。

在DM（直送）的控制下可实现直接传送。

2、实验步骤

（1）用图形输入法完成图4.3逻辑电路输入。

（2）管脚锁定：平台工作于模式5，将四位二进制数a3-a0定义在键4－键1上；将4位输出q3-q0定义在D4－D1上；将LM定义在键5上，高电位有效；将DM定义在键6上，高电位有效；将RM定义在键7上，高电位有效，完毕后下载。

（3）设置键4－键1为任意4位数，在LM、DM、RM的作用下分别观察D3－D0的显示，并分析其正确性。

（4）生成元件符号。



图4 移位器电路原理图

# 实验5 四位补码运算器

**1、实验内容及说明**

本实验要求设计一个能够实现补码加法、减法、加1、左移、右移、直接传送等功能的四位补码运算器，图5为四位补码运算器的电路框图,图中，移位器具有左移、右移和直接传送功能。

实验时，图5中的元件可直接调用，其中R0、R1、R2四位寄存器可直接调用元件库中的4D寄存器74173（设计原理图时74173的G1N、G2N、MN、NN和CLR管脚接地），移位器可调用本章实验4中设计的移位器元件，四位加法器可调用本章实验3中设计的补码加法器元件。

D

B

A

C0

CPR1

CPR0

CPR2

4位加法器

R2

R0

R1

移位器

LM

DM

RM

图5 四位补码运算器电路框图

**2、实验步骤**

（1）原理图输入：调用寄存器、移位器、补码加法器等元件根据图5完成四位补码运算器电路设计、调试并生成元件符号。

（2）管脚锁定：平台工作于模式5，将4位操作数A（a3a2a1a0）锁定在键8-键5上、将4位操作数B(b3b2b1b0)锁定在键4-键1上、将打入脉冲CPR0锁定在拨码开关Dout1上、将打入脉冲CPR1锁定在拨码开关Dout2上、将打入脉冲CPR2锁定在拨码开关Dout3上、将LM锁定在拨码开关Dout4上、将DM锁定在拨码开关Dout5上、将RM锁定在拨码开关Dout6上、将C0（低位的进位）锁定在拨码开关Dout7上。

拨码开关Dout由低电平拔向高电平再拔向低电平，相当于一个脉冲。

将存放结果的寄存器R2的输出端D(d3d2d1d0)分别锁定在D4－D1上。

（3）管脚锁定完毕后在QuartusⅡ中选择**EP4CE6/10E器件，**进行原理图的编译和适配，无误后完成下载。

（4）功能测试：利用开关与指示灯测试：加法、减法、加1、左移、右移、直传等功能，并分析结果正确性。

# 实验6 二进制补码加法器实验

一、实验目的：

根据补码加法器的模型，理解数据流及其时序关系。

掌握加法器实现补码加、减运算的基本原理。

二、实验方案：

本实验运算器模型，可分为数据运算以及符号位的产生两部分。



图10 补码加、减运算器结构图

三、实验要求：

* 数据宽度为4位，设计出实验线路图。
* 设计试验步骤。
* 使用开关进行数据加载，完成补码加、减运算。
* 符号位运算采用双符号位，累加器应有清零控制。
* 通过指示灯观察运算结果，记录实验现象，写出实验报告。

四、参考器件：

累加器选用一片74LS273；加法器用两片74 LS283；原、反码控制器用一片74LS86.

溢出判断用一片74LS86。

# 实验7 节拍脉冲发生器时序电路实验

1、实验目的：掌握节拍脉冲发生器的设计方法，理解节拍脉冲发生器的工作原理。

2、实验原理：连续节拍发生电路可由4个D触发器组成（见图11-1），可产生4个等间隔的时序信号T1~T4，其中CLK1为时钟信号，由实验台右边的方波信号源clock0提供，clock0具有1Hz~50MHz的多种方波信号频率。实验者可根据实验自行选择信号频率。当RST1为低电平时，T1输出为“1”，而T2、T3、T4输出为“0”；当RST1由低电平变为高电平后，T1~T4将在CLK1的输入脉冲作用下，周期性地轮流输出正脉冲，机器进入连续运行状态（EXEC）。

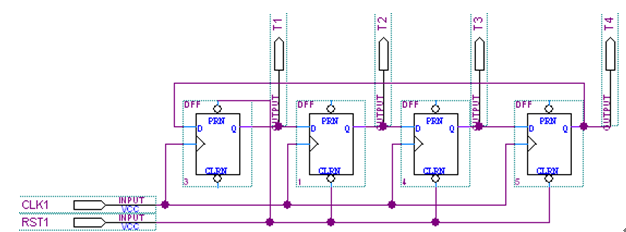


图11-1 节拍脉冲发生器的工作原理

T1~T4以及CLK1、RST1的工作波形如图11-2所示。

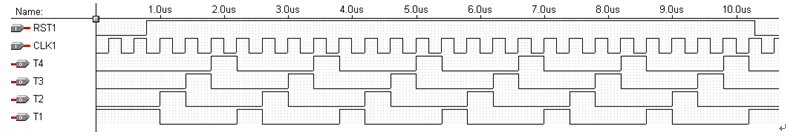


图11-2 节拍脉冲发生器工作波形

3、实验任务：

（1）连续节拍发生电路设计

设计工程文件，硬件电路如图11-1所示。使实验平台工作于模式5，主系统时钟源接4Hz，键8控制RST1，高电平时可以看到，发光管D1、D2、D3、D4分别显示T1、T2、T3、T4的输出电平，锁定引脚并硬件下载测试。引脚锁定后进行编译、下载和硬件测试实验。将实验过程和实验结果写进实验报告。

(2)单步节拍发生电路设计

用单步节拍发生电路可以对微程序进行单步运行调试，电路如图11-3所示。该电路每当RST1出现一个负脉冲后，仅输出一组T1、T2、T3、T4节拍信号，直到RST1出现下一个负脉冲，波形如图11-4所示。

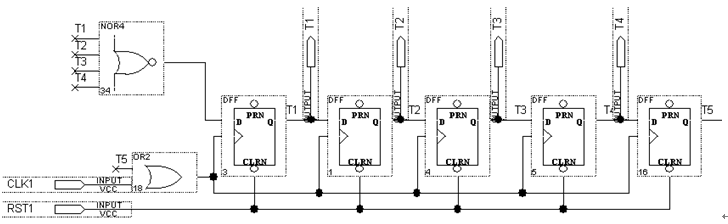


图11-3 单步运行电路工作原理

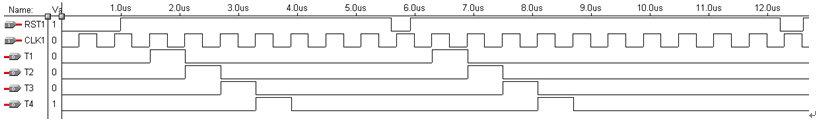


图11-4 单步运行电路工作波形

设计工程文件，硬件电路如图11-3所示。使实验平台工作于模式5，主系统时钟源接4Hz，键8控制RST1，高电平时可以看到，发光管D1、D2、D3、D4分别显示T1、T2、T3、T4的输出电平，锁定引脚并硬件下载测试。引脚锁定后进行编译、下载和硬件测试实验。将实验过程和实验结果写进实验报告。

# 实验8 时序系统实验

1、实验目的：

掌握计算机实验中时序系统的设计方法。设计一个基本时序系统，该系统具有4个节拍电平及四相工作脉冲，其时序关系参阅下图中的M0—M3，T0—T3。



图12-1 时序图

2、实验方案:



图12-2 时序试验结构图

3、实验要求：

* 开关数据为移位器预置0001。
* 选用适当方案，设计出实验线路图。
* 设计试验步骤。
* 利用指示灯观察实验现象，写出实验报告。

4、参考器件：

计数器可以采用74LS161；译码器采用74LS138；移位寄存器采用74LS194；反相器采用74LS04。

# 实验9 七段译码设计

**1、 实验目的：**熟悉Quartus II的设计流程全过程，学习计数器的设计和硬件测试。掌握原理图的设计方法。

**2、实验原理：**4位计数器连接7段译码，多数码管进行显示控制。实验框图如图6所示。

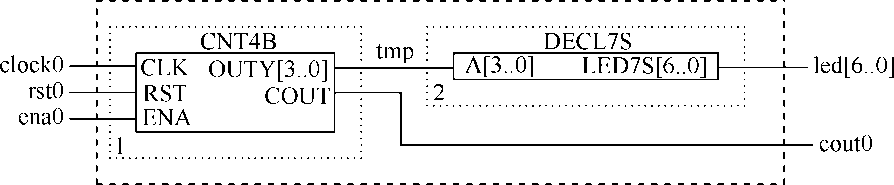


图6 原理图示意图

其中，CNT4B采用74161计数器芯片实现，DECL7S采用7448（共阳）设计。

**3、 实验内容：**

（1）设计工程文件，使实验平台工作于模式6，锁定引脚并硬件下载测试，输入引脚clock0绑定于键8，输入引脚rst0绑定于键7，清零引脚绑定于键6，输出引脚led[6..0]绑定于数码8。引脚锁定后进行编译、下载和硬件测试实验。将实验过程和实验结果写进实验报告。

(2) 实验报告：将实验原理、设计过程、硬件测试结果写进实验报告。

# 实验10 LPM\_ROM实验

参考实验示例和实验课件：/COMT\_DEMO/CHPT4/ DEMO\_44\_ROM/ 和 实验4\_4.ppt 。

参考《[程序存储器数据存储器参考资料》](../计算机组成与设计课内实验/程序存储器数据存储器参考资料.docx)

**1 实验目的：**

（1）掌握FPGA中lpm\_ROM的设置，作为只读存储器ROM的工作特性和配置方法；

（2）用文本编辑器编辑mif文件配置ROM，学习以mif格式文件加载于lpm\_ROM中；

（3）在初始化存储器编辑窗口编辑mif文件配置ROM；

（4）验证FPGA中LPM\_ROM的功能。

**2实验内容：**

实验中主要掌握三方面的内容：1、LPM\_ROM的参数设置；2、LPM\_ROM中数据的写入，即初始化文件的编写；3、LPM\_ROM的实际应用，在实验台上的调试方法。

**3实验步骤：**

参考《[程序存储器数据存储器参考资料》](../计算机组成与设计课内实验/程序存储器数据存储器参考资料.docx)中的LPM\_ROM的设计过程。下载示例工程文件（图7）至实验台上的FPGA，选择实验台模式为0，24位数据输出由数码8至数码3显示，6位地址由键2、键1输入，键1负责低4位，地址锁存时钟CLK由键8控制，每一次上升沿，将地址锁入，数码管8/7/6/5/4/3将显示ROM中输出的数据。发光管6至1显示输入的6位地址值。

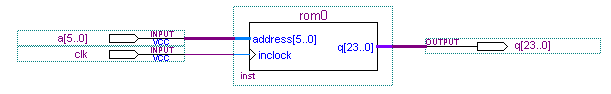


图7-1 LPM\_ROM的结构

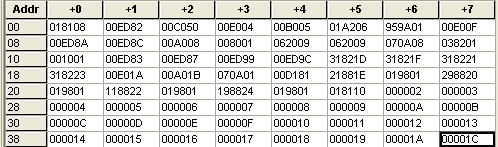


图7-2 ROM初始化文件ROM\_A.mif的内容

(4) 实验任务：实验前认真复习LPM-ROM存储器部分的有关内容；用图形编辑设计lpm\_rom。

1、要求用LPM元件库设计LPM\_ROM，地址总线宽度address[]和数据总线宽度q[]分别为6位和24位。2、建立相应的工程文件，设置lpm\_rom数据参数，lpm\_ROM配置文件的路径（ROM\_A.mif），并设置在系统ROM/RAM读写允许，以便能对FPGA中的ROM在系统读写。3、锁定输入输出引脚。4、完成全程编译。5、下载SOF文件至FPGA，改变lpm\_ROM的地址a[5..0]，外加读脉冲，通过实验台上的数码管比较读出的数据是否与初始化数据(rom4.mif中的数据)一致。6、打开QuartusII的在系统存储模块读写工具，了解FPGA中ROM中的数据，并对其进行在系统写操作。（3）记录实验数据，写出实验报告。

# 实验11 LPM\_RAM实验

参考实验示例和实验课件：/COMT\_DEMO/CHPT4t/ DEMO\_45\_RAM/ 和 实验4\_5.ppt 。

参考《[程序存储器数据存储器参考资料》](file:///F:\计组实验（新课件）\计算机组成与设计课内实验\程序存储器数据存储器参考资料.docx)。

(1) 实验目的：1、了解FPGA中RAMlpm\_ram\_dq的功能；2、掌握lpm\_ram\_dq的参数设置和使用方法；3、掌握lpm\_ram\_dq作为随机存储器RAM的仿真测试方法，工作特性和读写方法。

(2) 实验内容：在FPGA中利用嵌入式阵列块EAB可以构成存储器，lpm\_ram\_dq的结构如图8-1。数据从ram\_dp0的左边D[7..0]输入，从右边Q[7..0]输出，R/W为读/写控制信号端。当输入数据和地址准备好以后，在inclock是地址锁存时钟，当信号上升沿到来时，地址被锁存，数据写入存储单元。数据的读出控制是从A[7..0]输入存储单元地址，在CLK信号上升沿到来时，该单元数据从Q[7..0]输出。R/W是读/写控制端，低电平时进行读操作，高电平时进行写操作；CLK是读/写时钟脉冲信号；DATA[7..0]是RAM\_dq0的8位数据输入端；A[7..0]是RAM的读出和写入地址；Q[7..0]是RAM\_dq0的8位数据输出端。

(3) 实验步骤：1、按图7-1输入电路图，进行编译、引脚锁定、向FPGA配置下载；2、通过键1、键2输入RAM的8位数据（选择实验台工作模式1），键3、键4输入存储器的8位地址。键8控制读/写允许，低电平时读允许，高电平时写允许；键7（CLK0）产生读/写时钟脉冲，即生成写地址锁存脉冲，对lpm\_ram\_dq进行写/读操作；3、lpm\_ram\_dq也能加入初始化文件（这里是5\_ram.mif是后面将要用到的模型CPU执行微程序文件），注意此文件加入的路径表达和文件表达方式（图8-2）：5\_ram.mif（注意后缀mif要小写）；选择RAM的ID名取为：ram1。

实验中选择实验电路模式为NO.1，按以上方式进行验证实验。首先控制读出初始化数据，与载入的初始化文件ram\_dp1.mif中的数据进行比较，然后控制写入一些数据，再读出比较。使用在系统读写RAM的工具对其中的数据进行读写操作，设置成连续读模式，将在系统读写工具窗口的数据与实验箱上数码管上显示的数据进行对比（图8-3）。

(4) 实验要求：1、设计数据宽度和地址宽度均为8位lpm\_ram\_dq；2、设计对lpm\_ram\_dq进行测试的波形文件，完成对lpm\_ram\_dq时序仿真和硬件测试；3、利用系统读写RAM的工具对其中的数据进行读、写、修改、加载新的数据文件操作；4、写出实验报告，包括工作原理、调试和测试结果。

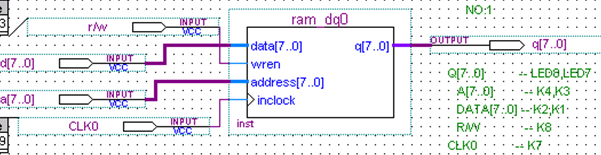


图8-1 LPM\_RAM的结构

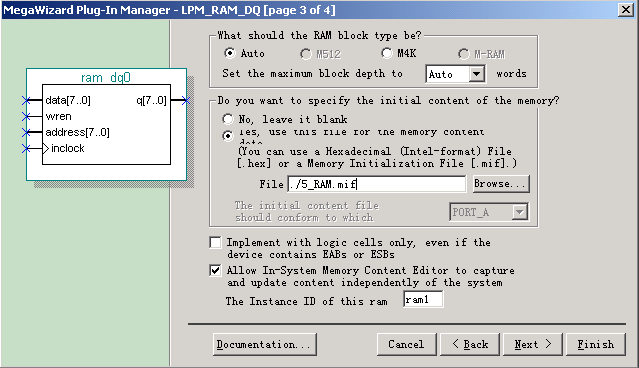


图8-2 lpm\_ram\_dq加入初始化文件和选择在系统读写RAM功能

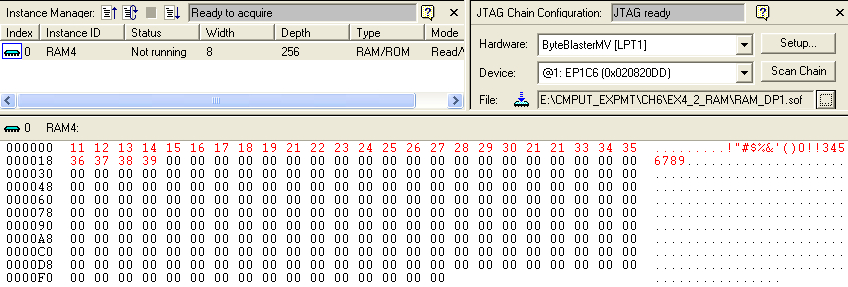


图8-3 使用在系统读写RAM的工具对lpm\_ram中的数据进行读写操作

# 实验12 RAM扩展实验

一、实验目的：

了解半导体静态随机读写存储器RAM的工作原理及其使用方法。

掌握半导体存储器的字、位扩展技术。

二、实验方案：



图9 RAM实验结构图

三、实验要求：

◆采用1K x 4 的LPM\_RAM的结构（参考实验8生成器件），构成1K x8的存储器。

* 选择五个不连续的存贮单元地址，分别存入不同内容，作单个存贮器单元的

读/写操作实验。

◆采用1K x 4 的LPM\_RAM的结构，构成2K x4的存储器。

◆必须使用译码器进行扩展（三输入都用，接开关）。

* 选择五个不连续的存贮单元地址，分别存入不同内容，作单个存贮器单元的

读/写操作实验。

* 选用适当芯片，根据各种控制信号的极性和时序要求，设计出实验线路图。
* 分别设计试验步骤。
* 使用开关进行数据加载，通过指示灯显示实验结果，记录试验现象，写出实验报告。给出字扩展试验中每片RAM芯片的地址范围。

四、参考器件：

隔离部件采用三态门TRI。

译码器采用74LS138

备注：为简化试验，地址可只用低4位（其余地址可接地）。

# 实验13 控制器实验

**1、实验内容及说明**

目前控制器设计大都采用微程序设计方法，又称存储逻辑控制器。微程序控制器电路结构如图13-1所示。它由控制存储器CROM、微程序PC计数器和微指令寄存器IR构成。

其中，微程序计数PC向控制存储器提供8位微地址，在控存读信号的作用下，读出一条长24位的微指令代码，并在打入命令CPIR的作用下，送入IR。

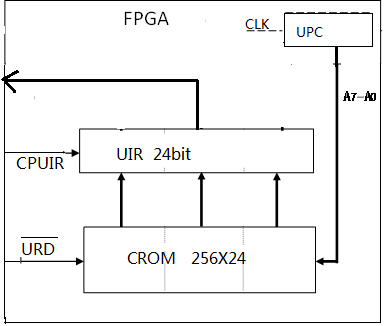


图13-1 微程序控制器框图

每当按一次脉冲键便产生一个负脉冲，该脉冲的作用是：

·作为读控存的命令。

·负脉冲当作CPIR将读出的微指令打入微指令寄存器IR。

·负脉冲的上升沿使PC＋1形成下一条微指令的地址。

·负脉冲反相后的上升沿作为寄存器打入脉冲。

微程序时序如图13-2。

P //

 //

图 13-2 微程序时序

**2、实验步骤**

（1）微程序计数器μPC的设计，完成8位具有加1功能和清除功能的计数器设计并封装，如图13-3。



图13-3 UPC的设计图

其中，CLR：清零端，，低电平有效；CLR=0时，Q7Q6Q5Q4Q3Q2Q1Q0=00000000；

LOAD：置数端，低电平有效；LOAD=0时，在CLK的上升沿，Q7Q6Q5Q4Q3Q2Q1Q0=D7D6D5D4D3D2D1D0；

当CLR=1，LOAD=1，ET=1，EP=1时，对CLK进行增1计数。

注意：本实验使用时，只有clk、CLR两引脚引出，其它引脚，ET、EP、LOAD接高电平。

（2）按图13-1完成微程序控制器的连线及引脚锁定。

\* 用单脉冲驱动μPC的计数脉冲CPPC、μRD、CPμIR。

\* 将μPC的8位输出锁定在A7－A0上。

\* 实验平台工作于模式5，将单脉冲锁定于键8，将μPC的复位端CLR锁定在键7，输出UIR的24位接数显3—数显8。

（3）设计并初始化控制存储器。

       从ROM的0号单元开始写入、写入的微程序代码随意确定。

（4）读出微指令

◆按CPU复位按键，清除微指令计数器。

         ◆按单脉冲键

         读出0号单元中的微指令代码送IR23-IR0同时显示在数显上；

         将微指令计数器PC十1为读下条微指令做准备。

        ◆连续按单脉冲键

微指令连续从ROM中读出并显示。

               注意：在读出过程中要和原先写入的代码比对看是否正确

# 实验14 综合实验

**1、实验内容及说明**

CPU综合实验电路包括运算器电路和控制器电路。图14-1给出了CPU综合实验结构框图。

运算器由三个寄存器R0、R1、R2、移位器、加法器等构成，并组装在一起构成ALU算术逻辑运算部件，参照四位补码运算器电路框图所示。

**2、实验步骤**

(1) 调用ALU模块、μPC模块及门电路按 CPU综合实验结构框图完成连线。

(2) 管脚定义：实验平台工作于模式5，ALU的输入数据a3-a0依次锁定在μIR23-μIR420上，CPR0、CPR1、CPR2依次锁定在μIR7-μIR5上，LM、DM、RM、C0依次锁定在μIR4-μIR1上，P锁定在键8上。Q3-Q0依次锁定在D4-D1上。

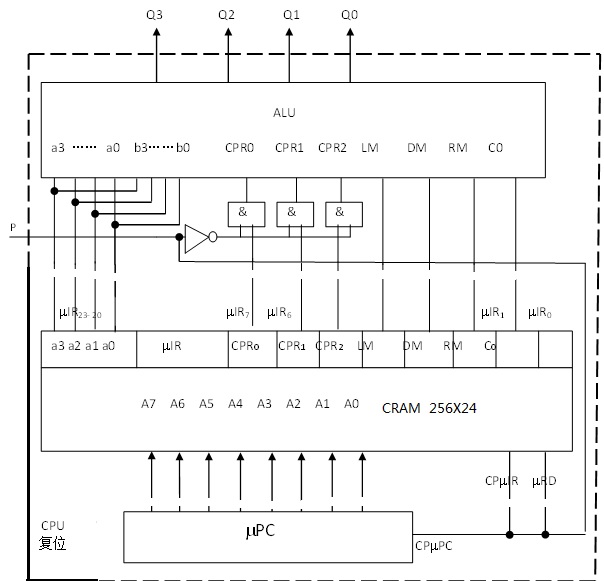


图14-1 CPU综合实验结构框图

(3) 适配、下载

(4) 编制微程序

微指令可确定如下格式：

CPR0 CPR1 CPR2

a3a2a1a0 CPR0 CPR1 CPR2 LM DM RM C0

&

&

&

P

μIR23—μIR20 μIR7 μIR6 μIR5 μIR4 ……… μIR0

将微指令格式分为两部分：前面部分μIR23～μIR20可设置数据，后面部分μIR7～μIR0可确定微命令，例：需要CPR0脉冲，该位为1，否则为0；备用位填0。

例题：编写一个0110＋1000的微程序。

寄存器分配：0110送R0、1000送R1、结果送R2。

操作步骤 微指令 说明

0 1 1 0→R0； 60 00 80H 存入控制存储器ROM的0单元。

↓

1 0 0 0→R1； 80 00 40H 存入控制存储器ROM的1单元。

↓

R0＋R1→R2； 00 00 08H 存入控制存储器ROM的2单元。

(5) 功能检查

按CPU复位键清μPC，使之指向控制存储器的0号单元。

每按一次单脉冲键，便执行一条微指令。

按第3次单脉冲键，微程序执行完毕。

运算结果应存放在R2中，并用LD3－0指示。

同学可编制多种多样的微程序来完成各种操作。

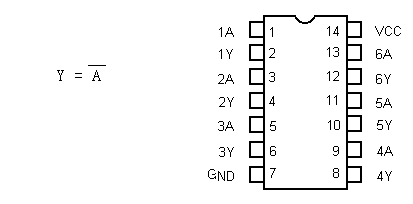
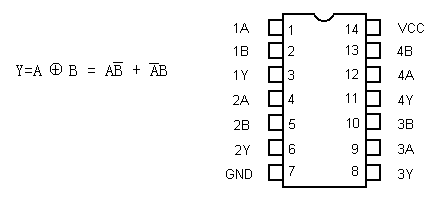
例 2×（R0＋R1）⇒ R2；

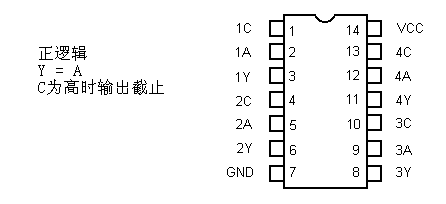
1/2（R0＋R1）⇒ R2；

……

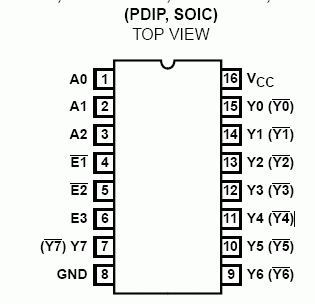
# 附录 常用实验器件引脚图

**1、**六反相器74LS04

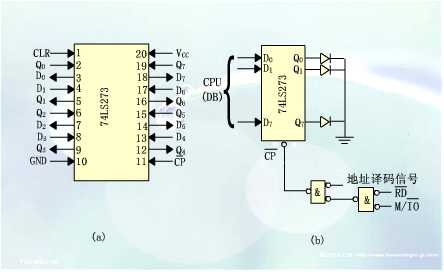
**2、**四2输入异或门74LS86

**3、**三态输出的四总线缓冲门74LS125

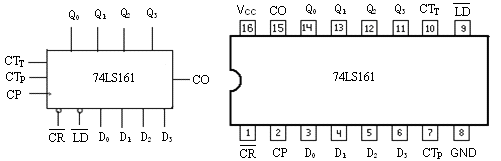
**4、3-8译码器 74LS138**

[](http://baike.baidu.com/image/2e6fa7386fc934ded5622593)

**5、8D触发器74LS273**

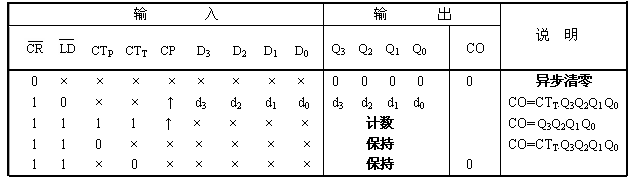


**6、74LS161（四位同步二进制加法计数器）**



CO为进位输出端。

功能表



**7、74LS194（双向移位寄存器）**



功能表：



a、b、c、d=分别为A、B、C 或D 输入端上稳定状态输入的电平。

QAO、QBO、QCO、QDO=在已建立稳定状态输入条件之前QA、QB、QC、QD 相应的电平。

QAn、QBn、QCn、QDn=在时钟最新↑跃变之前的QA、QB、QC、QD 的电平。

H=高电平 L=低电平 ×=不定 ↑=从低电平转换到高电平

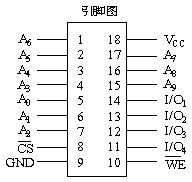
**8、74LS 283（**快速进位四位二进制全加器**）**



**功能表**



**9、INTEL2114静态存储器**



Intel2114RAM 存储器芯片为双列直插式集成电路芯片，共有 18 个引脚，引脚图如图 4-3 所示，各引脚的功能如下：

**A 0 -A 9 ：** 10 根地址信号输入引脚。

**clip_image015_0000：** 读／写控制信号输入引脚，当 clip_image015_0000为低电 平时，使输入三态门导通，信息由数据总线通过输入数据控制电路写入被选中的存储单元；反之从所选中的存储单元读出信息送到数据总线。

**I/O 1 ~ I/O 4 ：** 4 根数据输入／输出信号引脚。

**clip_image017：**片选信号，低电平有效，通常接地址译码器的输出端。