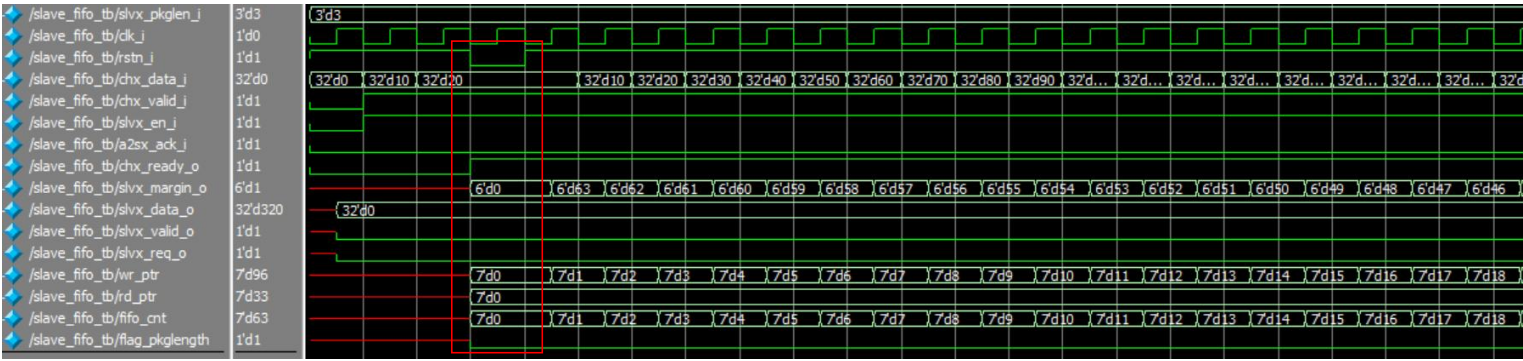
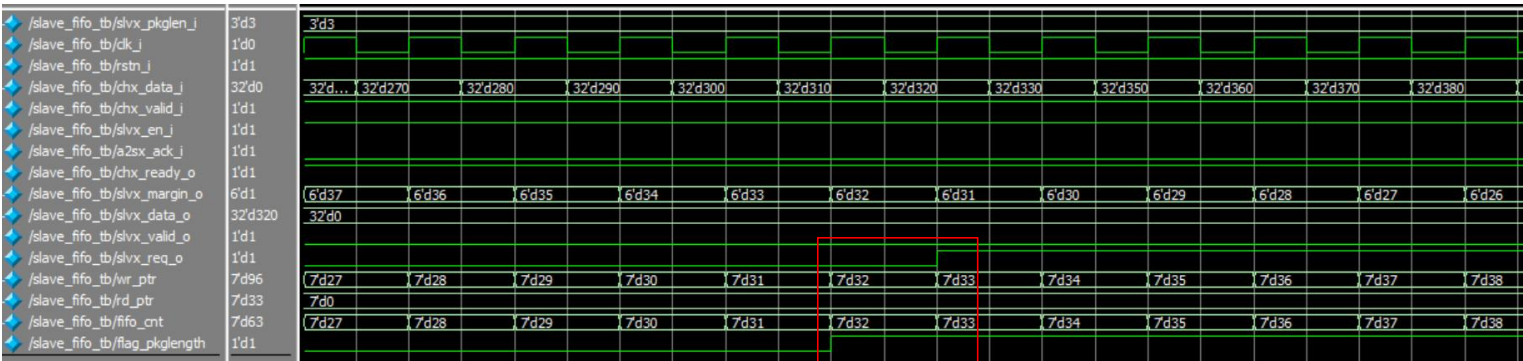


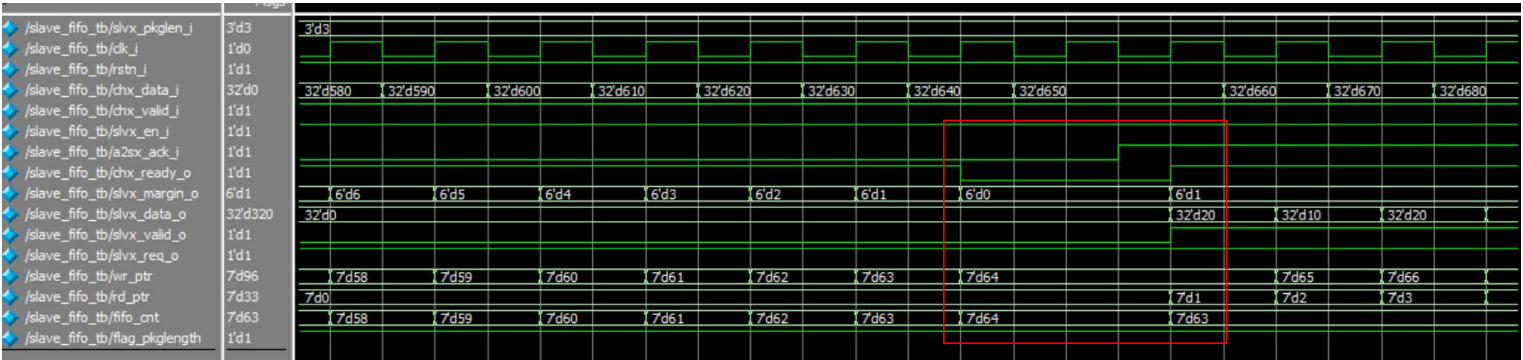
2.1.3 ModelSim 仿真结果及分析



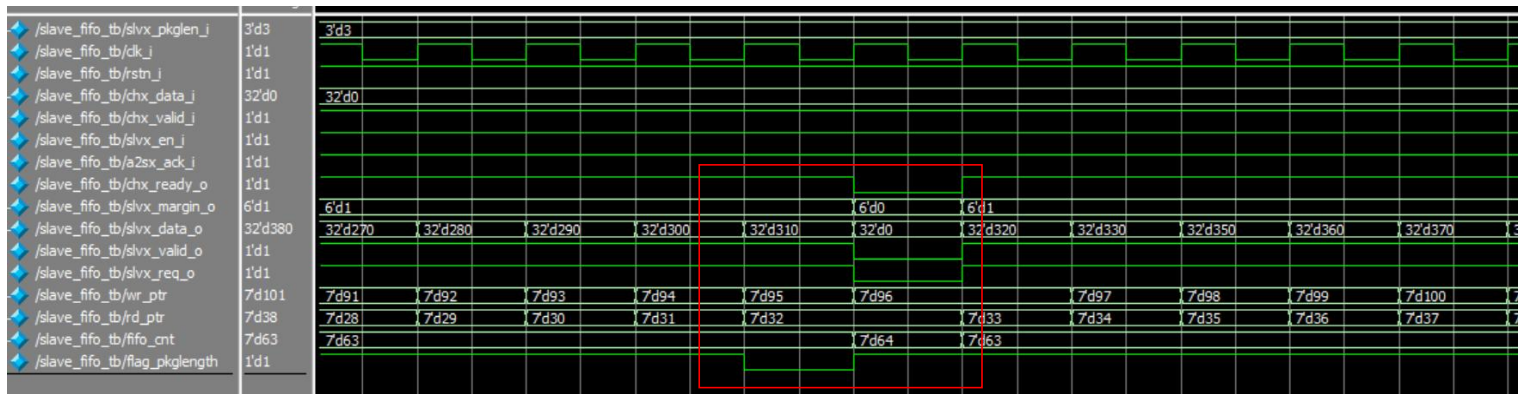
开始对模块进行复位，将读写指针和计数器均置 0，则模块发出允许接收数据的信号。通道和数据皆有效，则 FIFO 依次写入数据，写指针 wr_ptr 不断增加，FIFO 中的数据也不断增加，数据边界 margin 不断减小。读确认信号 a2sx_ack_i 和数据包指示信号 flag_pkglength 均无效，则不进行读取，读指针 rd_ptr 一直为 0，输出数据 slvx_data_o 也一直为 0。



当 FIFO 中的数据到 32 个，即一个完整数据包的长度时，数据包指示信号 flag_pkglength 立即置 1，当下一个时钟上升沿来临时，发送请求信号 slvx_req_o 置 1。



当 FIFO 中的数据到 64 个，则 FIFO 满，接收指示信号 chx_ready_o 置 0，不再写入数据，写指针 wr_ptr 不变，数据量也不变。当读确认信号 a2sx_ack_i 置 1 后，由于数据包指示信号有效，则在下一个时钟上升沿到来时，读出 FIFO 中的第一个数据 20，输出数据有效信号 slvx_valid_o 为高电平，读指针加 1，数据量变为 63，FIFO 变成非空状态，因此可以接着写入数据。此后保持写入和读取同步的状态，FIFO 中数据个数一直为 63。



当读取的数据到 32 个时，表示一个完整的数据包发送完成，flag_pkglength 立即置 0，在下一个时钟上升沿到来时发送请求信号 slvx_req_o 置 0，输出数据有效信号 slvx_valid_o 置 0，停止读取数据，输出数据为无效的 0。此时 FIFO 中又写入了一个数据，因此数据量为 64，FIFO 满，则 chx_ready_o 信号置 0。但 FIFO 中的数据量大于 32，因此一个周期后 flag_pkglength 继续置 1，slvx_req_o 和 slvx_valid_o 随即置 1。则又开始进行输出数据包的过程。