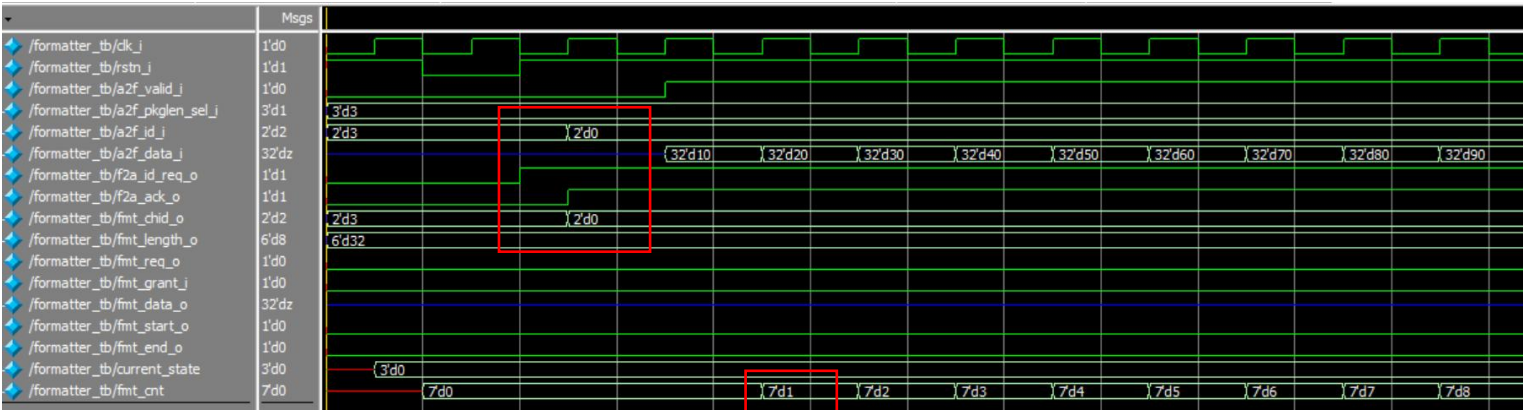
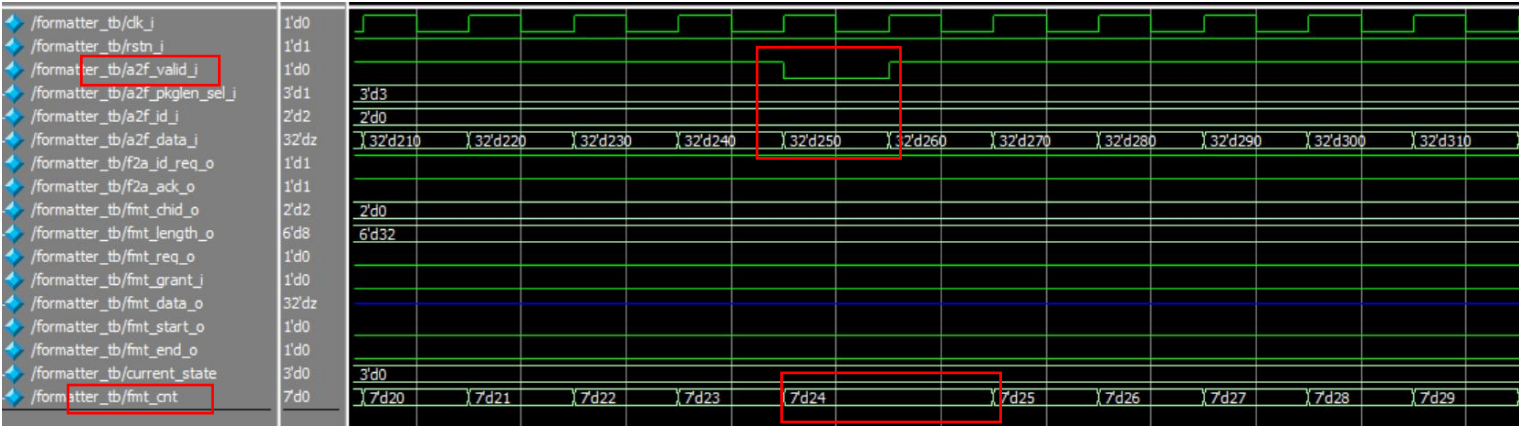


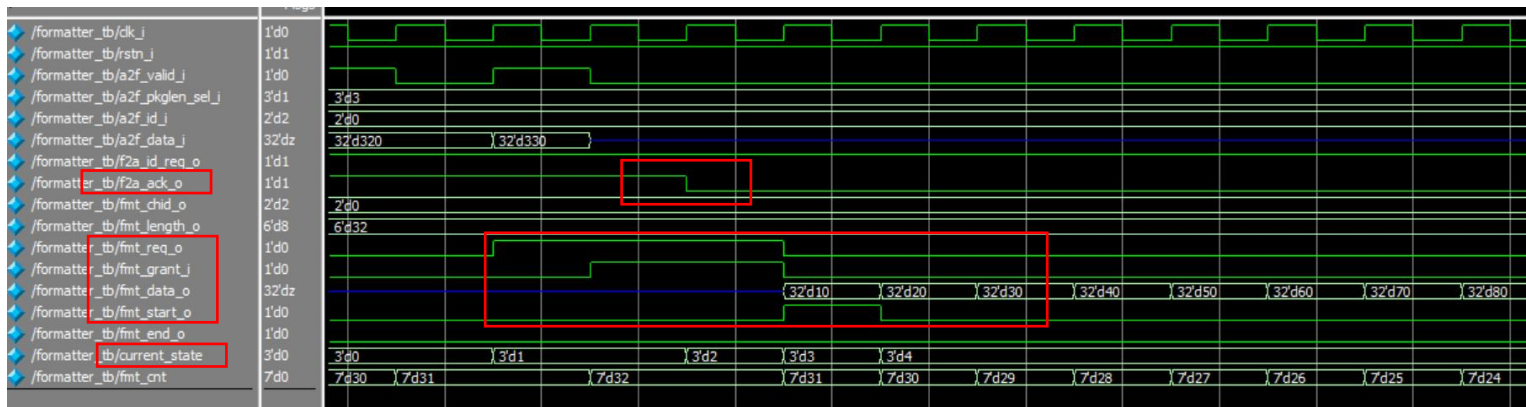
2.4.3 ModelSim 仿真结果及分析



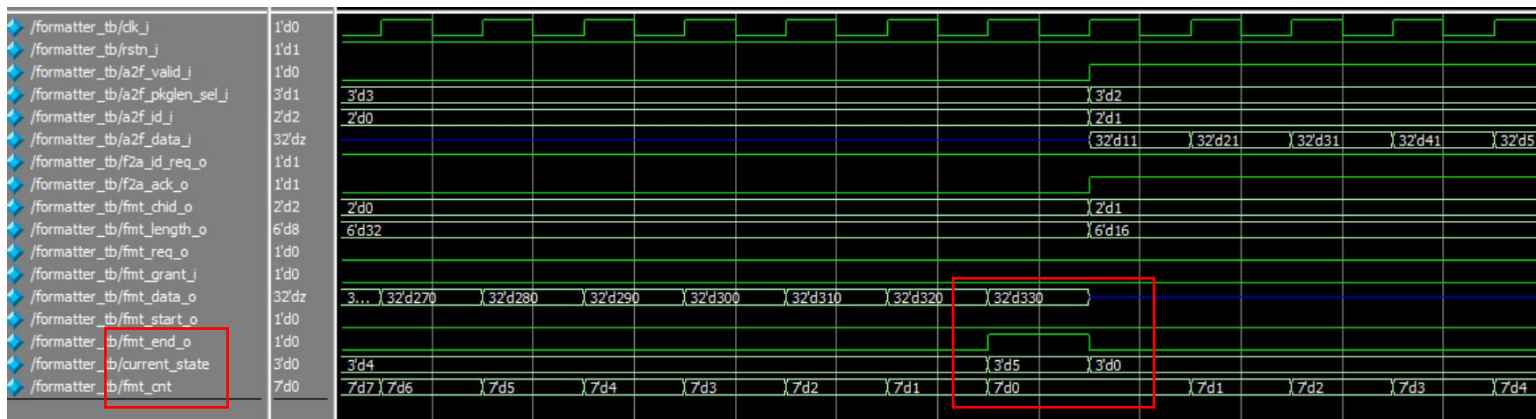
开始时进行复位，复位结束之后，由于 `fmt` 未满足，则向 `arbiter` 发出发送数据请求信号 `f2a_id_req_o`。此时 `fmt` 处于 `RECEIVE` 状态，当通道信号有效时，在下一个时钟上升沿到来时 `f2a_ack_o` 信号置高。输入数据有效，则在下一个时钟上升沿到来时开始写入数据，计数器 `fmt_cnt` 开始递增。



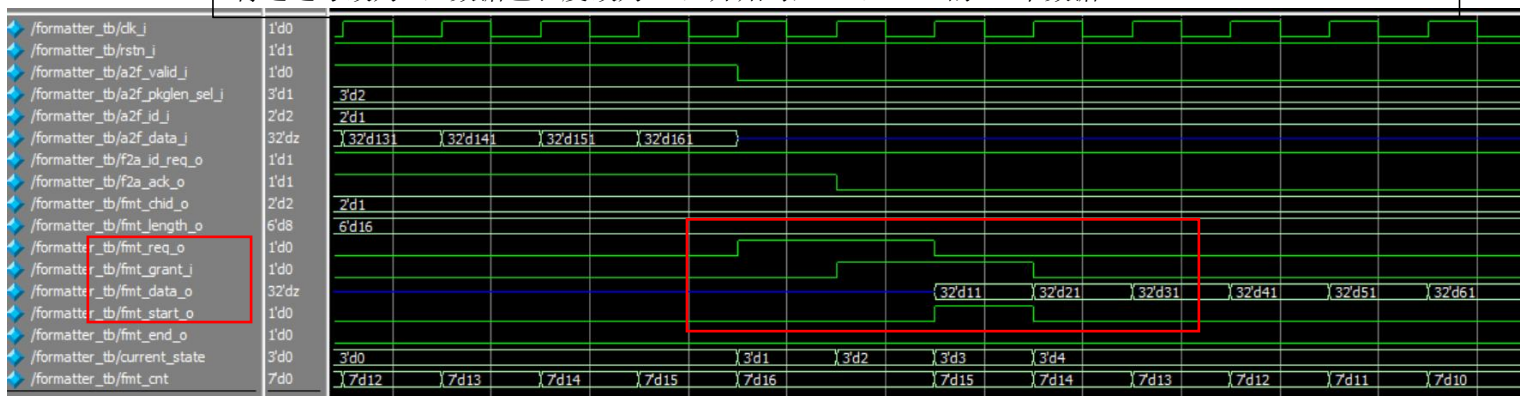
在写入数据过程中，当输入数据有效信号为 0 时，这一周期的数据 `32'd250` 不写入 `fmt`，则下一周期计数器停止计数，说明此数据未写入。



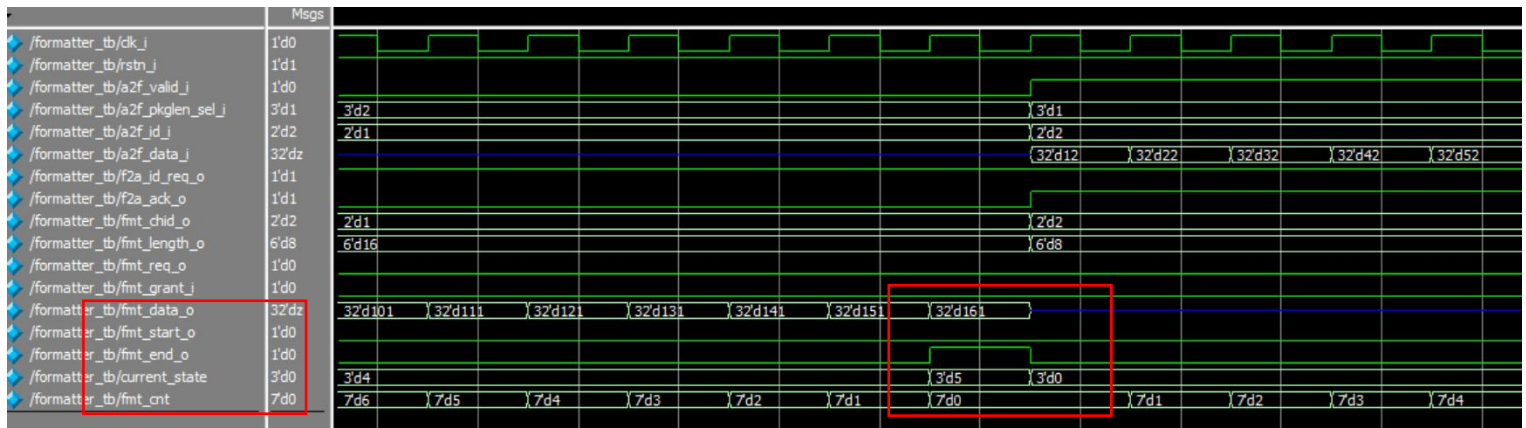
当写入 31 个数据后，下一周期状态转换为 REQ，将 fmt\_req\_o 信号置高，表明准备发送，此时若写入了 32 个数据，则下一周期状态转换为 WAIT\_GRANT，f2a\_ack\_o 信号置低，因为要进入读取状态时不允许写入。此时若 fmt\_grant\_i 信号为高电平，则下一周期状态转换为 START，再下一周期状态转换为 SEND，开始连续读取数据。



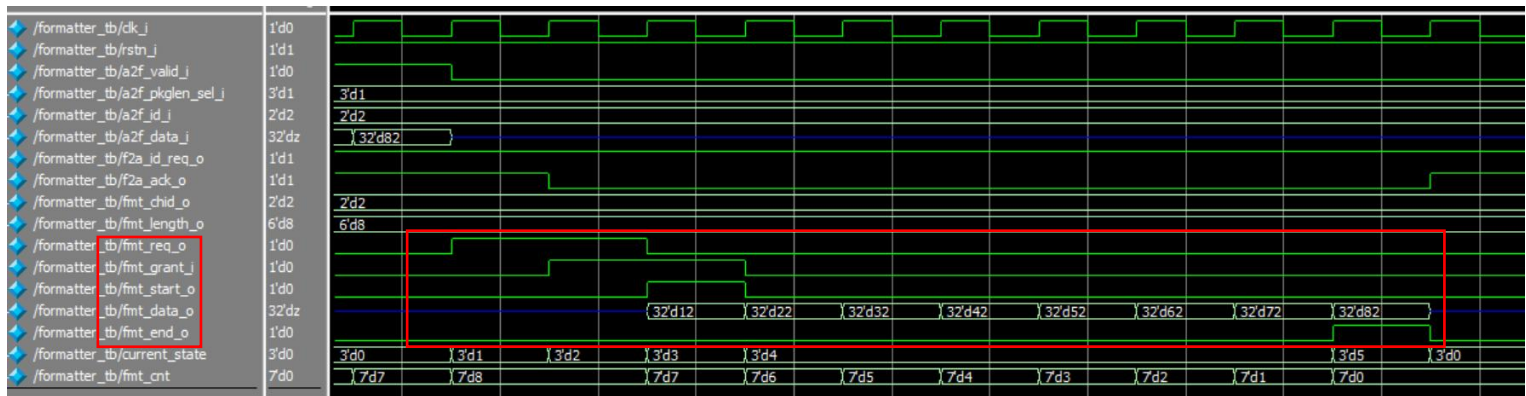
当数据包发送完毕时，fmt\_cnt 递减为 0，发送最后一个数据的同时给出一个周期的 fmt\_end\_o 信号，且此时状态转换为 END。之后状态转换为 RECEIVE，开始接收新一轮数据。测试激励此时将通道号改为 1，数据包长度改为 16，开始写入 11 至 161 的 16 个数据。



写入通道 1 的 15 个数据后，状态转换为 REQ，将 fmt\_req\_o 置高准备发送数据。当 fmt\_cnt 变为 16，状态转换为 WAIT\_GRANT，此时将 fmt\_grant 置高，下一周期状态转换为 START，开始发送数据，并同时给出一个周期的 fmt\_start\_o 高电平信号。之后状态转换为 SEND，连续发送数据。



当数据包发送完毕时，fmt\_cnt 递减为 0，发送最后一个数据的同时给出一个周期的 fmt\_end\_o 信号，且此时状态转换为 END。之后状态转换为 RECEIVE，开始接收新一轮数据。测试激励此时将通道号改为 2，数据包长度改为 8，开始写入 12 至 82 的 8 个数据。



写入通道 2 的 8 个数据后，状态转换为 REQ，将 fmt\_req\_o 置高准备发送数据。当 fmt\_cnt 变为 16，状态转换为 WAIT\_GRANT，此时将 fmt\_grant 置高，下一周期状态转换为 START，开始发送数据，并同时给出一个周期的 fmt\_start\_o 高电平信号。之后状态转换为 SEND，连续发送数据。发送到最后一个数据时，状态转换为 END，同时给出一个周期的 fmt\_end\_o 信号。