

2.2.3 ModelSim 仿真结果及分析

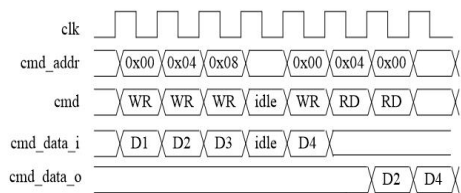
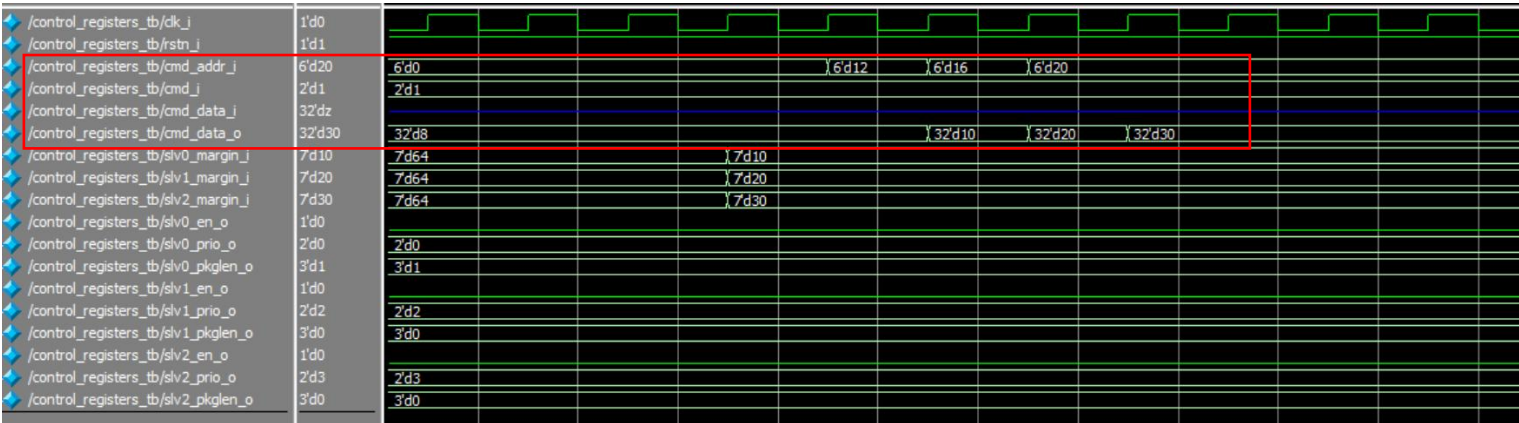


图 4 控制寄存器接口时序

根据左侧的接口时序给出测试样例，设 D1=2，D2=4，D3=6，D4=8，可以看出测试波形和给出的接口时序完全相同。具体分析：开始时进行复位，复位结束后给出地址 6'd0，数据 32'd2，写指令，则向通道 0 的控制寄存器中写入数据 32'h00000002，在下一个时钟上升沿到来时通道 0 的输出控制信号 en、prio、pkglen 作出相应变化。数据输出为 0，即不输出数据。接下来两个周期是将数据 32'd4 写入地址 6'd4 即通道 1 的控制寄存器，将数据 32'd6 写入地址 6'd8 即通道 2 的控制寄存器，相应通道的输出控制信号发生变化。闲置一个周期后，再向通道 0 的控制寄存器中写入数据 32'h00000008，通道 0 的输出控制信号 en、prio、pkglen 作出相应变化。之后两个周期是读指令，读出地址 6'd4 即通道 1 的控制寄存器的数据 32'd4、地址 6'd0 即通道 0 的控制寄存器的数据 32'd8。说明控制寄存器读写正确。



首先分别给出 3 个通道的 FIFO 余量，此时三个通道的状态寄存器被以 {25'b0, margin} 的形式赋值，三个寄存器的值分别为 32'd10、32'd20、32'd30。接着依次向输出端口 cmd_data_o 读出地址 6'd12 即通道 0 状态寄存器、地址 6'd16 即通道 1 状态寄存器、地址 6'd20 即通道 2 状态寄存器的值，均在下一个时钟上升沿来临时给出，依次为 32'd10、32'd20、32'd30，说明状态寄存器设计正确。