$N^{\underline{o}}$ de ordem:	



Mestrado Integrado em Engenharia Informática e Computação Arquitetura e Organização de Computadores Teste 1

1º ano 2017-11-28 Duração 1:45 Sem consulta

Atenção: Este teste tem 13 questões em 4 páginas, num total de 200 pontos.

Parte I — Questões de Escolha Múltipla

Cada questão tem uma resposta certa. Respostas erradas não descontam.

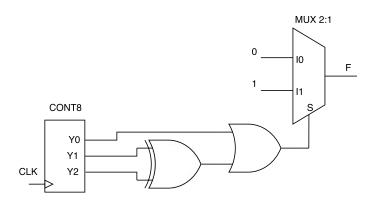
As respostas às questões de escolha múltipla devem ser assinaladas com \times na grelha seguinte.

Apenas as respostas indicadas na grelha são consideradas para efeitos de avaliação.

	Questão									
Opção	1	2	3	4	5	6	7	8	9	10
A										
В										
С										
D										

Pontos: / 100

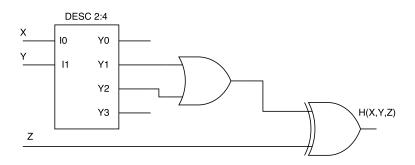
[10] 1. A saída F do circuito mostrado abaixo repete-se a cada 8 períodos do sinal de relógio CLK ligado a um contador binário.



O padrão repetido é:

- A. 01111101
- B. 01101111
- C. 10111110
- D. 01110101
- 2. Quantas linhas da tabela de verdade da função $F(X,Y,Z) = \overline{X} \cdot \overline{Y} + \overline{X} \cdot Y \cdot Z + \overline{X} \cdot Z$ estão a 1? D. 3
 - A. 5 B. 7 C. 4
- [10] 3. Considere os números sem sinal $S=10110000_2$ e $T=00110111_2$. O resultado da operação S-T é: A. 01101001₂ B. 01011001₂ C. 01111101₂ D. 01111001₂
- 4. Admita que os valores iniciais de \$t1 e \$t2 são respetivamente 0xAABB0000 e 0xBBAA0004. Qual é a posição de memória alterada pela execução da instrução sb \$t1, 4(\$t2)?
 - A. 0xAABB0004
- B. Oxbbaaooof
- C. 0xBBAA0008
- D. 0xBBAA0004

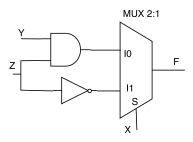
[10] 5. A figura seguinte mostra um circuito lógico combinatório que implementa a função H(X,Y,Z)usando um descodificador binário. Selecione a opção verdadeira.



- A. H(1,0,0) = 1 e H(1,0,1) = 0
- B. H(0,1,1) = 0 e H(1,1,1) = 0
- C. H(1,0,1) = 1 e H(0,1,0) = 1

- D. H(1,1,0) = 0 e H(0,1,1) = 1
- 6. Considerando 41F_H um número representado em sinal e grandeza (12 bits), o seu valor decimal é:
 - B. 1055 C. -31 D. -1055 A. 2110
- [10] 7. O conteúdo do registo \$t4 é 0x00CCBBAA. Qual é o conteúdo do registo \$t3 após a execução da instrução sll \$t3,\$t4,6?
 - A. 0x0CCBBAAO B. 0x332EEA80 C. 0xC32EEA80 D. 0x332EEA88
- [10] 8. No sistema de memória de um CPU com 16 bits de endereço e 8 bits de dados, o sinal de chip select de uma memória RAM de 8 KiB é definido por $CS = \overline{A_{15}} \cdot A_{13}$. Que endereços do CPU são mapeados nessa memória?
 - A. 2000_{H} – $5FFF_{H}$

- $B.~2000_H-7FFF_H$
- C. 2000_{H} – $3\mathrm{FFF}_{\mathrm{H}}$ e 6000_{H} – $7\mathrm{FFF}_{\mathrm{H}}$
- D. $4000_{\rm H}$ –5FFF_H e $8000_{\rm H}$ -9FFF_H
- 9. O sistema de memória de um CPU com 20 bits de endereço usa descodificação total, estando dotado de uma memória ROM de 64 KiB e uma memória RAM de 128 KiB. Indique qual combinação das funções chip select pode ser usada no sistema.
 - A. $CS_{ROM} = A_{19} \cdot A_{18} \cdot A_{17}$ e $CS_{RAM} = A_{19} \cdot \overline{A_{18}} \cdot A_{17}$
 - B. $CS_{ROM} = A_{19} \cdot A_{18} \cdot A_{17} \cdot A_{16}$ e $CS_{RAM} = A_{19} \cdot A_{18} \cdot A_{17}$
 - C. $CS_{ROM} = A_{19} \cdot A_{18} \cdot \overline{A_{17}} \cdot A_{16}$ e $CS_{RAM} = A_{19} \cdot \overline{A_{18}} \cdot A_{17}$
 - D. $CS_{ROM} = A_{19} \cdot \overline{A_{18}} \cdot A_{17} \cdot \overline{A_{16}}$ e $CS_{RAM} = A_{19} \cdot \overline{A_{18}} \cdot A_{17}$
- [10] 10. Qual é a expressão da função lógica F(X,Y,Z) implementada pelo seguinte circuito:



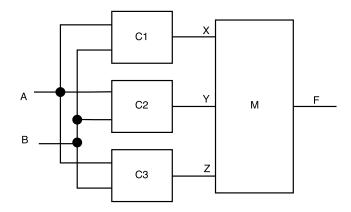
- A. $\overline{X} \cdot Y \cdot Z + X \cdot \overline{Z}$ B. $X \cdot (Y + Z)$ C. $X \cdot \overline{Z} + X \cdot Y$ D. $X \cdot Y \cdot Z + X \cdot \overline{Z}$

Fim da parte I

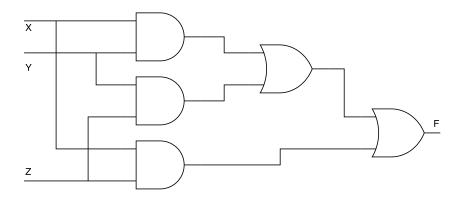
Parte II — Questões de Resposta Aberta

Atenção: Responder a cada questão numa folha separada. Justificar todas as respostas.

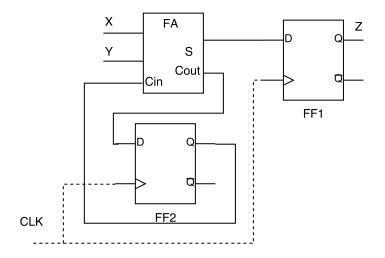
- 11. A representação do número X no formato IEEE-754 apresentada em hexadecimal é 427F0000 $_{
 m H}$.
- [15] (a) Determinar o valor de X em decimal.
- [10] (b) Determinar a representação do valor $16 \times X$ por manipulação da representação binária de X.
- [5] (c) Considerar o cálculo de $2^k \times X$, com k inteiro e maior que zero. Determinar o maior valor de k para o qual o resultado do cálculo ainda é representável em precisão simples sem *overflow*.
 - 12. A implementação de sistemas críticos leva a que muitas vezes se recorra ao uso de redundância de forma a garantir que o resultado obtido é o correto. A figura seguinte representa um sistema critico composto por 3 componentes iguais do tipo C (C1, C2, C3) e um módulo M que tem como função colmatar a falha de um dos componentes do tipo C. Para isso o módulo M recebe como entradas as saídas dos componentes do tipo C e apresenta na sua saída o valor obtido pela maioria das entradas.



- [10] (a) Apresente a tabela de verdade da função F(X, Y, Z) implementada pelo módulo M.
- [15] (b) Indique a expressão simplificada da função F(X,Y,Z) implementada pelo módulo M no formato de produto de somas. Empregue simplificação algébrica.
- [10] (c) Apresente o circuito lógico da função F(X,Y,Z) correspondente à expressão obtida na alínea anterior.
- [10] (d) Mostre que o circuito seguinte implementa a função F(X,Y,Z).



13. Considerar o circuito sequencial síncrono apresentado a seguir (em que o módulo FA representa um full adder). Inicialmente, o valor armazenado em cada flip-flop é 0.



[15] (a) As entradas recebem um novo valor a cada ciclo de acordo com a seguinte tabela (tempo crescente da esquerda para a direita):

Os valores iniciais de X e Y estão indicados na primeira coluna numérica.

Determinar os sucessivos valores da saída Z ao longo de cinco períodos de relógio e o valor final guardado em FF2. Justificar.

[10] (b) Explicar a relação geral entre a sequência de saída $Z_1, Z_2, \ldots, Z_n, Z_{n+1}$ e as sequências de entrada X_0, X_1, \ldots, X_n e Y_0, Y_1, \ldots, Y_n . Os índices indicam o período de relógio associado a cada valor (o índice 0 indica a situação inicial; $Z_0 = 0$).

Fim do enunciado.