U.PORTO
FEUP FACULDADE DE ENGENHARIA UNIVERSIDADE DO PORTO

Mestrado Integrado em Engenharia Informática e Computação

Arquitetura e Organização de Computadores
Teste 1

1º ano
2016-11-17
Duração 1:45
Sem consulta

Nome: ______________________ **Nº de estudante:** ______________

Atenção: Este teste tem 13 questões em 6 páginas, num total de 200 pontos.

Parte I — Questões de Escolha Múltipla

Cada questão tem uma resposta certa. Respostas erradas não descontam.
As respostas às questões de escolha múltipla devem ser assinaladas com × na grelha seguinte.
Apenas as respostas indicadas na grelha são consideradas para efeitos de avaliação.

	Questão									
Opção	1	2	3	4	5	6	7	8	9	10
A					×		×			
B	×		×			×				
C				×				×		×
D		×							×	

Pontos: ______ / 100

[10] 1. Interpretando $81A_H$ como um número sem sinal, o seu valor decimal é:

A. 2090 **B. 2074** C. 1050 D. 2076

[10] 2. Considere os números S = 1010111_2 e T=0111000_2. Tendo em conta que os números estão representados em sinal e grandeza com 7 bits, o resultado da operação binária S+T é:

A. Não é possível representar com 7 bits B. 0101001 C. 1001111 **D. 0100001**

[10] 3. O intervalo de números inteiros representáveis em complemento para dois com 7 bits é:

A. [-63; 63] **B. [-64; 63]** C. [0; 127] D. [-64; 64]

[10] 4. Quantas linhas da tabela de verdade da função $F(X,Y,Z) = (X+\overline{Y})\cdot(\overline{X}+Y+Z)$ estão a 1?

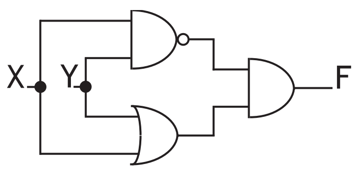
A. 3 B. 2 **C. 5** D. 6

[10] 5. Qual das seguintes expressões booleanas é equivalente a $X\cdot Y+\overline{X}\cdot Y\cdot Z$?

A. $Y\cdot(X+\overline{Y}+Z)$ B. $\overline{\overline{X\cdot Y}+\overline{\overline{X}\cdot Y\cdot Z}}$

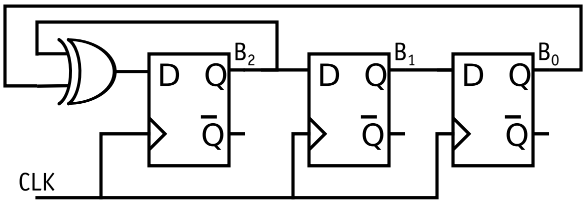
C. $(\overline{X}+\overline{Y})\cdot(X+\overline{Y}+\overline{Z})$ D. $\overline{\overline{(X\cdot Y)}\cdot\overline{(\overline{X}\cdot Y\cdot Z)}}$

[10] 6. Indique a expressão da função F realizada pelo circuito da figura.



A. $(Y+X)\cdot\overline{X}\cdot Y$ **B.** $X\oplus Y$ C. $\overline{X\cdot Y}\cdot X+Y$ D. $\overline{\overline{X\cdot Y}+(X+Y)}$

[10] 7. Considerar o circuito da figura em que inicialmente $B_2 = B_1 = 0$ e $B_0 = 1$.



Após 5 ciclos de relógio, o estado do sistema é:

A. $B_2 = 1 \quad B_1 = 0 \quad B_0 = 1$

B. $B_2 = 1 \quad B_1 = 1 \quad B_0 = 1$

C. $B_2 = 0 \quad B_1 = 1 \quad B_0 = 1$

D. $B_2 = 0 \quad B_1 = 0 \quad B_0 = 1$

[10] 8. Quantos bits tem um barramento de endereços de um banco de 64 registos de 32 bits?

A. 32 B. 64 **C. 6** D. 5

[10] 9. Um CPU tem um barramento de dados de 8 bits e um barramento de endereços de 20 bits. Pretende-se dotar o sistema de uma memória RAM de $2^{15} \times 8$ bit, cuja primeira posição corresponda ao endereço $\mathrm{D4000_H}$. Qual é o endereço da última posição assumindo descodificação total?

A. $\mathrm{DFFFF_H}$ B. $\mathrm{D7FFF_H}$ C. $\mathrm{D4FFF_H}$ **D. $\mathbf{DBFFF_H}$**

[10] 10. Um CPU tem um barramento de endereços de 18 bits e um barramento de dados de 8 bits. Supor que apenas dispõe de circuitos RAM com 64 KiB (com 8 bits por posição). Quantos circuitos RAM são necessários para dotar o sistema da maior capacidade de memória possível?

A. 8 B. 2 **C. 4** D. 16

(Continua)

Nome: ______________________ **Nº de estudante:** ____________

Parte II — Questões de Resposta Aberta

Atenção: Responder diretamente no enunciado. **Justificar** todas as respostas.

11. Dois números A e B estão representados no formato IEEE 754 (precisão simples). Os seus valores expressos em hexadecimal são:

A: $41B50000_H$ B: $C0240000_H$

[10] (a) Indique, justificando, o valor decimal do número B.

B: 1 10000000 01001000000000000000000
Sinal: 1 (o número é negativo)
Expoente: 128. Expoente real: 128 - 127 = 1
Mantissa: 1,01001000000000000000000
$1{,}01001 \times 2^1 = 10{,}1001$
Valor decimal: - $(2^1 + 2^{-1} + 2^{-4}) = -2{,}5625$

[20] (b) Realize a operação A + B (sem conversão para decimal), indicando todos os passos.

A: 0 10000011 01101010000000000000000
Sinal de A: 0 (Positivo)
Expoente de A: 131. Expoente real: 131 - 127 = 4
Mantissa de A: 1,01101010000000000000000

---

1 - Sinal: Estamos a somar um número negativo a um número positivo, portanto o sinal do resultado será o do número de maior grandeza (número A), ou seja 0 (Positivo).
2 - Diferença de expoentes: E_A - E_B = 4 - 1 = 3 (é necessário alinhar a mantissa do número de menor expoente). O expoente a usar para o resultado é o do número de maior expoente, ou seja 4.
3 - Efetuar o cálculo das mantissas (subtração): $M_R = M_A - M_B$ = 1,0110101 - 0,00101001

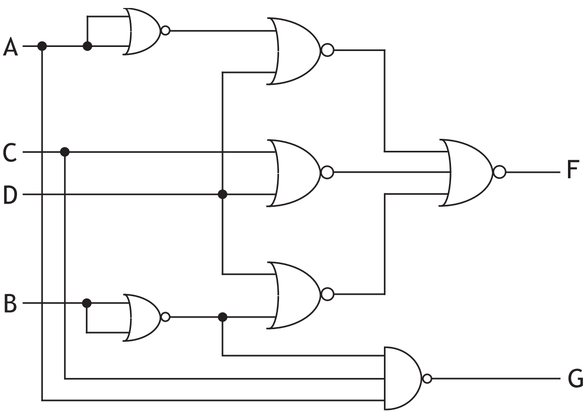
$$\begin{array}{r} 1{,}01101010 \\ -\underline{0{,}00101001} \\ 1{,}01000001 \end{array}$$

4 - Normalização: Uma vez que a mantissa do resultado já está normalizada não é necessário realizar qualquer operação de normalização, logo $E_R = 4$.
O resultado será então:
Sinal: 0
Expoente: $4 + 127 = 131 = 10000011_2$
Mantissa: 1,010011

0 10000011 01000001000000000000000

$41A08000_H$

12. O circuito seguinte realiza as funções $F(A, B, C, D)$ e $G(A, B, C)$.



[15] (a) Obtenha uma expressão simplificada da função F.

$F = \overline{\overline{\overline{A} + D} + \overline{\overline{B} + D} + \overline{C + D}} = (\overline{A} + D)\cdot(\overline{B} + D)\cdot(C + D)$

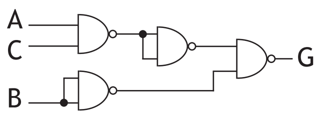
Resposta alternativa:
A partir do produto de somas obtido pode escrever-se a expressão na forma de soma de produtos. Atendendo a que D é comum a todos os termos soma, resulta:

$F = D + \overline{A}\cdot\overline{B}\cdot C$

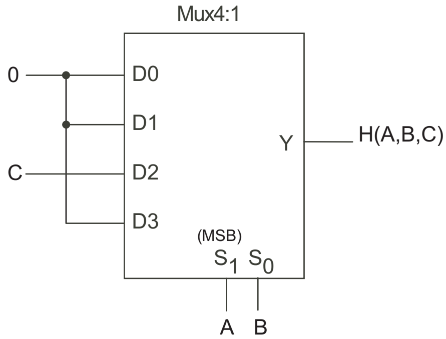
[10] (b) Mostre como realizar a função G usando portas NAND com apenas duas entradas.

$G = \overline{A\cdot C\cdot\overline{B + B}} = \overline{\overline{\overline{A\cdot C}}\cdot\overline{B\cdot B}}$

A expressão mostra que são necessárias quatro portas NAND de duas entradas, resultando o circuito lógico seguinte.



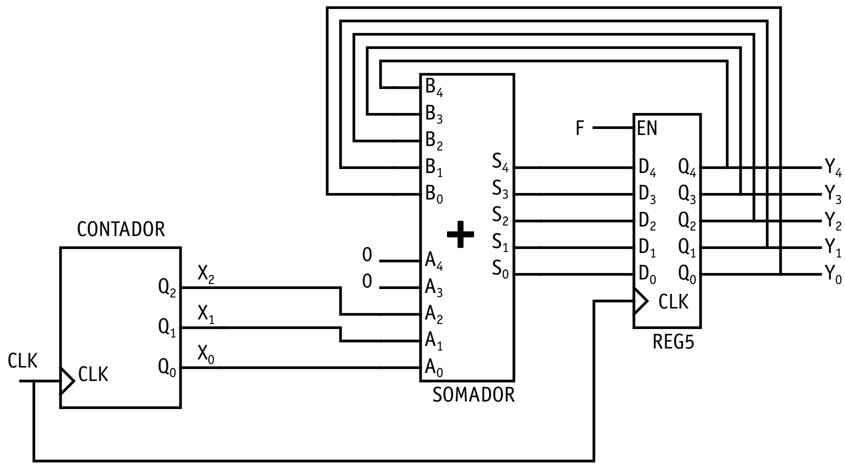
[10] (c) A figura mostra um circuito com um multiplexador de 4 para 1. Mostre qual a relação entre as funções $H(A,B,C)$ e $G(A,B,C)$.



O multiplexador realiza a função $H(A,B,C)$ que apenas toma o valor 1 se A=1, B=0 e C=1. Para as restantes combinações das entradas $H = 0$. Daqui resulta $H = A \cdot C \cdot \overline{B}$. Como $G = \overline{A \cdot C \cdot \overline{B}}$, conclui-se que $H = \overline{G}$.

Resposta alternativa:
Construir a tabela de verdade das funções H e G e concluir que elas têm valores opostos.

13. Considerar o circuito sequencial indicado na figura.



[15] (a) Inicialmente, $X_2 = X_1 = X_0 = 0$ e $Y_4 = Y_3 = Y_2 = Y_1 = Y_0 = 0$. Determinar o valor do registo $(Y_4Y_3Y_2Y_1Y_0)$ após 12 flancos ativos do sinal de relógio `CLK` com $F = 1$. Justificar a resposta.

O contador gera a sequência de valores (um por ciclo): 0, 1, 2, 3, 4, 5, 6, 7, 0, ...
O circuito guarda no registo o resultada da soma do valor anterior do registo e o valor proveniente do contador: i.e., o circuito acumula os valores 0, 1, 2, 3, 4, 5, 6, 7, 0, 1, 2, e 3, cujo total é 34 (em binário 100010_2).
Contudo, o registo tem apenas 5 bits (valor máximo: 31_{10}=11111_2), pelo que se perde o perde o bit mais significativo da soma. O número que fica armazenado é $34 - 32 = 2$: $(Y_4Y_3Y_2Y_1Y_0) = (00010)$.

[10] (b) O circuito foi alterado para ter $F(X_2, X_1, X_0) = X_2 \cdot \overline{X_1} + X_0$. Inicialmente, $X_2 = X_1 = X_0 = 0$ e $Y_4 = Y_3 = Y_2 = Y_1 = Y_0 = 0$. Determinar o valor do registo após 10 flancos ativos do sinal de relógio `CLK`. Justificar a resposta.

O registo só é alterado quando $F = 1$ (entrada de habilitação): neste caso, o registo recebe a soma do seu valor atual com o valor produzido pelo contador. Portanto, esta versão acumula números que são ímpares ($X_0 = 1$) (i.e., 1, 3, 5 e 7) ou aqueles cuja representação em binário tem a forma (10−), i.e., 4 e 5.
Portanto, dos 10 números gerados pelo contador, o circuito vai acumular os valores 1, 3, 4, 5, 7, e 1, o que dá 21.
$(Y_4Y_3Y_2Y_1Y_0) = (10101)$.

[10] (c) Apresentar a implementação de uma nova função $F(X_2, X_1, X_0)$ que apenas deixa acumular valores que, na representação binária (X_2, X_1, X_0), tenham exatamente um bit a 1. A implementação deve usar um *multiplexer* 4:1 e inversores (se necessário).

A tabela

X_2	X_1	X_0	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

leva à realização