Mestrado Integrado em Engenharia Informática e Computação

Arquitetura e Organização de Computadores

Teste 1

1º ano
2017-11-28
Duração 1:45
Sem consulta

Nome: ____________________ **Nº de estudante:** __________

Atenção: Este teste tem 13 questões em 6 páginas, num total de 200 pontos.

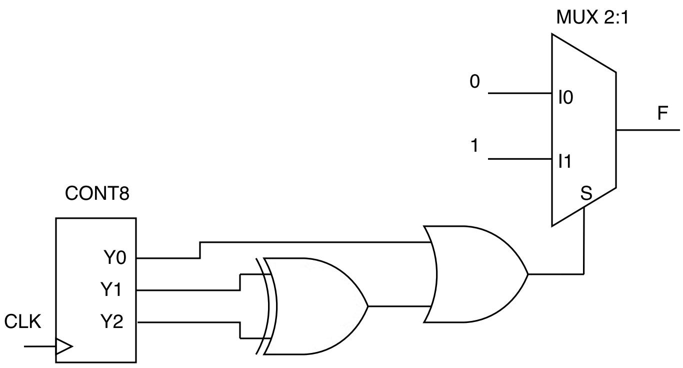
Parte I — Questões de Escolha Múltipla

Cada questão tem uma resposta certa. Respostas erradas não descontam.
As respostas às questões de escolha múltipla devem ser assinaladas com × na grelha seguinte.
Apenas as respostas indicadas na grelha são consideradas para efeitos de avaliação.

	Questão									
Opção	1	2	3	4	5	6	7	8	9	10
A	×				×					×
B						×	×			
C				×				×	×	
D		×	×							

Pontos: ____ / 100

[10] 1. A saída F do circuito mostrado abaixo repete-se a cada 8 períodos do sinal de relógio `CLK` ligado a um contador binário.



O padrão repetido é:

A. 01111101 B. 01101111 C. 10111110 D. 01110101

[10] 2. Quantas linhas da tabela de verdade da função $F(X,Y,Z) = \overline{X}\cdot\overline{Y} + \overline{X}\cdot Y\cdot Z + \overline{X}\cdot Z$ estão a 1?

A. 5 B. 7 C. 4 **D. 3**

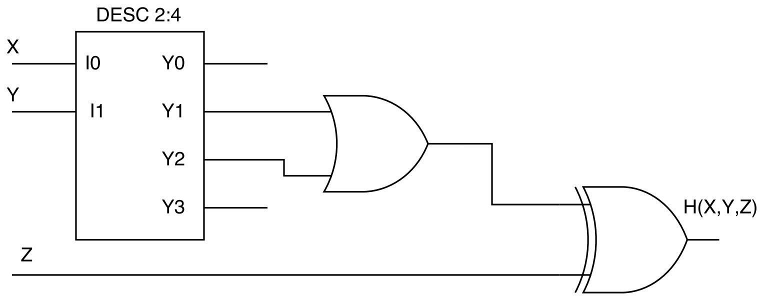
[10] 3. Considere os números sem sinal S=10110000_2 e T=00110111_2. O resultado da operação S-T é:

A. 01101001_2 B. 01011001_2 C. 01111101_2 **D. 01111001_2**

[10] 4. Admita que os valores iniciais de `$t1` e `$t2` são respetivamente `0xAABB0000` e `0xBBAA0004`. Qual é a posição de memória alterada pela execução da instrução `sb $t1, 4($t2)`?

A. `0xAABB0004` B. `0xBBAA000F` **C.** `0xBBAA0008` D. `0xBBAA0004`

[10] 5. A figura seguinte mostra um circuito lógico combinatório que implementa a função $H(X, Y, Z)$ usando um descodificador binário. Selecione a opção verdadeira.



A. $H(1,0,0) = 1$ **e** $H(1,0,1) = 0$
B. $H(0,1,1) = 0$ e $H(1,1,1) = 0$
C. $H(1,0,1) = 1$ e $H(0,1,0) = 1$
D. $H(1,1,0) = 0$ e $H(0,1,1) = 1$

[10] 6. Considerando $41F_H$ um número representado em sinal e grandeza (12 bits), o seu valor decimal é:

A. 2110 **B. 1055** C. -31 D. -1055

[10] 7. O conteúdo do registo `$t4` é `0x00CCBBAA`. Qual é o conteúdo do registo `$t3` após a execução da instrução `sll $t3,$t4,6` ?

A. `0x0CCBBAA0` **B.** `0x332EEA80` C. `0xC32EEA80` D. `0x332EEA88`

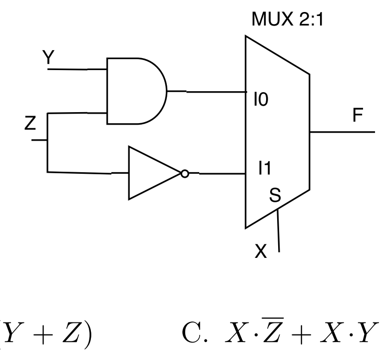
[10] 8. No sistema de memória de um CPU com 16 bits de endereço e 8 bits de dados, o sinal de *chip select* de uma memória RAM de 8 KiB é definido por $CS = \overline{A_{15}} \cdot A_{13}$. Que endereços do CPU são mapeados nessa memória?

A. 2000_H–$5FFF_H$
B. 2000_H–$7FFF_H$
C. 2000_H–$3FFF_H$ e 6000_H–$7FFF_H$
D. 4000_H–$5FFF_H$ e 8000_H-$9FFF_H$

[10] 9. O sistema de memória de um CPU com 20 bits de endereço usa descodificação total, estando dotado de uma memória ROM de 64 KiB e uma memória RAM de 128 KiB. Indique qual combinação das funções *chip select* pode ser usada no sistema.

A. $CS_{ROM} = A_{19} \cdot A_{18} \cdot A_{17}$ e $CS_{RAM} = A_{19} \cdot \overline{A_{18}} \cdot A_{17}$
B. $CS_{ROM} = A_{19} \cdot A_{18} \cdot A_{17} \cdot A_{16}$ e $CS_{RAM} = A_{19} \cdot A_{18} \cdot A_{17}$
C. $\mathbf{CS_{ROM}} = A_{19} \cdot A_{18} \cdot \overline{A_{17}} \cdot A_{16}$ **e** $\mathbf{CS_{RAM}} = A_{19} \cdot \overline{A_{18}} \cdot A_{17}$
D. $CS_{ROM} = A_{19} \cdot \overline{A_{18}} \cdot A_{17} \cdot \overline{A_{16}}$ e $CS_{RAM} = A_{19} \cdot \overline{A_{18}} \cdot A_{17}$

[10] 10. Qual é a expressão da função lógica $F(X, Y, Z)$ implementada pelo seguinte circuito:



A. $\overline{X} \cdot Y \cdot Z + X \cdot \overline{Z}$ B. $X \cdot (Y + Z)$ C. $X \cdot \overline{Z} + X \cdot Y$ D. $X \cdot Y \cdot Z + X \cdot \overline{Z}$

Fim da parte I

Parte II — Questões de Resposta Aberta

Atenção: Responder a cada questão numa folha separada. Justificar todas as respostas.

11. A representação do número X no formato IEEE-754 apresentada em hexadecimal é $\texttt{427F0000}_\texttt{H}$.

[15] (a) Determinar o valor de X em decimal.

> A representação de X em notação binária é: `0100 0010 0111 1111 0000 0000 0000 0000`. Portanto:
>
> - Sinal: 0 (positivo);
> - Expoente: 10000100_2 (decimal: 132);
> - Expoente real: 132 - 127 = 5;
> - Mantissa: 1,1111111000...;
> - Valor final: Deslocando a vírgula 5 casas para a direita obtém-se $111111{,}11_2$, que em decimal é 63,75.

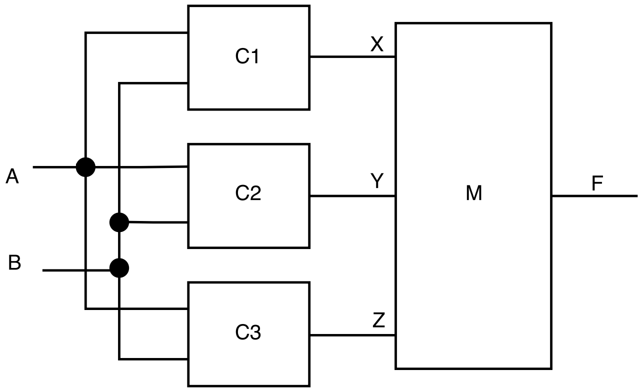
[10] (b) Determinar a representação do valor $16 \times X$ por manipulação da representação binária de X.

> Multiplicar por $16 = 2^4$ é o mesmo que aumentar o expoente em 4 unidades. Logo, o expoente codificado é 136 (binário: 10001000_2).
> Assim, o número pedido tem a representação no formato IEEE-754
>
> `0100 0100 0111 1111 0000 0000 0000 0000`
>
> Representando em hexadecimal tem-se $\texttt{447F0000}_\texttt{H}$.

[5] (c) Considerar o cálculo de $2^k \times X$, com k inteiro e maior que zero. Determinar o maior valor de k para o qual o resultado do cálculo ainda é representável em precisão simples sem *overflow*.

> O expoente (codificado) máximo representável é 254 (255 é um expoente reservado para representar exceções). Logo, o valor máximo de k é $254 - 132 = 122$.

12. A implementação de sistemas críticos leva a que muitas vezes se recorra ao uso de redundância de forma a garantir que o resultado obtido é o correto. A figura seguinte representa um sistema critico composto por 3 componentes iguais do tipo C (C1, C2, C3) e um módulo M que tem como função colmatar a falha de um dos componentes do tipo C. Para isso o módulo M recebe como entradas as saídas dos componentes do tipo C e apresenta na sua saída o valor obtido pela maioria das entradas.



[10] (a) Apresente a tabela de verdade da função $F(X, Y, Z)$ implementada pelo módulo M.

A tabela de verdade da função $F(X, Y, Z)$ pode ser determinada diretamente do enunciado:

X	Y	Z	F	
0	0	0	0	$\leftarrow$ 3 zeros
0	0	1	0	$\leftarrow$ 2 zeros
0	1	0	0	$\leftarrow$ 2 zeros
0	1	1	1	$\leftarrow$ 2 uns
1	0	0	0	$\leftarrow$ 2 zeros
1	0	1	1	$\leftarrow$ 2 uns
1	1	0	1	$\leftarrow$ 2 uns
1	1	1	1	$\leftarrow$ 3 uns

[15] (b) Indique a expressão simplificada da função $F(X, Y, Z)$ implementada pelo módulo M no formato de produto de somas. Empregue simplificação algébrica.

Como se pretende obter a expressão num produto de somas, obtém-se a expressão não simplificada diretamente a partir das linhas da tabela de verdade para a s quais $F = 0$.
Logo: $F(X,Y,Z) = (X+Y+Z)\cdot(X+Y+\overline{Z})\cdot(X+\overline{Y}+Z)\cdot(\overline{X}+Y+Z)$

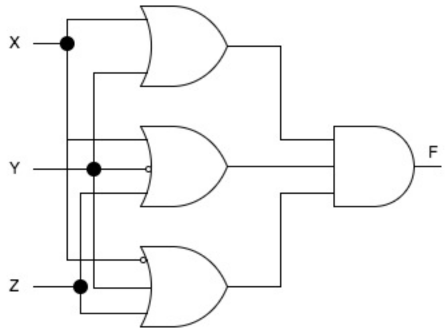
$$
\begin{array}{rcll}
F(X,Y,Z) & = & \big((X+Y)+(Z\cdot\overline{Z})\big)\cdot(X+\overline{Y}+Z)\cdot(\overline{X}+Y+Z) & \text{distributividade} \\
& = & (X+Y)\cdot(X+\overline{Y}+Z)\cdot(\overline{X}+Y+Z) & \text{complemento, identidade} \\
& = & (Y+X\cdot(\overline{X}+Z))\cdot(X+\overline{Y}+Z) & \text{colocar } Y \text{ em evidência} \\
& = & (Y+X\cdot Z)\cdot(X+\overline{Y}+Z) & \\
& = & (X+Y)\cdot(Y+Z)\cdot(X+\overline{Y}+Z) & \text{distributividade} \\
& = & (X+Y)\cdot\big(Z+Y\cdot\big(X+\overline{Y}\big)\big) & \text{colocar } Z \text{ em evidência} \\
& = & (X+Y)\cdot\big(Z+(X\cdot Y+\overline{Y}\cdot Y)\big) & \\
& = & (X+Y)\cdot(Z+X\cdot Y) & \text{compl., ident., distrib.} \\
& = & (X+Y)\cdot(Z+X)\cdot(Y+Z) & \text{produto de somas simplificado}
\end{array}
$$

Outra alternativa seria replicar o termo $(X+Y+Z)$ duas vezes e simplificar cada um desses termos com um dos termos restantes da expressão (como nos primeiros passos da solução acima):

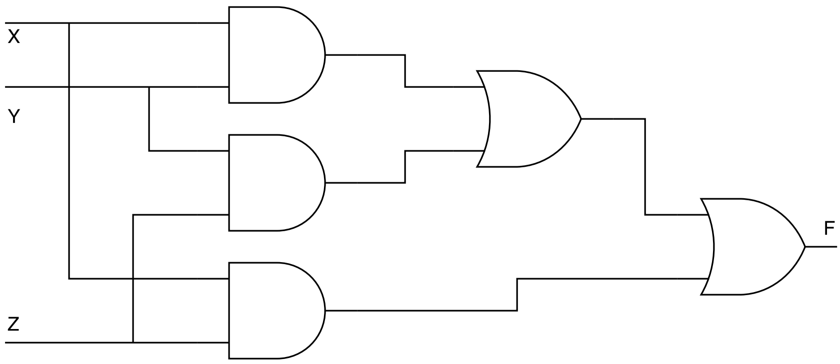
$$F(X,Y,Z) = (X+Y+Z)\cdot(X+Y+\overline{Z})\cdot(X+Y+Z)\cdot(X+\overline{Y}+Z)\cdot(X+Y+Z)\cdot(\overline{X}+Y+Z)$$

[10] (c) Apresente o circuito lógico da função $F(X, Y, Z)$ correspondente à expressão obtida na alínea anterior.

O circuito obtido a partir da expressão simplificada é:



[10] (d) Mostre que o circuito seguinte implementa a função $F(X, Y, Z)$.



Do circuito, determina-se que a função realizada pelo circuito é

$$F_c(X, Y, Z) = ((X \cdot Y) + (Y \cdot Z)) + (X \cdot Z) = X \cdot Y + Y \cdot Z + X \cdot Z.$$

A expressão é uma soma de produtos. Por isso, a condição $F_c(X, Y, Z) = 1$ verifica-se para as seguintes combinações de valores de entrada:

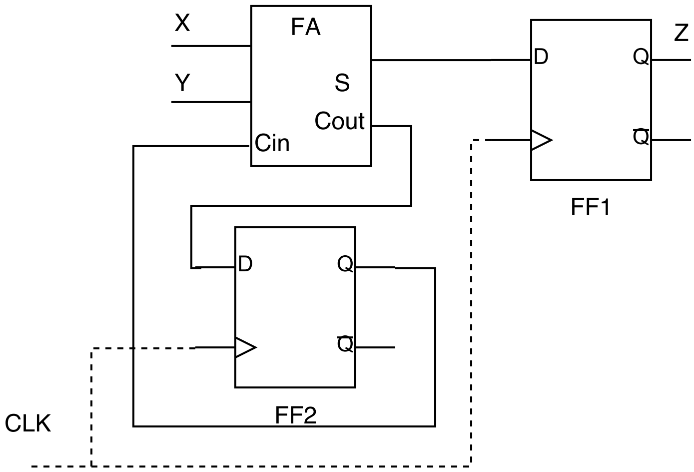
- $X = Y = 1$;
- $Y = Z = 1$;
- $X = Z = 1$.

Assim, a função $F_c = 1$ para os triplos (X, Y, Z) seguintes:

- $(1, 1, 0)$
- $(1, 1, 1)$
- $(0, 1, 1)$
- $(1, 0, 1)$

Comparando com a tabela de verdade de $F(X, Y, Z)$, verifica-se que ambas as funções assumem o valor 1 exatamente para as mesmas combinações de valores de entrada, i.e., as funções são equivalente.

13. Considerar o circuito sequencial síncrono apresentado a seguir (em que o módulo `FA` representa um *full adder*). Inicialmente, o valor armazenado em cada *flip-flop* é 0.



[15] (a) As entradas recebem um novo valor a cada ciclo de acordo com a seguinte tabela (tempo crescente da esquerda para a direita):

X	1	0	1	0	1
Y	0	1	1	1	0

Os valores iniciais de X e Y estão indicados na primeira coluna numérica.

Determinar os sucessivos valores da saída Z ao longo de cinco períodos de relógio e o valor final guardado em `FF2`. Justificar.

Com os valores iniciais indicados ($X_0 = 1$, $Y_0 = 0$, $Z_0 = 0$ e $Cin_0 = 0$) tem-se $S_0 = 1$ e $Cout_0 = 0$. Após a primeira transição do sinal de relógio resulta $Z_1 = 1$ e $Cin_1 = 0$. Sistematizando, verifica-se que a saída Z é a soma algébrica dos valores de X, Y e Cin existentes antes da transição do relógio.

Na tabela seguinte indicam-se nas linhas 3 e 4 os valores de S e $Cout$ (saídas do *full adder*). São estes valores que os *flip-flops* assumem após cada transição do sinal de relógio (linhas 5 e 6).

X	1	0	1	0	1	
Y	0	1	1	1	0	
S	1	1	0	0	0	
$Cout$	0	0	1	1	1	
Z	0	1	1	0	0	0
Cin	0	0	0	1	1	1

O valor final em FF2 é 1 (último *carry-out* ocorrido).

[10] (b) Explicar a relação geral entre a sequência de saída $Z_1, Z_2, \ldots, Z_n, Z_{n+1}$ e as sequências de entrada $X_0, X_1, \ldots, X_n$ e $Y_0, Y_1, \ldots, Y_n$. Os índices indicam o período de relógio associado a cada valor (o índice 0 indica a situação inicial; $Z_0 = 0$).

Da análise feita na alínea anterior conclui-se que em cada ciclo de relógio i tem-se $Z_{i+1} = X_i \oplus Y_i \oplus Cin_i$ ($0 \leq i < 5$). Portanto, $Z_1, Z_2, \ldots, Z_n, Z_{n+1} = X_0, X_1, \ldots, X_n + Y_0, Y_1, \ldots, Y_n$.

Fim do enunciado.