



FPGA 深度学习加速平台的控制台程序开发

合作企业：上海星灯智能科技有限公司

指导教师：戚正伟

项目组成员：庞华 蔡雨凡



上海交通大学

SHANGHAI JIAO TONG UNIVERSITY



1

项目简介

2

项目进展情况

3

项目特色与当前成果

4

项目过程中遇到的问题

5

下一步研究计划





1

项目简介

2

项目进展情况

3

项目特色与当前成果

4

项目过程中遇到的问题

5

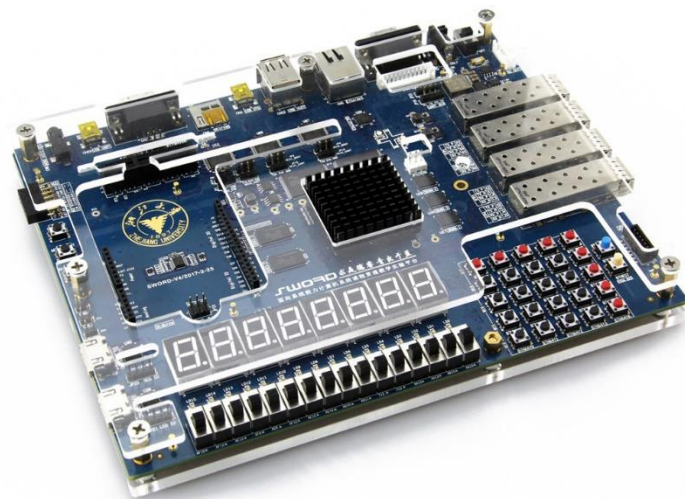
下一步研究计划



项目背景



- 上海星灯智能公司以Xilinx公司的Kintex-7系列FPGA为核心开发了一系列名为SWORD的开发硬件。针对这套硬件，公司已经设计了一款基础的FPGA控制软件，但目前只能实现一些基础的控制与传输功能。



- 公司与学校开展项目合作，希望能够在原有软件的基础上，将其扩展为功能更加完整的控制台程序，构建更为完善的深度学习加速方案，实现网络加载程序、硬件自测、硬件资源虚拟化等较为高级的功能。

项目研究方向



- 深度学习以人工神经网络为基础，而其中尤以卷积神经网络(一种深度前馈人工神经网络)运用最为广泛。
- 本项目以Xilinx公司提供的，适用于K7系列FPGA开发的集成开发环境(IDE)——Xilinx vivado为基础，编写基本的verilog代码，将其烧录到FPGA开发板上，搭建基本的深度学习环境；
- 之后，针对当前需要实现的功能，在已有代码的基础上加以完善，实现如图像识别等硬件功能；
- 之后，在原有软件的基础上对新的功能进行封装，构建应用范围更广的FPGA应用平台，开发功能完善的深度学习控制台程序。



The screenshot shows the SWORD website with a dark header and a blue footer. The main content area has a dark background with a laptop image. The header includes the SWORD logo and a navigation menu. The main heading is 'Simple While Organic aRc Design'. Below it, there are three lines of text and a '详细了解' button. The footer is blue and contains three columns, each with an icon, a title, and a description.

SWORD

首页 新闻 硬件 课程 出版物 Wiki 代码 关于

Simple While Organic aRc Design

SWORD是一种计算机系统能力培养方法

SWORD展示了ENIAC以降计算机体系结构发展历程

SWORD支持今后AI推动的计算机体系结构演进方向

[详细了解](#)



硬件平台

SWORD硬件平台当前演进到了第四代，即SWORD-V4，是一款基于FPGA的开发平台



处理器内核

SWORD支持众多处理器内核架构，包括：ZJCore、MIPSfpga、OpenSPARC、RISC-V



操作系统

OS层面，SWORD支持多种操作系统，包括：ZJUNIX、Linux、uCOS等

SWORD开发平台官方网站

链接：<http://sword.org.cn/>

tst_out_inv - [C:/Subcases/EC/impl/tst_out_inv/tst_out_inv.xpr] - Vivado 2013.2

File Edit Flow Tools Window Layout View Help

I/O Planning

Flow Navigator

Project Manager

- Project Settings
- Add Sources
- IP Catalog

IP Integrator

- Create Block Design
- Open Block Design
- Generate Block Design

Simulation

- Simulation Settings
- Run Simulation

RTL Analysis

- Open Elaborated Design

Synthesis

- Synthesis Settings
- Run Synthesis
- Open Synthesized Design

Implementation

- Implementation Settings
- Run Implementation
- Implemented Design
- Edit Timing Constrains
- Report Timing Summ...
- Report Clock Networ...
- Report Clock Interac...
- Report DRC
- Report Noise

Device Constraints

Internal VREF

- 0.6V
- 0.675V
- 0.75V
- 0.9V
- NONE (8)
 - I/O Bank 12
 - I/O Bank 13
 - I/O Bank 14
 - I/O Bank 15
 - I/O Bank 16
 - I/O Bank 32

Drop I/O banks on voltages or the "NONE" folder to set/unset Internal VREF.

Sources Netlist Device Constraints

Source File Properties

top.xdc

Location: C:/Subcases/EC/impl/tst_out_inv/t...

General Properties

Properties Clock Regions

I/O Ports

Name	Direction	Neg Diff Pair	Site	Fixed	Bank	I/O Std	Vcco	Vref	Drive Stre...	Slew
All ports (-4)										
Scalar ports (-4)										
CLK	Input		AB2	<input checked="" type="checkbox"/>	34 LVCMOS18		1.800			
DIN	Input		AD1	<input checked="" type="checkbox"/>	34 LVCMOS18		1.800			
QN	Output		AE1	<input checked="" type="checkbox"/>	34 LVCMOS18		1.800		12	SLOI
QP	Output		AE3	<input checked="" type="checkbox"/>	34 LVCMOS18		1.800		12	SLOI

Vivado开发界面



1

项目简介

2

项目进展情况

3

项目特色与当前成果

4

项目过程中遇到的问题

5

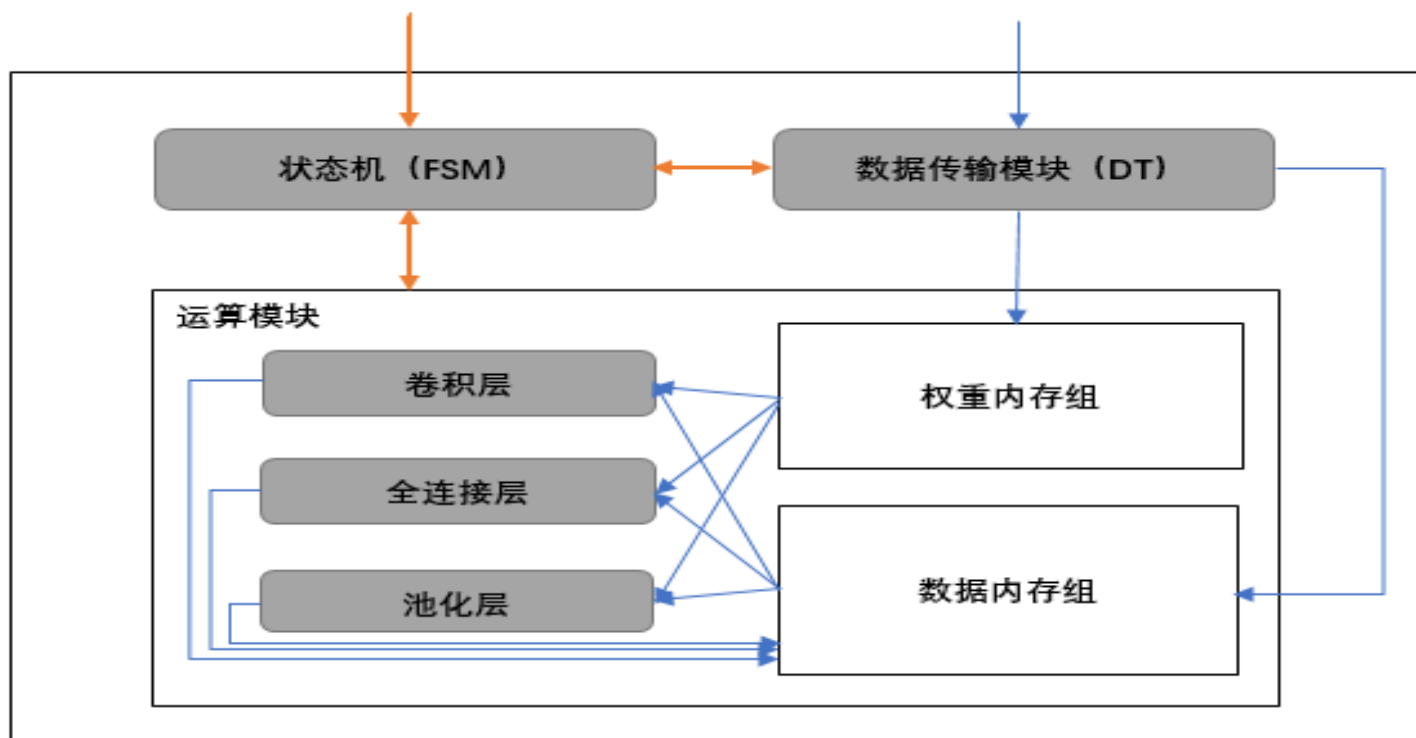
下一步研究计划



项目进展



- 参与项目后，小组成员在老师的指导下，系统学习了verilog语言，就卷积神经网络在FPGA上的搭建开展了研究工作。至今，已经基本将深度学习平台的框架搭建完成，系统架构如图所示。



项目进展



- 同时，在企业导师的指导下，组内成员依照公司提供的IP库，进行了简单的图像处理实验，并取得了成功，实现了实时图像经FPGA进行直接传输/灰度处理/二值化处理后，经由HDMI接口传输显示的功能。





1

项目简介

2

项目进展情况

3

项目特色与当前成果

4

项目过程中遇到的问题

5

下一步研究计划



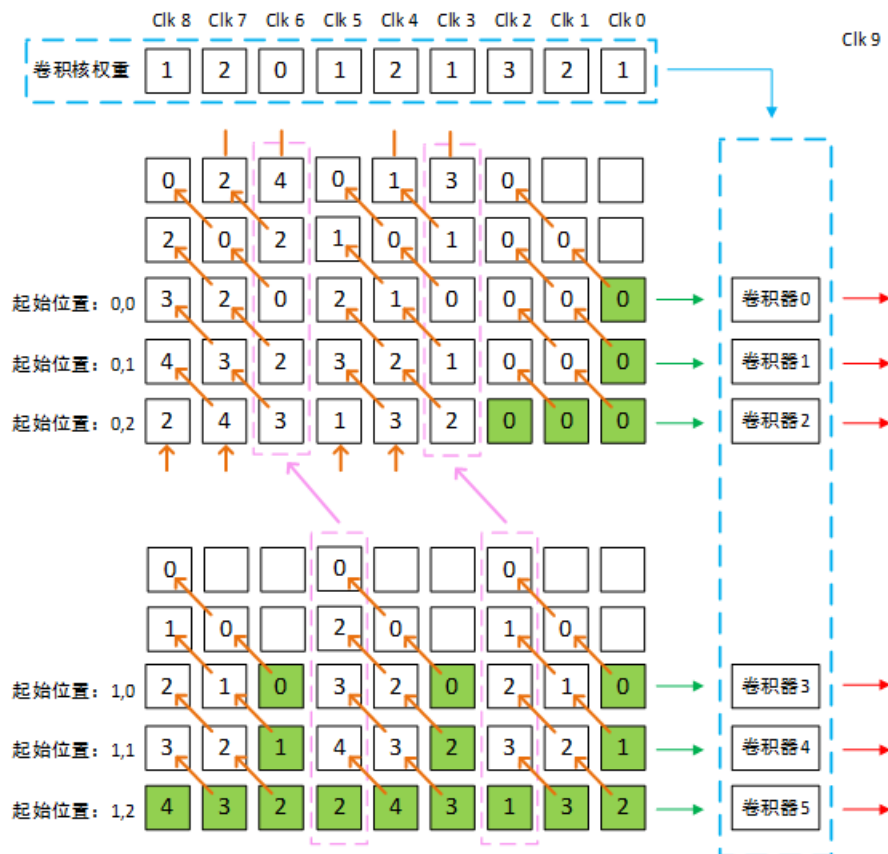
项目特色



- 深度学习平台的**数据通信模块**始终是项目组工作的重点。
- 鉴于FPGA运算的高速度与高并行度，以及待处理数据量之大，需要实现FPGA与数据源(如PC)的高速实时通信，或是事先将数据存储于开发板上的大容量存储器(如DDR)中。
- 项目组在开发之初编写过通过串口(dB9)通信的例程(demo)，但经试验后发现串口的数据传输速度远不足以支持项目要求。
- 因此，在当前可供支持的数据传输方案：以太网通信和PCI Express(PCIe)总线通信方案中，项目组选择了传输效率更高，更为稳定的PCIe传输协议。

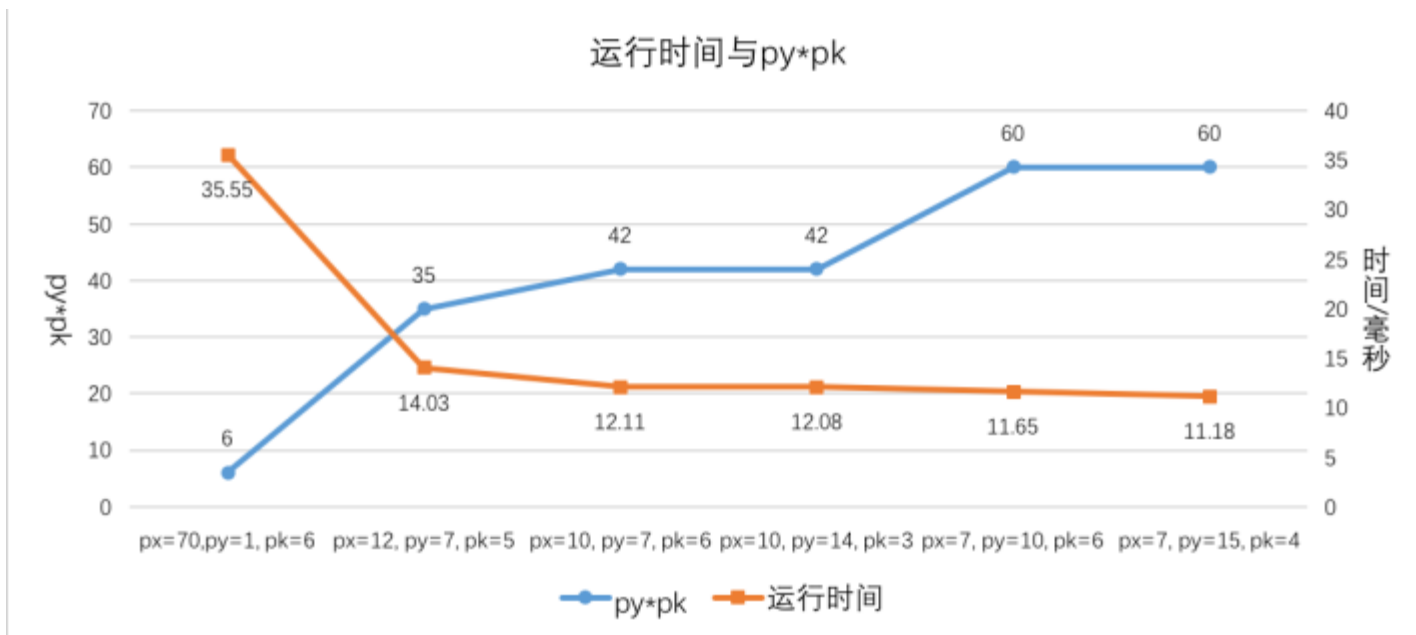
项目成果——深度学习平台的并行运行优化

- 搭建网络时，定义了几个重要的参数：
- 三维数据宽的并行度PX；
- 三维数据长的并行度PY；
- 卷积核的个数PK。
- 这几个参数的定义决定了卷积运算时，同时进行+*操作的并行数目，进而决定了运行时对开发板上运算资源(如DSP)以及存储器资源的需求量。



项目成果——深度学习平台的并行运行优化

- 因此，通过合理地改变这些并行参数，可以使开发板上的资源得以最大化地利用，也自然可以提高运算效率。
- 同时，优化过程中还添加了一个计数寄存器，通过最大化资源利用模式下，不同并行参数的合理组合，可以得到不同的运算时间，也因此可以对最大运行模式下，运行效率与并行参数的关系，进行合理预测。





1

项目简介

2

项目进展情况

3

项目特色与当前成果

4

项目过程中遇到的问题

5

下一步研究计划



项目开发过程中遇到的问题



开发板资源的充分使用

- 相关文档不足，无法充分利用板上某些资源(如闪存);
- 板上存储器与运算器的数目限制了网络规模。

FPGA与数据源的通信

- 串口通信无法满足平台需求;
- PCIe总线开发的相关资料与教程很少，其封装相对复杂，耗时较多。

软件封装问题

- 暂未接触过FPGA相关程序进行软件封装的工作，无相关经验。



1

项目简介

2

项目进展情况

3

项目特色与当前成果

4

项目过程中遇到的问题

5

下一步研究计划



下一步研究计划



至7月底：PCIe数据通信通道的建立

- 鉴于这一学期项目组成员的学业问题，因此计划于暑假期间进行深入研究开发，计划于7月底之前，建立起FPGA与数据源之间的PCIe通道，完成实时通信功能。

至9月中旬：高级功能的开发与软件封装

- 数据通道建立后，意味着深度学习平台在FPGA上已成功搭建，因此便可以在其基础上，结合公司提供的教程，添加更加复杂的运算处理功能，并且在公司提供的软件的基础上，对其进行进一步封装，将其改造成功能齐全的深度学习加速平台控制台程序。软件封装问题暂未接触过FPGA相关程序进行软件封装的工作，无相关经验。

谢谢!



上海交通大学

SHANGHAI JIAO TONG UNIVERSITY

上海交通大学