

Modelagem e Implementação em VHDL de Soma e Multiplicação em Ponto Flutuante de 32 bits Segundo o Padrão IEEE-754

Autores: João Pampanini, Cainã Trevisan, Clara Darú,
Jean Diogo, Roberto Hexsel
Depto de Informática, UFPR

Contexto:

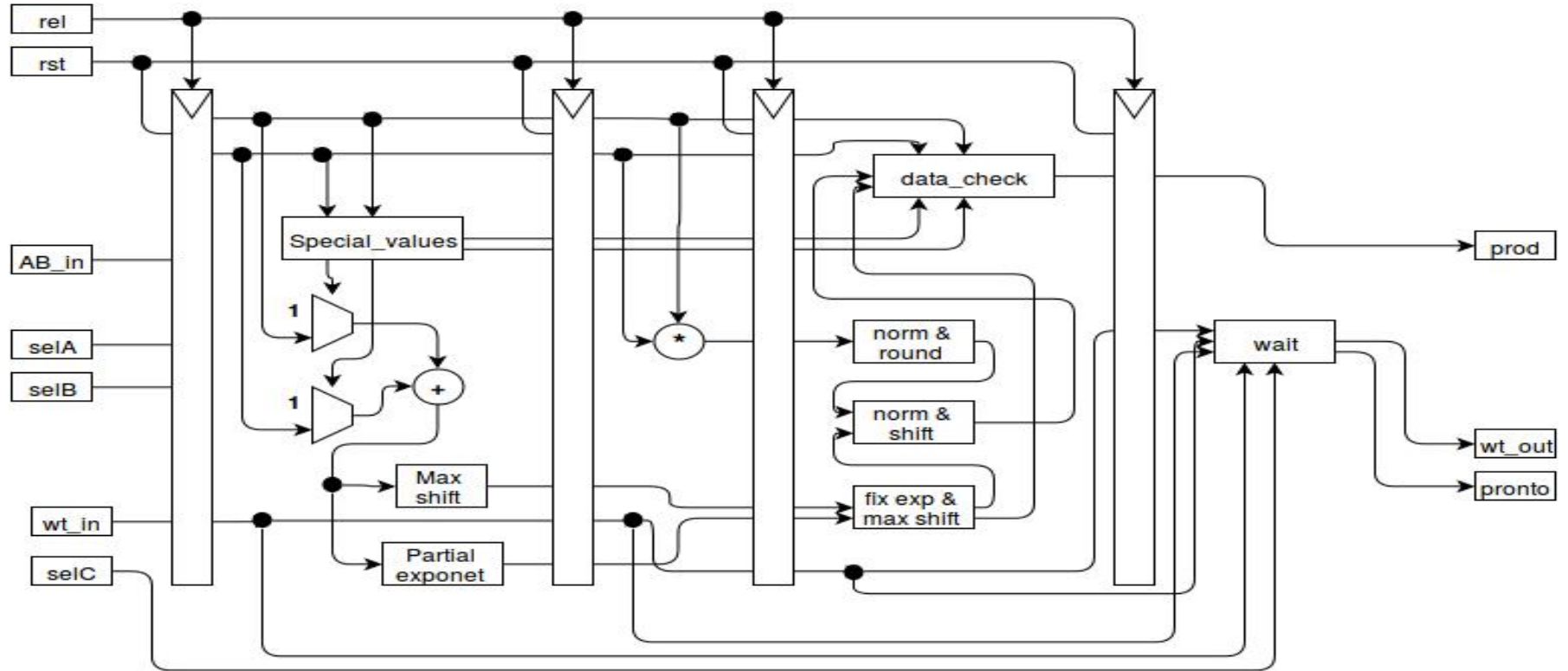
O projeto começou no segundo semestre de 2014 com a ideia de implementar uma unidade de ponto flutuante completa segundo o padrão IEEE-754 a ser embarcado no cMIPS.

ATÉ AGORA:

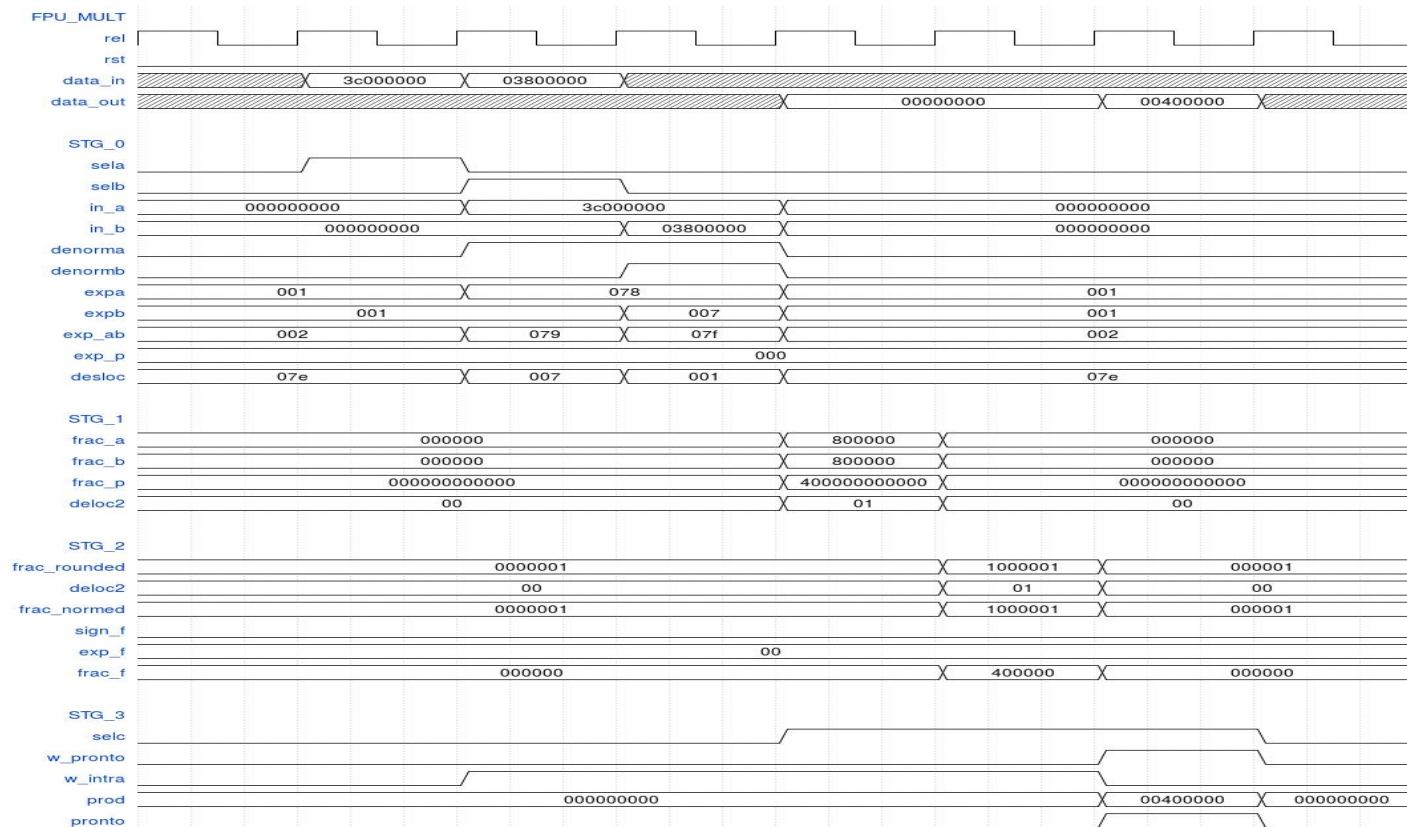
Estão funcionando a soma e multiplicação.

A divisão ainda não foi terminada.

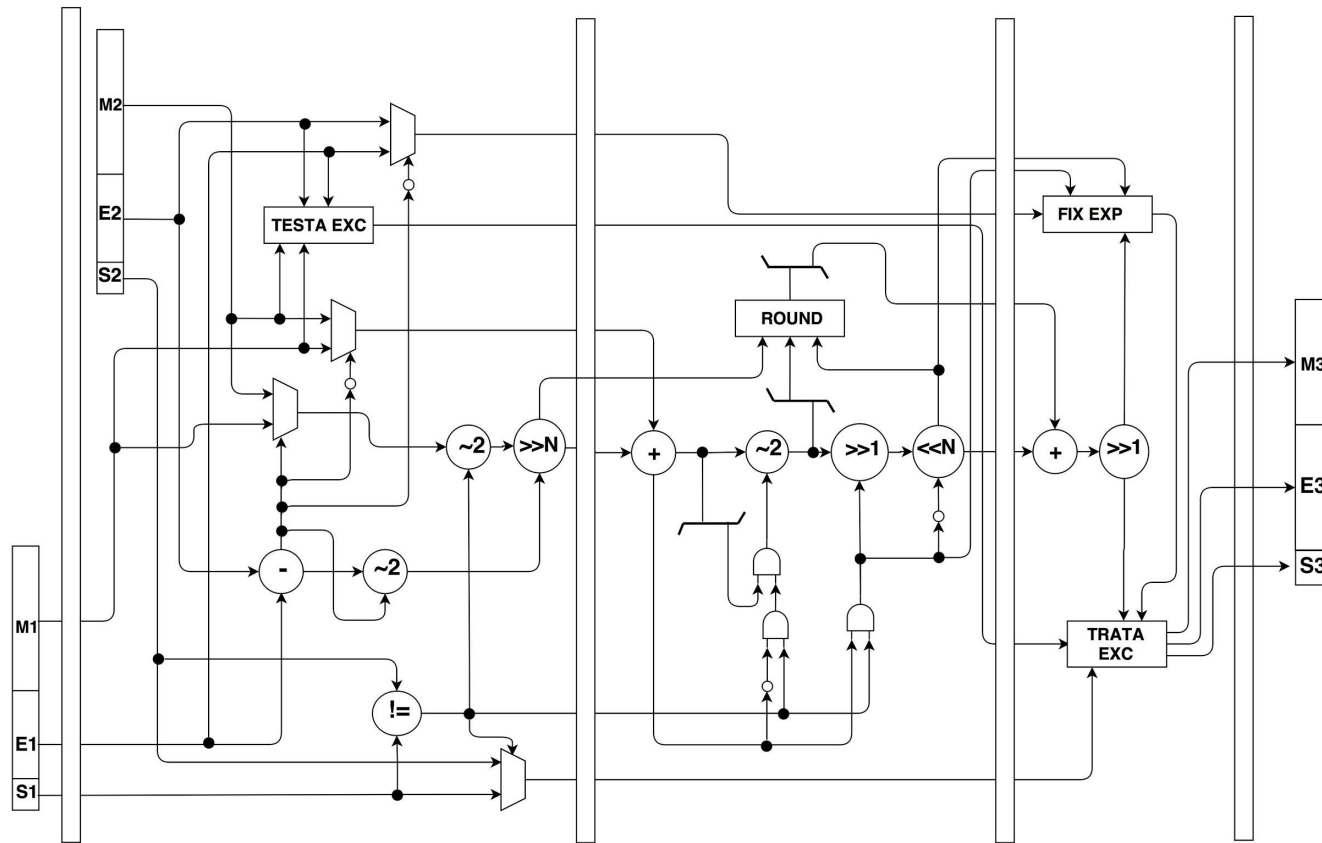
Multiplicador



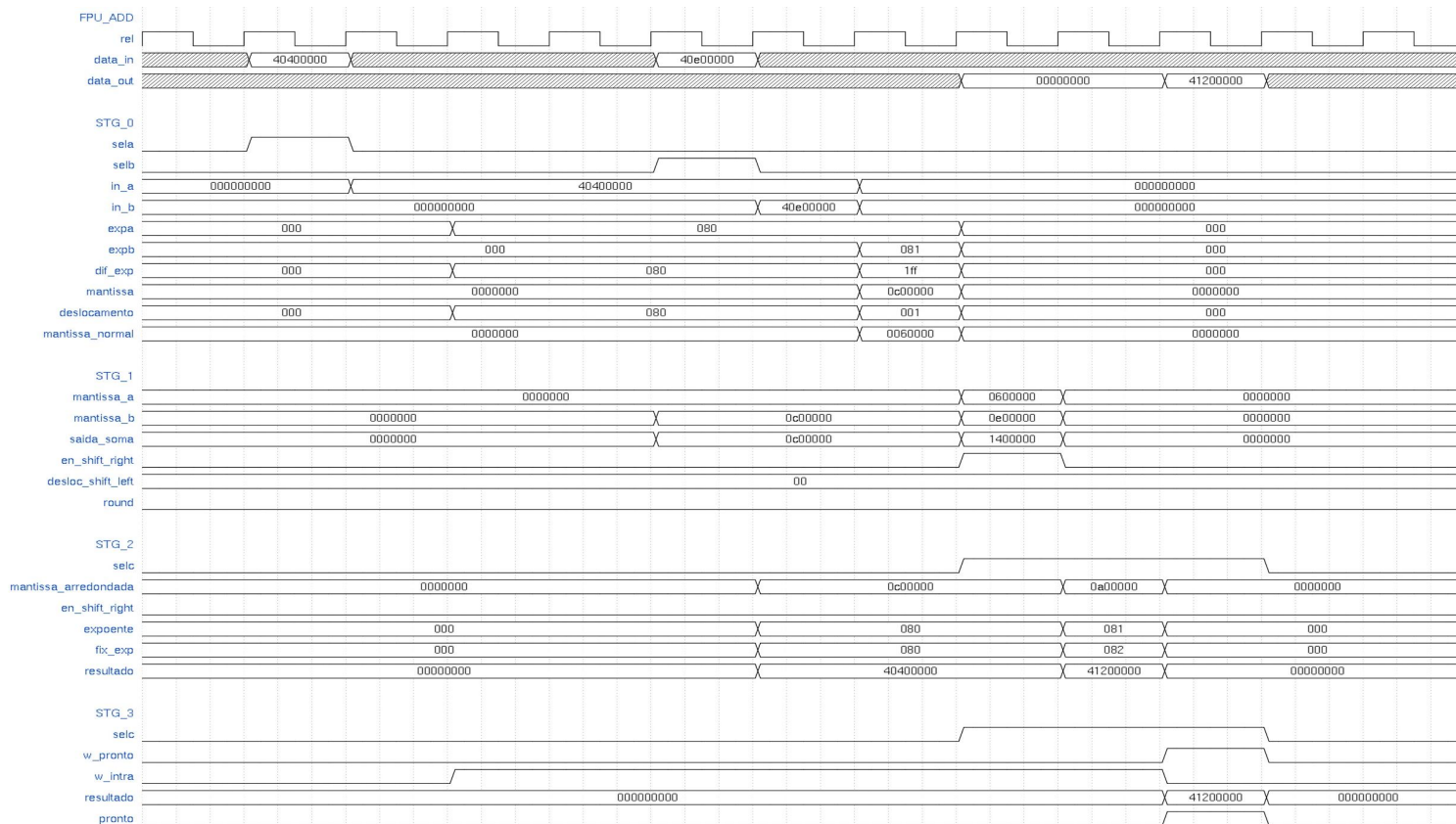
Multiplicador



Somador



Somador



Testes:

Os testes foram realizados em duas etapas:

- Casos de exceção (Testes de caixa branca)

Gerados manualmente, tentando cobrir todos os casos de exceção.

- Aleatórios (Testes de caixa preta)

Gerados aleatoriamente pelo processador, com milhares de testes.

Controle FPU:

- Acesso com LW's e SW's

```
sw ra,0(FPU)      # ra => FPU
```

```
sw rb,4(FPU)      # rb => FPU+4
```

```
lw rc,0(FPU)      # rc <= FPU
```

- Entrega do resultado

Segura o resultado enquanto o processador não o requisitar.

Avisa o processador que o resultado não está pronto (rdy = '1').

Trabalhos Futuros:

- Reduzir número de estágios

Atualmente as unidades usam 5 estágios: 1 para entrada dos operandos, 1 para a saída do resultado e 3 estágios de execução.

- Implementação da divisão

Falta completar o projeto e a implementação do circuito de divisão.

- Melhorar interface com Programador

Criar uma biblioteca de funções para facilitar a utilização pelo programador.

Disponível em:

GITLAB-C3SL:

<https://gitlab.c3sl.ufpr.br/roberto/cmips>

Perguntas?

Contatos:

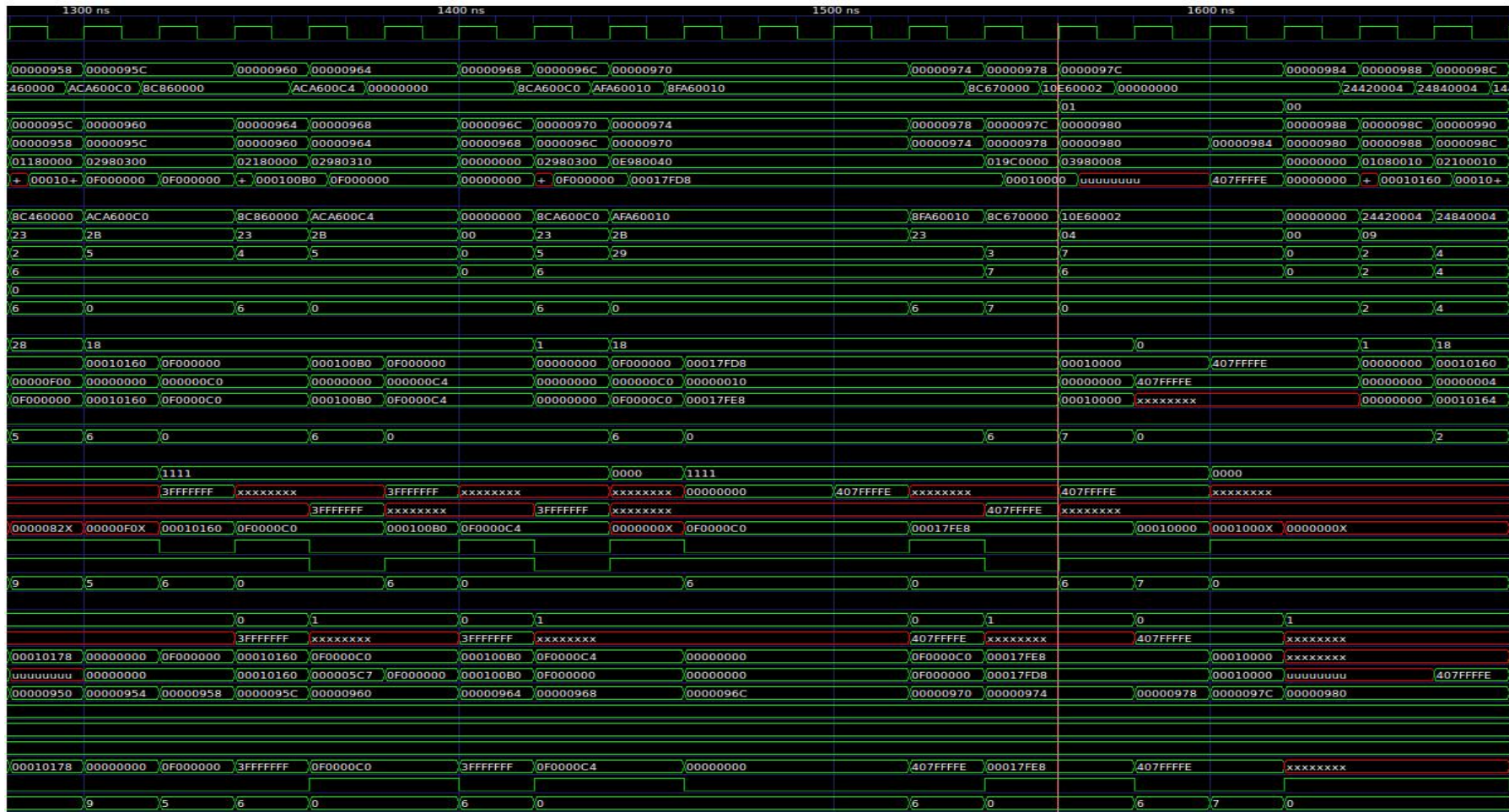
{jmpf13,cct11,cdhd12,jckd12,roberto}@inf.ufpr.br

UNIVERSIDADE FEDERAL DO PARANÁ

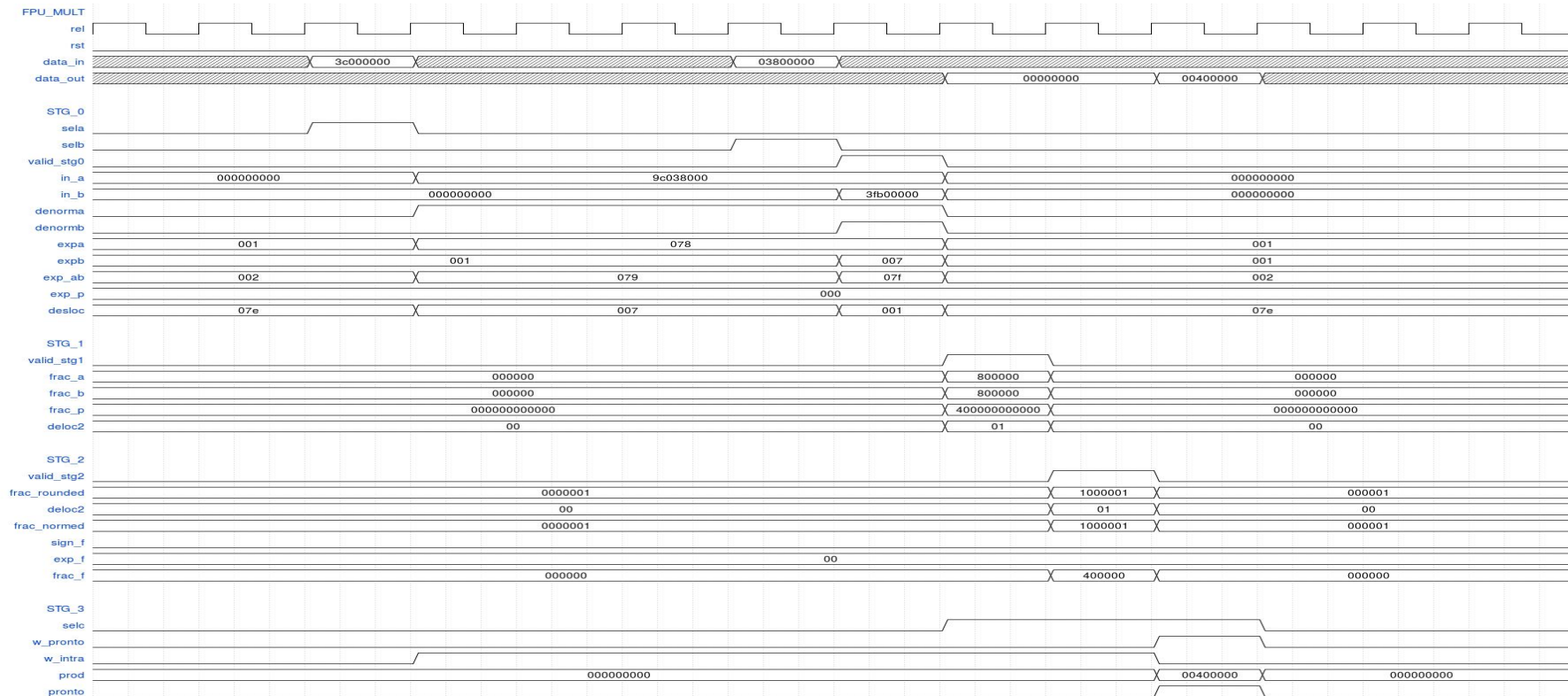
Multiplicador







Execução



Somador

