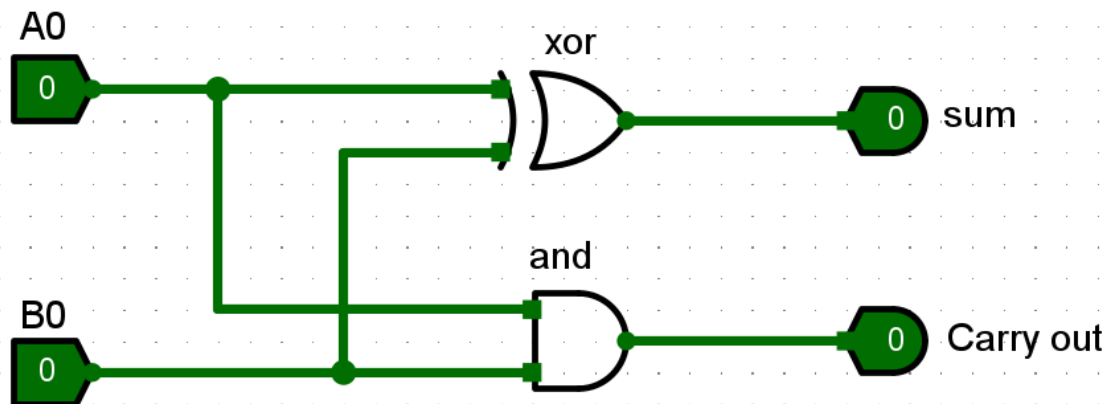


Arquitetura de Computadores 2

Exercício Prático 01

793605 - Caio Faria Diniz

1. $\frac{1}{2}$ (Meio) Somador no *Logisim*:

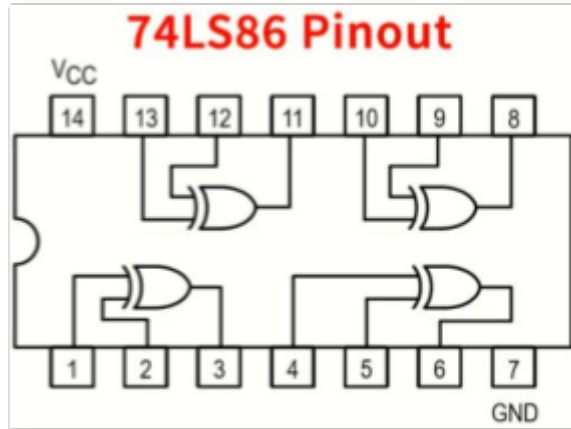


2. Tabela Verdade do $\frac{1}{2}$ somador:

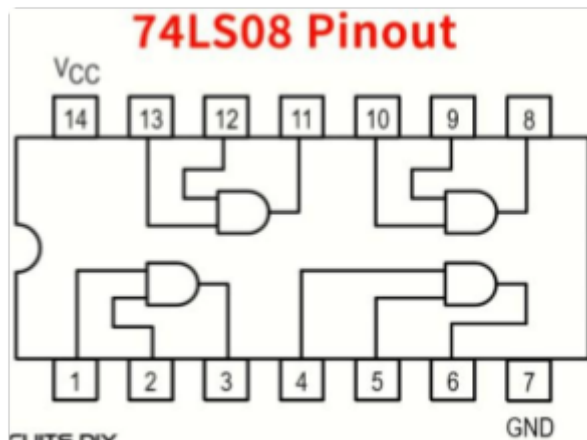
A0	B0	Sum	CarryOut
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

3. Componentes que possuem portas lógicas necessárias para a construção de um meio somador (Portas XOR, AND E OR):

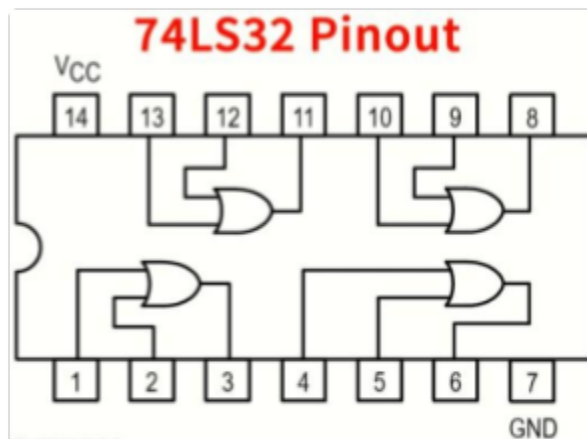
Porta XOR



Porta AND



Porta OR - 74LS32



4. Pinos de alimentação (VCC e GND) e os pinos de entrada e saída de cada porta lógica (Portas XOR, AND E OR):

Pinos Porta XOR

74LS86 Pin Configuration		
Pin No	Pin Name	Description
1	1A	INPUT 1 of GATE 1
2	1B	INPUT 2 of GATE 1
3	1Y	OUTPUT of GATE 1
4	2A	INPUT 1 of GATE 2
5	2B	INPUT 2 of GATE 2
6	2Y	OUTPUT of GATE 2
7	GND	Ground pin
8	3Y	OUTPUT of GATE 3
9	3B	INPUT 2 of GATE 3
10	3A	INPUT 1 of GATE 3
11	4Y	OUTPUT of GATE 4
12	4B	INPUT 2 of GATE 4
13	4A	INPUT 1 of GATE 4
14	VCC	Supply Voltage

Pinos Porta AND

74LS08 Pin Configuration		
Pin No	Pin Name	Description
1	A1	INPUT 1 of GATE 1
2	B1	INPUT 2 of GATE 1
3	Q1	OUTPUT of GATE 1
4	A2	INPUT 1 of GATE 2
5	B2	INPUT 2 of GATE 2
6	Q2	OUTPUT of GATE 2
7	GND	Ground
8	A3	INPUT 1 of GATE 3
9	B3	INPUT 2 of GATE 3
10	Q3	OUTPUT of GATE 3
11	A4	INPUT 1 of GATE 4
12	B4	INPUT 2 of GATE 4
13	Q4	OUTPUT of GATE 4
14	VCC	Supply Voltage

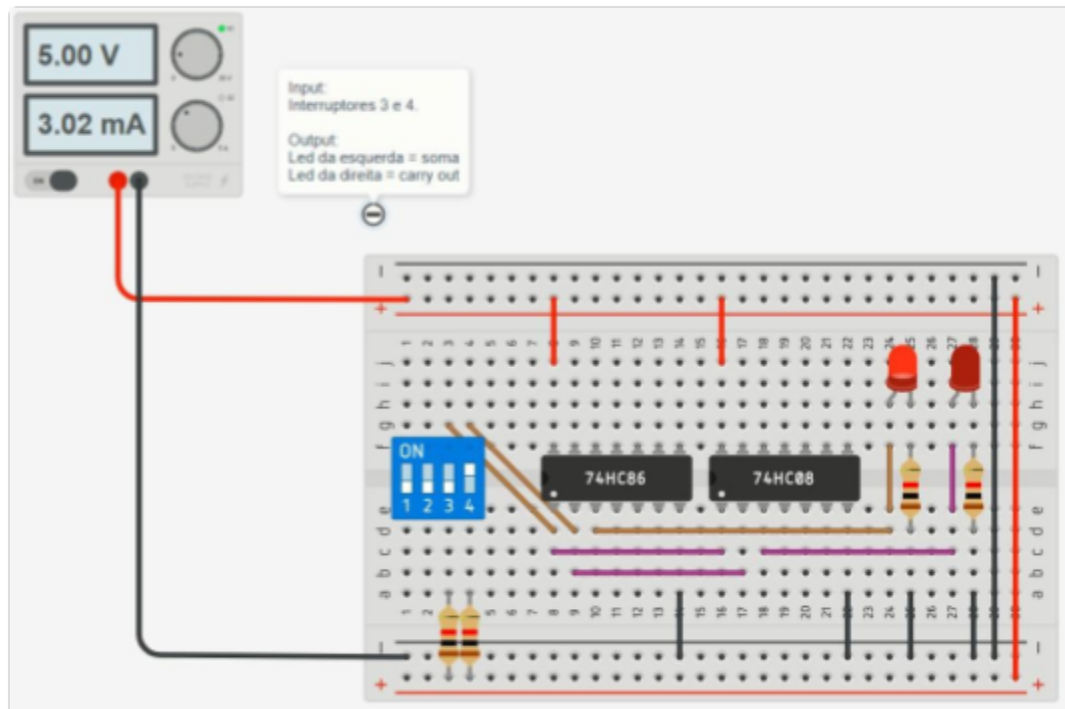
Pinos Porta OR

74LS32 Pin Configuration		
Pin No	Pin Name	Description
1	1A	INPUT 1 of GATE 1
2	1B	INPUT 2 of GATE 1
3	1Y	OUTPUT of GATE 1
4	2A	INPUT 1 of GATE 2
5	2B	INPUT 2 of GATE 2
6	2Y	OUTPUT of GATE 2
7	GND	Ground Pin
8	3Y	OUTPUT of GATE 3
9	3B	INPUT 2 of GATE 3
10	3A	INPUT 1 of GATE 3
11	4Y	OUTPUT of GATE 4
12	4B	INPUT 2 of GATE 4
13	4A	INPUT 1 of GATE 4
14	VCC	Supply Voltage

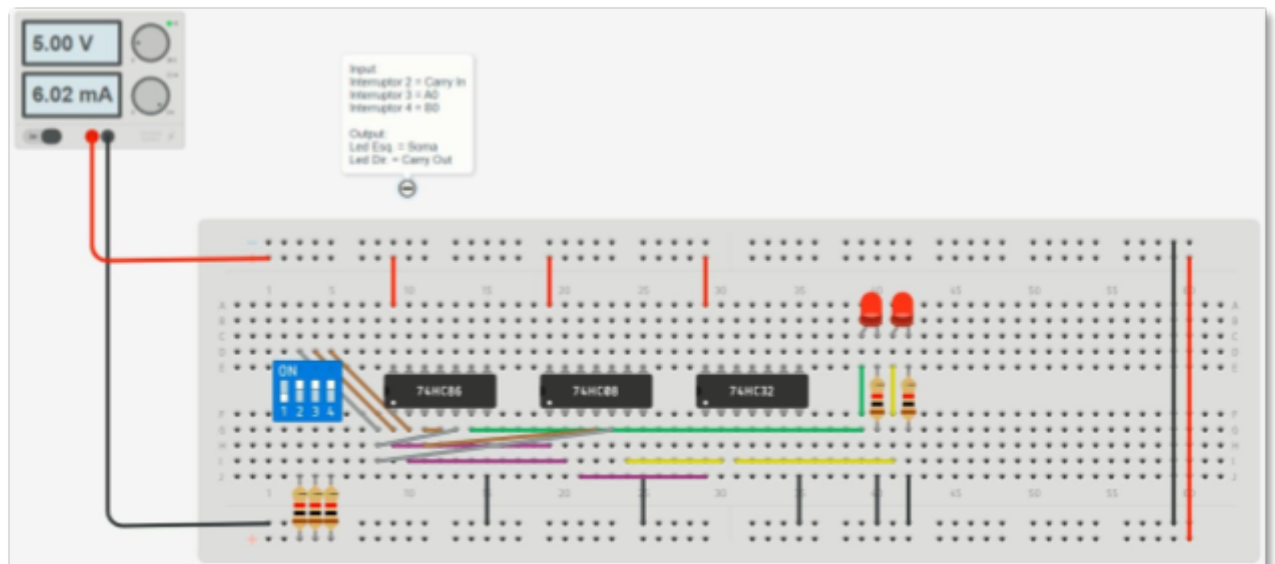
Pergunta 1:

R.: Se um dos terminais de entrada de uma porta lógica não estiver ligado a nenhum nível lógico (0 ou 1), ou seja, estiver flutuando, a porta pode apresentar um comportamento imprevisível. Em tecnologias como o CMOS, a entrada flutuante pode ser afetada por interferências elétricas, levando a níveis lógicos instáveis e a um consumo excessivo de energia. Em tecnologias TTL, a entrada flutuante é comumente vista como nível lógico 1. No entanto, essa abordagem não é aconselhável, pois pode resultar em um funcionamento inadequado do circuito. Para prevenir complicações, é essencial que todas as entradas estejam ligadas a um nível lógico específico, usando resistores de pull-up ou pull-down, quando apropriado.

6. ½ Somador no *Tinkercad*:



8. Circuito somador completo de 1 bit no *Tinkercad*:



9. Tabela Verdade do Somador completo de 1 bit:

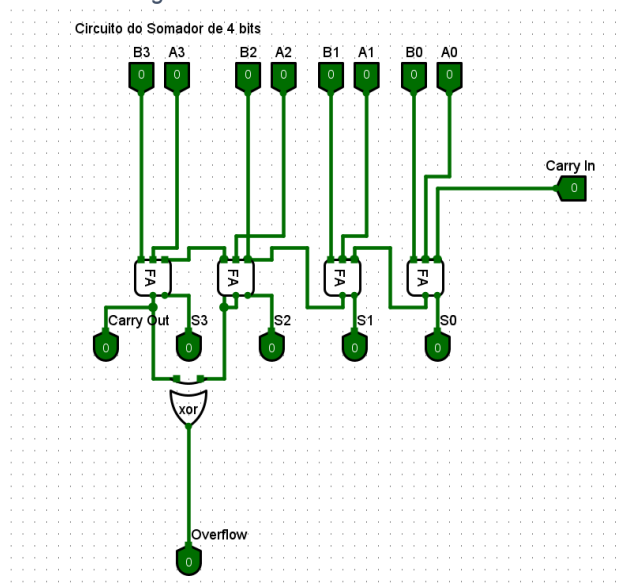
CarryIn	A0	B0	Sum	CarryOut
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

10. Explicação do funcionamento de um somador de 4 bits:

O circuito lógico conhecido como somador de 4 bits é usado para efetuar a adição de dois números binários de 4 bits. Ele consiste em quatro aditivos completos (Full Adders) ligados em sequência, possibilitando a adição bit a bit dos dois números, além do transporte (carry) entre as fases.

Cada somador completo efetua a adição de dois bits da mesma posição, juntamente com o transporte da etapa anterior (Carry-in), produzindo como resultado o bit de adição (S) e o deslocamento para a próxima fase (Carry-out).

Figura 12 - Somador de 4 bits



Pergunta 2:

R.: A questão de tempo relacionada ao somador de 4 bits surge devido à propagação do transporte (carry) entre os estágios. Devido à dependência do resultado anterior para o transporte de cada bit, ocorre um atraso acumulado. Levando em conta o atraso médio de 10 ns para cada porta lógica e cerca de 3 por somador, o atraso total pode atingir 120 ns. Este retardo diminui a velocidade do circuito e pode ser atenuado através da utilização de somadores mais velozes, como o Somador de Transporte Antecipado.

Pergunta 3:

R.: Levando em conta um atraso médio de 10 ns por porta lógica, o tempo total requerido para a operação é de 90 ns. Inicialmente (tempo 0), o primeiro somador completo demora 30 ns para realizar a soma e o cálculo do carry (vai-um). Os somadores subsequentes, que já realizaram suas somas, simplesmente aguardam a propagação do carry anterior, o que acarreta um atraso adicional de 20 ns para cada somador. Assim, o tempo médio requerido, T_{med} , é determinado a partir do número total de bits, n , utilizando a seguinte fórmula:

$$T_{med} = 30 + 20 * (n-1) = 60 \text{ ns.}$$

Pergunta 4:

R.: Para um somador de 32 bits, seria necessário conectar 32 somadores completos em série, onde o transporte de cada bit seria propagado até o último estágio, aumentando o tempo de atraso.

Pergunta 5:

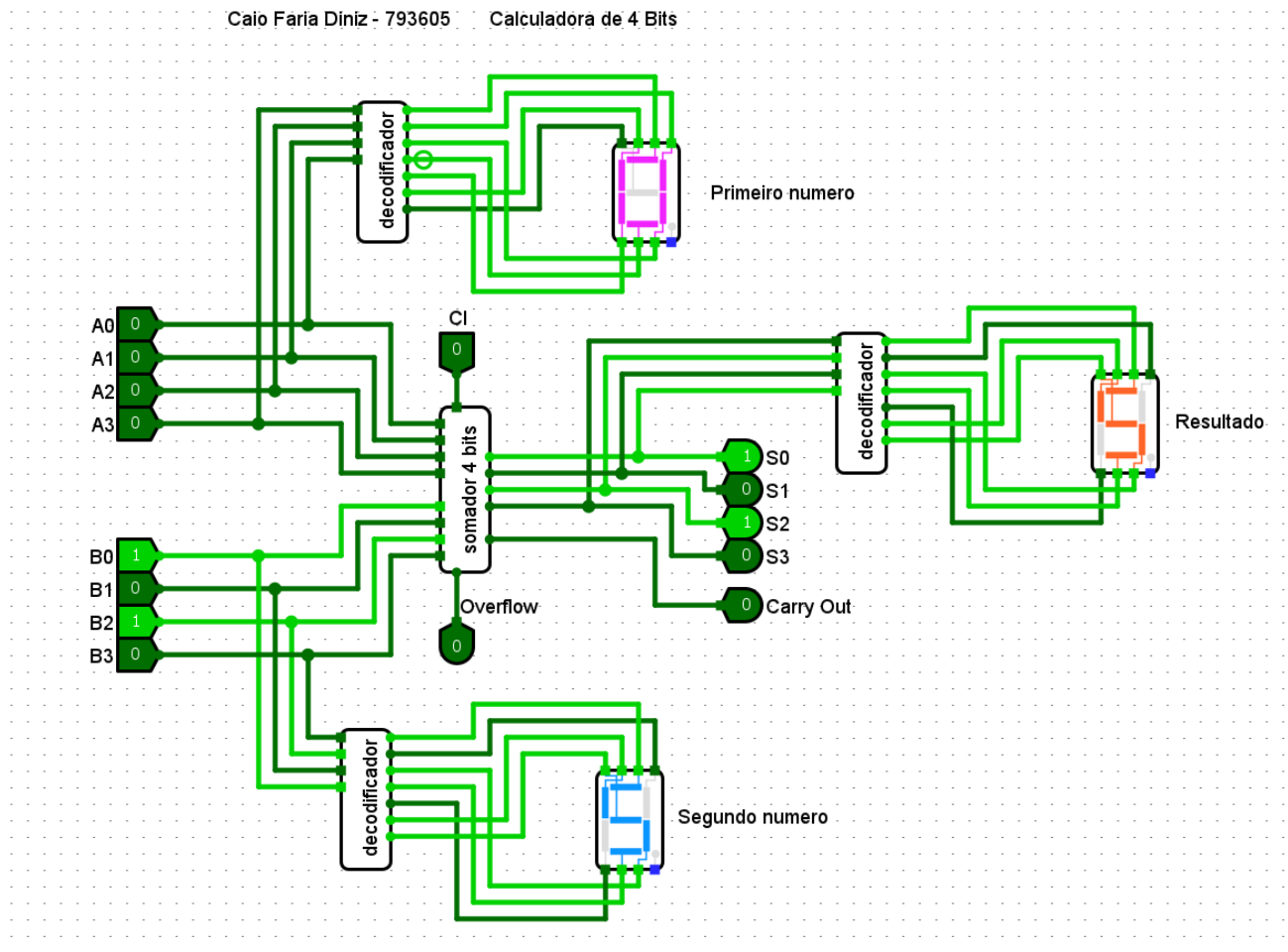
R.: Dada a fórmula abstraída na questão 3, tem-se:

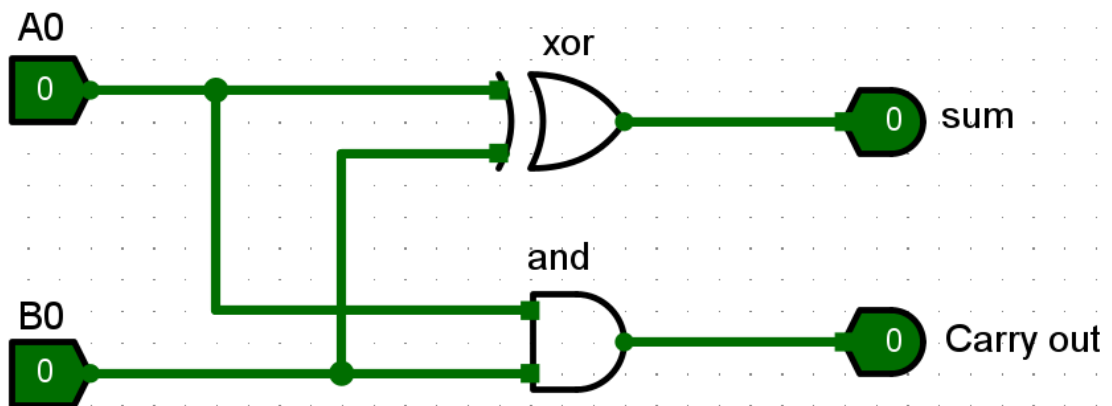
$$T_{med} = 30 \text{ ns} + 20 \text{ ns} * 32-1 \Rightarrow T_{med} = 30 \text{ ns} + 620 \text{ ns} \Rightarrow T_{med} = 650 \text{ ns}$$

Pergunta 6:

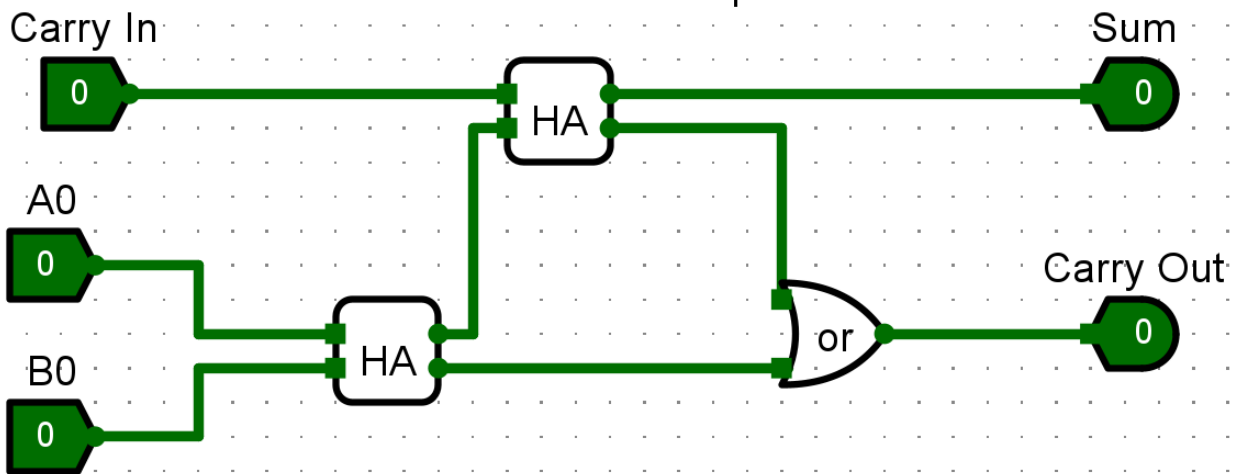
R: Para acelerar a soma, pode-se empregar o Somador de Transporte Antecipado (Carry Lookahead Adder), que realiza o cálculo do transporte de maneira antecipada, eliminando a propagação sequencial e diminuindo consideravelmente o tempo de atraso.

Calculadora de 4 bits (Logisim):

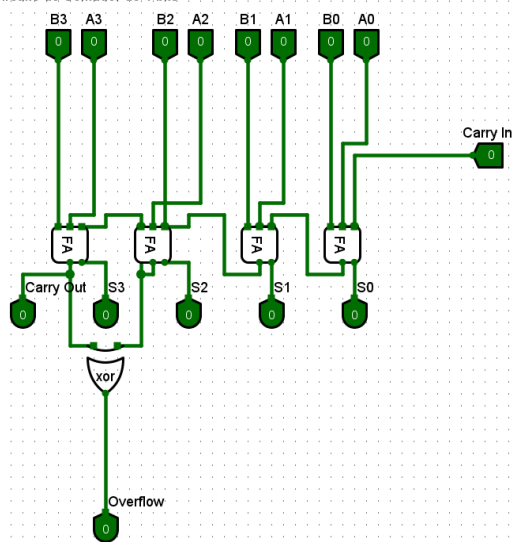


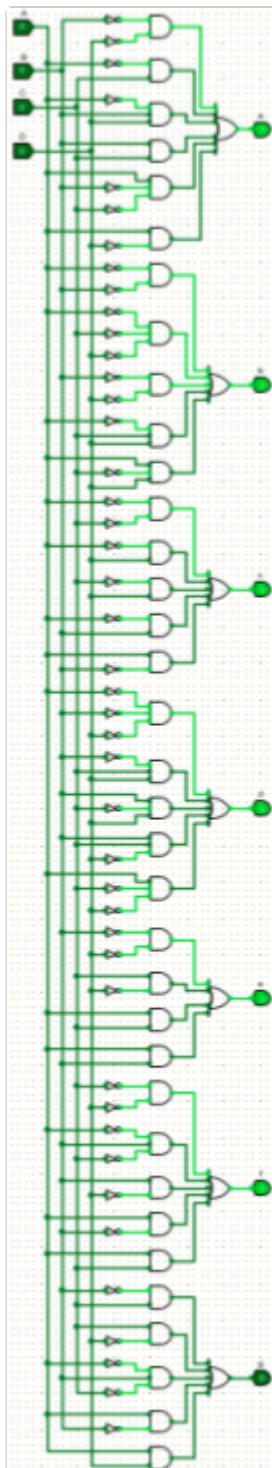


Circuito de Soma Completa



Circuito do Somador de 4 bits





Análise Combinacional

Arquivo Editar Projeto Simular Janela Ajuda

Entradas Saídas **Tabela** Expressão Minimizada

A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	0	0	1	1
1	0	1	0	1	1	1	0	1	1	1
1	0	1	1	0	0	1	1	1	1	1
1	1	0	0	1	0	0	1	1	1	0
1	1	0	1	0	1	1	1	1	0	1
1	1	1	0	1	0	0	1	1	1	1
1	1	1	1	1	0	0	0	1	1	1

Construir circuito