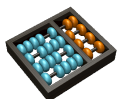


Laboratório 09

Instruções:

- Quando for demonstrar seu trabalho, tome nota do número da placa utilizada. O número da placa será utilizado para atribuir a nota ao grupo.
- A última página deste documento contém um checklist com todos os arquivos que fazem parte da entrega.
- Os nomes dos arquivos devem ser seguidos, e isso faz parte da avaliação.
- A entrega deverá estar em único arquivo .ZIP, com o nome **T_Lab09_RA.zip**, **T** é a turma, e **RA** é o RA do componente do grupo que fará a entrega. Por exemplo, B_Lab09_123456.zip é a entrega do grupo do aluno com o RA 123456, na turma B.
- Não divida ou agrupe em pastas os arquivos dentro do .ZIP.
- A entrega deve ser feita pelo [Google Forms](https://forms.gle/pUcMCjhBm7faUMWWA) (<https://forms.gle/pUcMCjhBm7faUMWWA>). Você deve estar autenticado com uma conta do Google - pode ser uma conta pessoal ou da DAC.
- Apenas um integrante do grupo precisa fazer a entrega.
- Preste especial atenção aos nomes das entidades e sinais (entradas e saídas) descritos nos laboratórios. Isso também faz parte da avaliação.
- Se mais do que um arquivo for recebido para a mesma entrega, o último recebido será considerado. Utilize o mesmo RA do aluno entregando.
- Faça o download do arquivo **lab09_material_v2023.1.zip**. Esse arquivo já contém as descrições de *entity* necessárias para implementar os circuitos. Utilize elas, e não as altere.



Parte I - Relógio digital

Projeto e implementação de um relógio digital de acordo com a especificação:

Entidades requeridas:

- Entidade *clock* <clock.vhd>: *top-level* do projeto do relógio.
- Entidade *clk_div* <clk_div.vhd>: divisor de clock - recebe um sinal de 50 MHz (*clk*) e devolve um sinal de 1 Hz (*clk_hz*).

Saídas:

- Representações de horas (*hour_dec* e *hour_un*), minutos (*min_dec* e *min_un*) e segundos (*sec_dec* e *sec_un*) a serem conectadas em visores de 7 segmentos.

Entradas:

- *clk*: entrada do sinal de relógio.
- *decimal*: valor da dezena para acertar o relógio;
- *unity*: valor da unidade para acertar o relógio;
- *set_hour*, *set_minute* e *set_second*: indicador de qual valor está sendo acertado.

Exemplo:

Para acertar o relógio para 23h 59min, por exemplo, define-se *decimal* para 2 e *unity* para 3 e salva-se no campo de horas com um pulso em *set_hour*. Após, define-se *decimal* para 5 e *unity* para 9 e salva-se no campo de minutos com um pulso em *set_minute*.

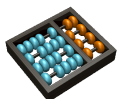
Procedimento para o projeto e itens a serem entregues:

Projete o divisor de clock na entidade *clk_div*. O sinal de clock resultante *clk_hz* deverá ter uma borda de subida a cada segundo. Para isso, projete um contador de 1 até 50 milhões (50 MHz), incrementado a cada borda de subida do sinal *clk*. Emita uma saída *clk_hz* sempre que o contador estiver em um valor específico. Assim, o sinal *clk_hz* terá um pulso em nível lógico alto com a largura de um período do sinal *clk*, e poderá ser utilizado para sincronização do relógio.

Atenção: Não deixar o sinal *clk_hz* em nível alto por mais do que um período do sinal *clk*.

Projete a entidade *clock*, utilizando o sinal de 1 Hz *clk_hz* para sincronizar o funcionamento do relógio. Isto é, os registradores que armazenam o horário deverão utilizar o sinal de clock de 50 MHz da placa, mas serem incrementados apenas quando o sinal de sincronização *clk_hz* estiver ativo.

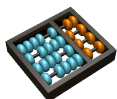
O relógio deverá estar sempre ativo (sem “zerar”), e, quando acertado, o valor deve ser ajustado na borda seguinte de *clock*. Caso o usuário tente acertar o relógio para um valor inválido, este deverá ser ignorado, como se não houvesse uma tentativa de acerto. O relógio nunca poderá exibir um valor inválido, nem mesmo por uma fração de segundo.



Além das entidades *clock* e *clk_div*, você pode criar outras entidades adicionais, conforme julgar necessário, e implementá-las em quantos arquivos VHDL achar necessário. Somente arquivos .vhd serão considerados. Não crie ou utilize *libraries* customizadas, mas você pode utilizar as *libraries* disponíveis na ferramenta.

Verifique o funcionamento do seu relógio na placa utilizando o arquivo *clock_board.vhd* (disponível com os materiais do laboratório) como top-level e o arquivo de assignments padrão da placa. **Esta configuração será avaliada na demonstração.**

ENTREGA: Reúna todos os arquivos VHDL em um único arquivo zipado para entrega. Os arquivos deverão estar na raiz da estrutura do .zip, e não distribuídos em pastas. Certifique-se de que você adicionou todos os arquivos VHDL para o funcionamento correto do seu projeto e de que as declarações das entidades *clock* e *clk_div* não foram alteradas.



- ENTREGA -

Entregue um único arquivo comprimido em formato **ZIP** de nome **T_Lab09_RA.zip**, onde **RA** é o RA do aluno entregando e **T** é a turma, contendo:

- Todos os arquivos ***.vhd** necessários para compilar o relógio.