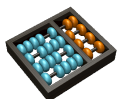


Laboratório 10

Instruções:

- Quando for demonstrar seu trabalho, tome nota do número da placa utilizada. O número da placa será utilizado para atribuir a nota ao grupo.
- A última página deste documento contém um checklist com todos os arquivos que fazem parte da entrega.
- Os nomes dos arquivos devem ser seguidos, e isso faz parte da avaliação.
- A entrega deverá estar em único arquivo .ZIP, com o nome **T_Lab10_RA.zip**, **T** é a turma, e **RA** é o RA do componente do grupo que fará a entrega. Por exemplo, B_Lab10_123456.zip é a entrega do grupo do aluno com o RA 123456, na turma B.
- Não divida ou agrupe em pastas os arquivos dentro do .ZIP.
- A entrega deve ser feita pelo [Google Forms](https://forms.gle/pUcMCjhBm7faUMWWA) (<https://forms.gle/pUcMCjhBm7faUMWWA>). Você deve estar autenticado com uma conta do Google - pode ser uma conta pessoal ou da DAC.
- Apenas um integrante do grupo precisa fazer a entrega.
- Preste especial atenção aos nomes das entidades e sinais (entradas e saídas) descritos nos laboratórios. Isso também faz parte da avaliação.
- Se mais do que um arquivo for recebido para a mesma entrega, o último recebido será considerado. Utilize o mesmo RA do aluno entregando.
- Faça o download do arquivo **lab10_material_v2023.1.zip**. Esse arquivo já contém as descrições de *entity* necessárias para implementar os circuitos. Utilize elas, e não as altere.



Parte I - Máquinas de estados

O objetivo deste exercício é realizar o projeto de máquinas de estados. Todas as máquinas possuirão as entradas *clock*, *reset* e *w* e a saída *z*, todas do tipo *std_logic*. A entrada *clock* é o sinal de relógio, e as máquinas devem ser sincronizadas na borda de subida deste sinal. O sinal de *reset*, quando em nível lógico alto, deve definir a máquina para o seu estado inicial de forma síncrona. Os sinais *w* e *z* são entrada e saída de dados.

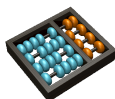
Cada máquina deve ser identificada pelo nome da entidade VHDL descrita no enunciado e pelo nome do arquivo, que é o mesmo nome da entidade com o prefixo '.vhd'. Cuidado para não alterar os nomes das entidades, arquivos e sinais descritos.

Para cada uma das máquinas, projete o circuito em VHDL. Ao final, utilize o circuito *fsm_board* <fsm_board.vhd> e o arquivo de assignments padrão da placa para teste do circuito. Os sinais de entrada *w* e *reset* estão conectados a switches, as saídas *z* a LEDs e os *clocks* a push-buttons. **Esta configuração será avaliada na demonstração.**

I.1. Máquina *fsm_table*: projete a partir da tabela de estados

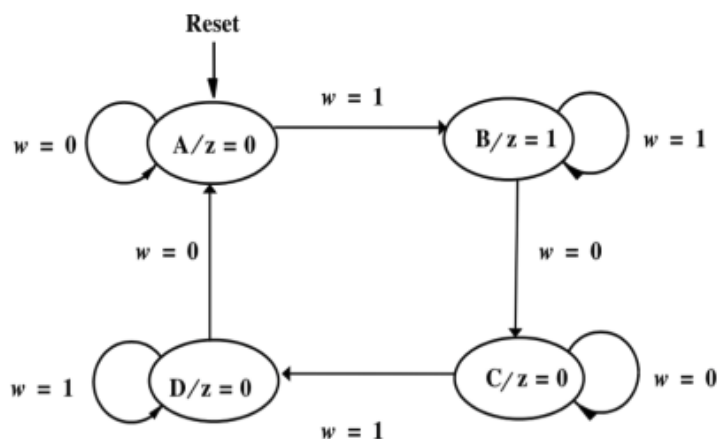
- Entidade: *fsm_table*
- Arquivo VHDL: *fsm_table.vhd* - **Entregar**
- Estado inicial: A

Present State	Next State / Output (z)			
	w=0	z	w=1	z
A	C	1	B	1
B	D	1	C	0
C	B	0	C	0
D	A	0	C	1



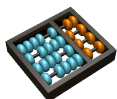
I.2. Máquina *fsm_diag*: projete a partir do diagrama de estados

- Entidade: *fsm_diag*
- Arquivo VHDL: *fsm_diag.vhd* - **Entregar**



I.3. Máquina *fsm_seq*: Projete um detector de sequência que produz 1 em sua saída *z*, toda vez que a sequência 0101 é detectada na sua entrada *w*. Por exemplo, quando a sequência na entrada *w* é 010101, a saída *z* é 000101.

- Entidade: *fsm_seq*
- Arquivo VHDL: *fsm_seq.vhd* - **Entregar**



- ENTREGA -

Entregue um único arquivo comprimido em formato **ZIP** de nome **T_Lab10_RA.zip**, onde **RA** é o RA do aluno entregando e **T** é a turma, contendo:

- Arquivo **fsm_table.vhd** do item I.1.
- Arquivo **fsm_diag.vhd** do item I.2.
- Arquivo **fsm_seq.vhd** do item I.3.