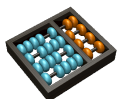


Laboratório 01

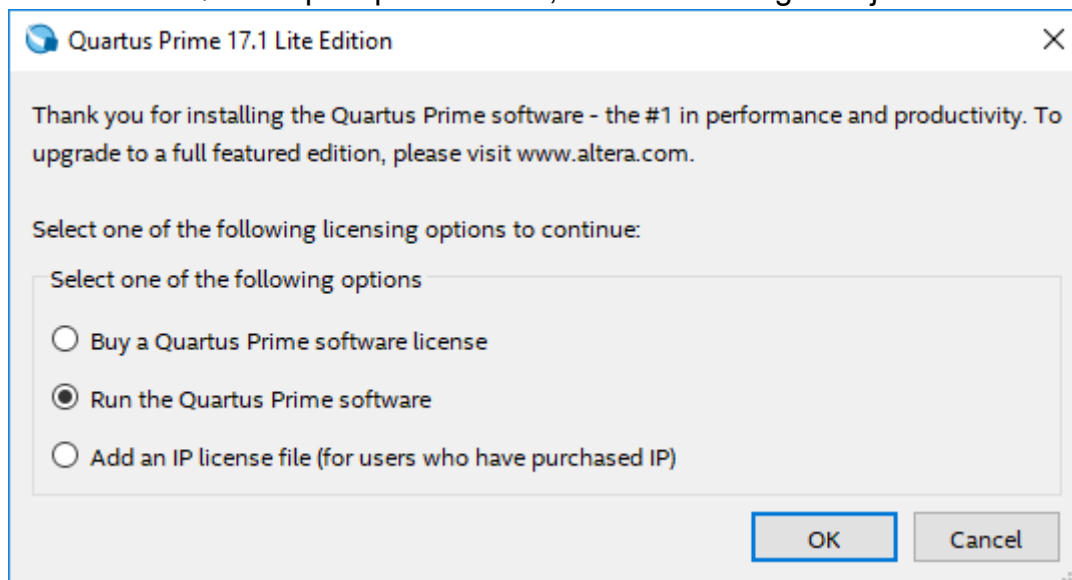
Instruções:

- Este laboratório é um tutorial para familiarização com a ferramenta. Leia todas as instruções com atenção e faça todos os passos.
- Quando for demonstrar seu trabalho, tome nota do número da placa utilizada. O número da placa será utilizado para atribuir a nota ao grupo.
- A última página deste documento contém um checklist com todos os arquivos que fazem parte da entrega.
- Os nomes dos arquivos devem ser seguidos, e isso faz parte da avaliação.
- A entrega deverá estar em único arquivo .ZIP, com o nome **T_Lab01_RA.zip**, **T** é a turma, e **RA** é o RA do componente do grupo que fará a entrega. Por exemplo, B_Lab01_123456.zip é a entrega do grupo do aluno com o RA 123456, na turma B.
- Não divida ou agrupe em pastas os arquivos dentro do .ZIP.
- A entrega deve ser feita pelo [Google Forms](https://forms.gle/pUcMCjhBm7faUMWWA) (<https://forms.gle/pUcMCjhBm7faUMWWA>). Você deve estar autenticado com uma conta do Google - pode ser uma conta pessoal ou da DAC.
- Apenas um integrante do grupo precisa fazer a entrega.
- Se mais do que um arquivo for recebido para a mesma entrega, o último recebido será considerado.



Parte I - Iniciando o Quartus pela primeira vez

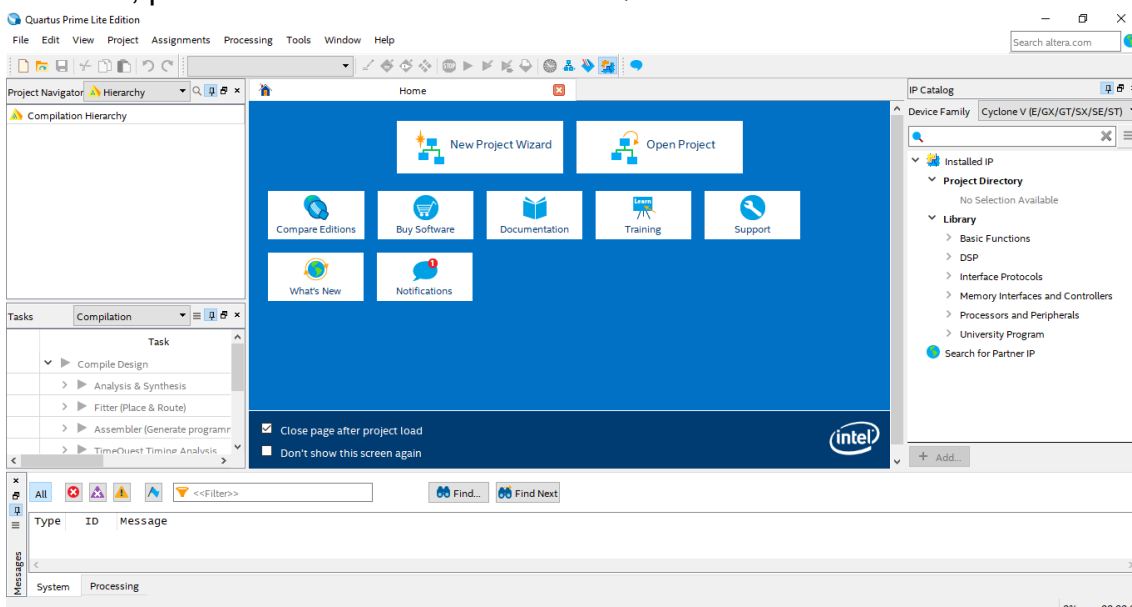
I-1. Ao abrir o Quartus pela primeira vez, você verá a seguinte janela:

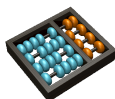


Se essa janela não aparecer, é recomendável apagar a pasta *.altera.quartus* do seu home folder (*/home/<turma>/<ra#####>/altera.quartus*) para descartar todas as configurações feitas para versões anteriores do Software.

Selecione **Run the Quartus Prime software** e clique **OK**.

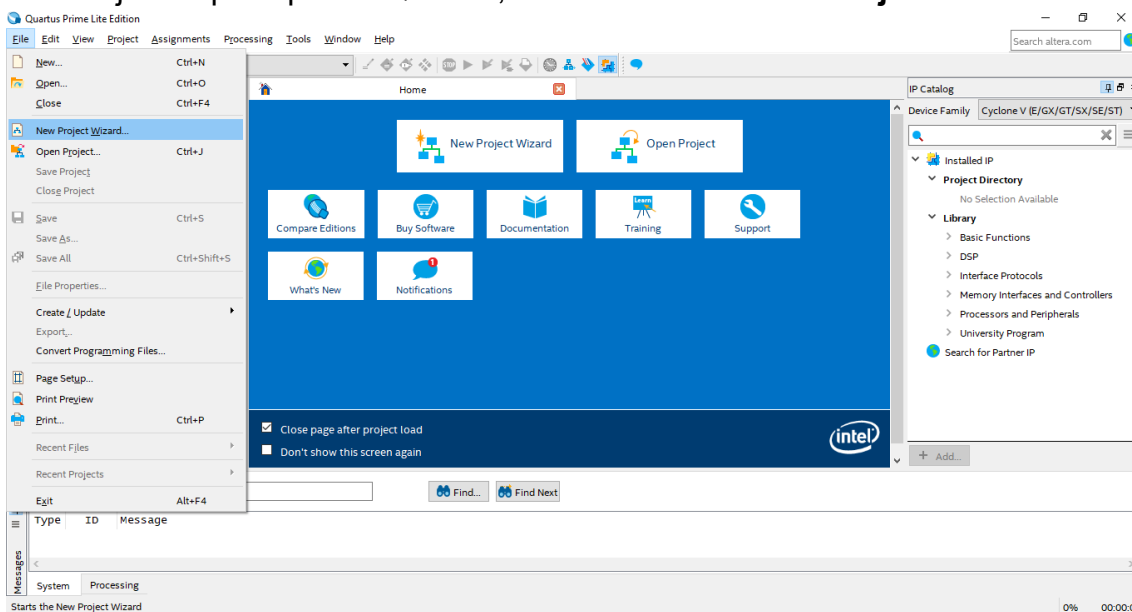
I-2. Você verá a janela inicial do Quartus. Se ela não aparecer dentro de alguns instantes, pode ser necessário executar o Quartus novamente.



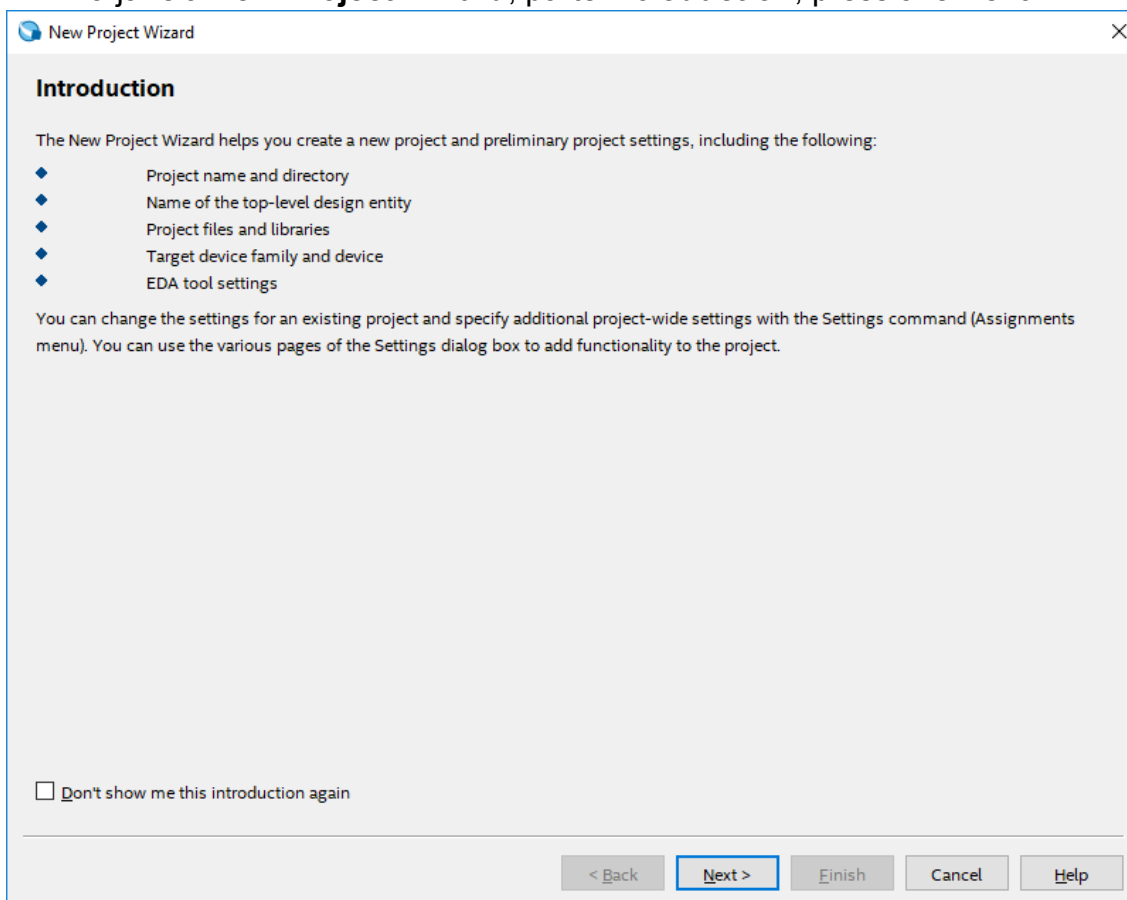


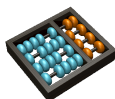
Parte II - Criando um projeto

II-1. Da janela principal do Quartus, selecione **File > New Project Wizard...**

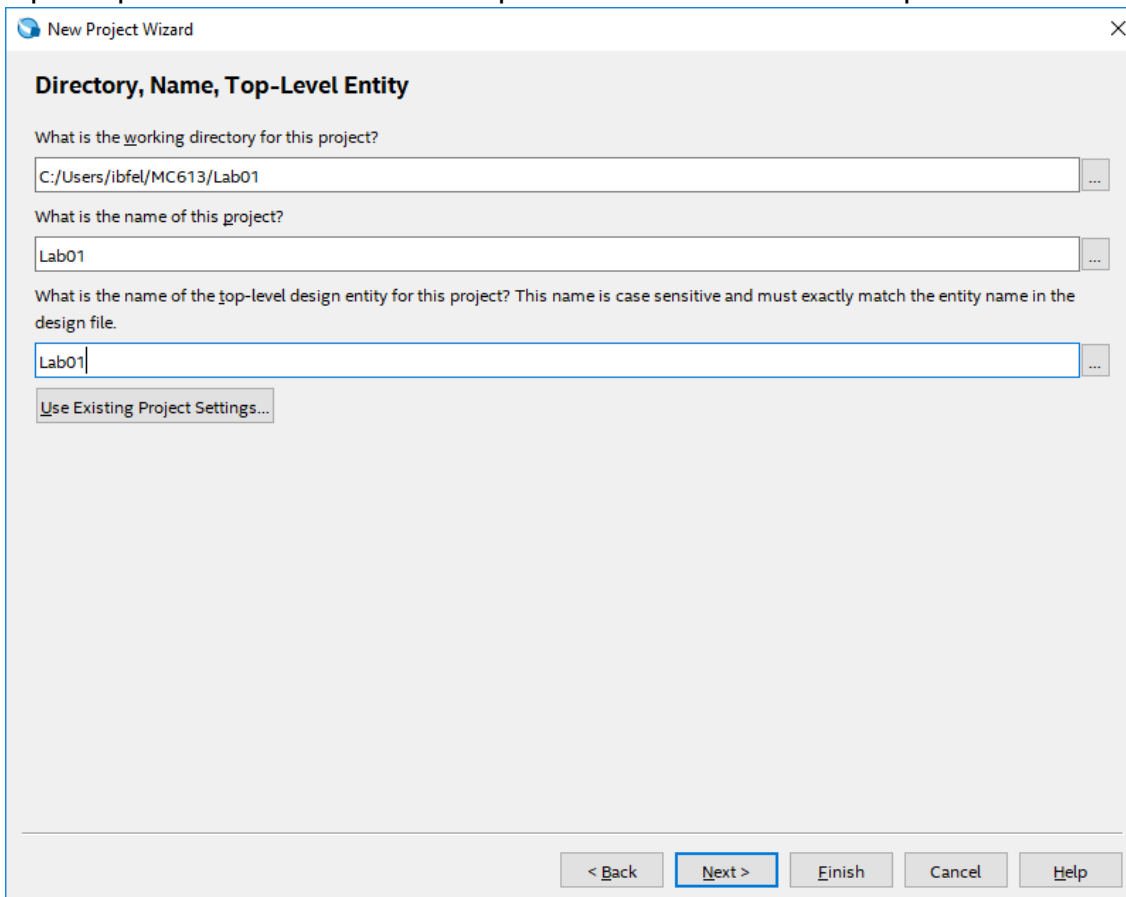


II-2. Na janela **New Project Wizard**, parte **Introduction**, pressione **Next >**.





II-3. Em **Directory, Name, Top-Level Entity**, indique o caminho onde o projeto será salvo (por exemplo, */home/<turma>/<ra#####>/MC613/Lab01*) o nome do projeto (por exemplo, *Lab01*) e o nome da entidade top-level (por exemplo, *Lab01*). A entidade top-level é a entidade mais acima na hierarquia do projeto e aquela que se comunicará com os pinos de entrada e saída da placa DE1-SoC.



The screenshot shows the 'New Project Wizard' dialog box, specifically the 'Directory, Name, Top-Level Entity' step. The dialog has a title bar with a close button. The main area contains three text input fields with labels and a 'Use Existing Project Settings...' button. The first field is labeled 'What is the working directory for this project?' and contains the path 'C:/Users/ibfel/MC613/Lab01'. The second field is labeled 'What is the name of this project?' and contains 'Lab01'. The third field is labeled 'What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.' and contains 'Lab01'. At the bottom, there are five buttons: '< Back', 'Next >', 'Finish', 'Cancel', and 'Help'. The 'Next >' button is highlighted with a blue border.

New Project Wizard

Directory, Name, Top-Level Entity

What is the working directory for this project?

C:/Users/ibfel/MC613/Lab01

What is the name of this project?

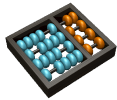
Lab01

What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.

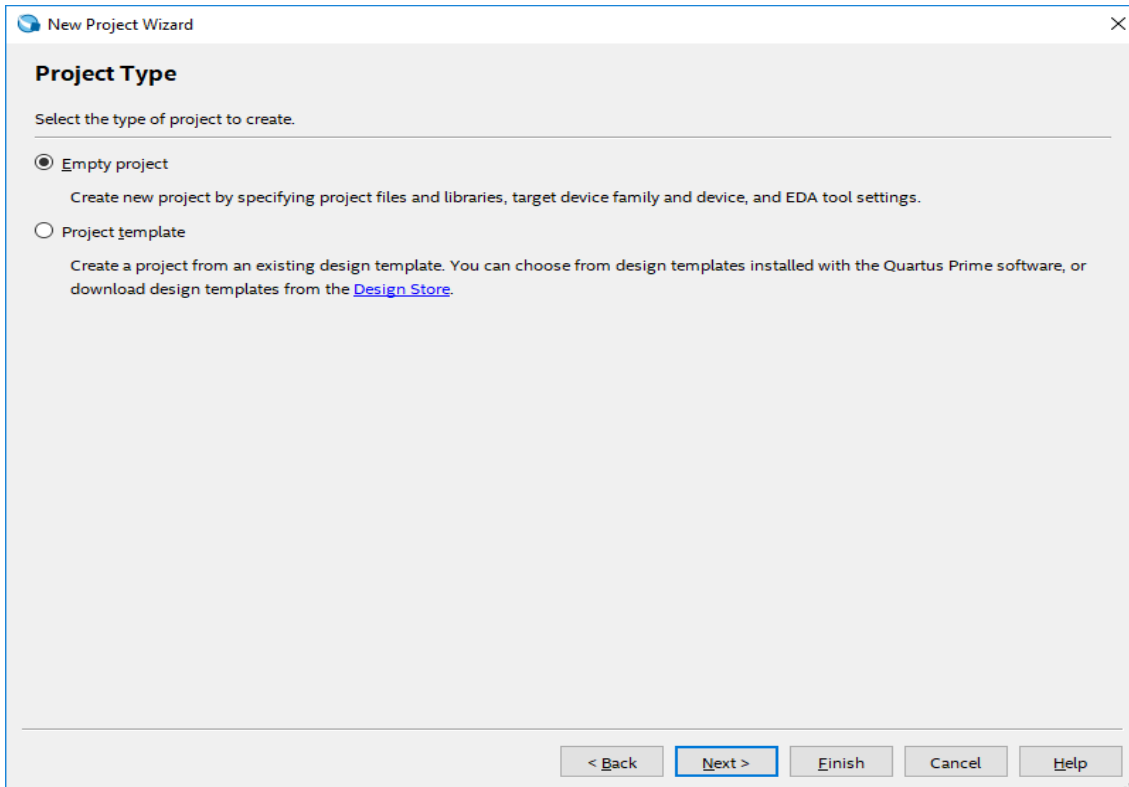
Lab01

Use Existing Project Settings...

< Back Next > Finish Cancel Help



II-4. Em **Project Type** selecione **Empty project** e deixe a janela seguinte, **Add Files**, em branco.



New Project Wizard

Project Type

Select the type of project to create.

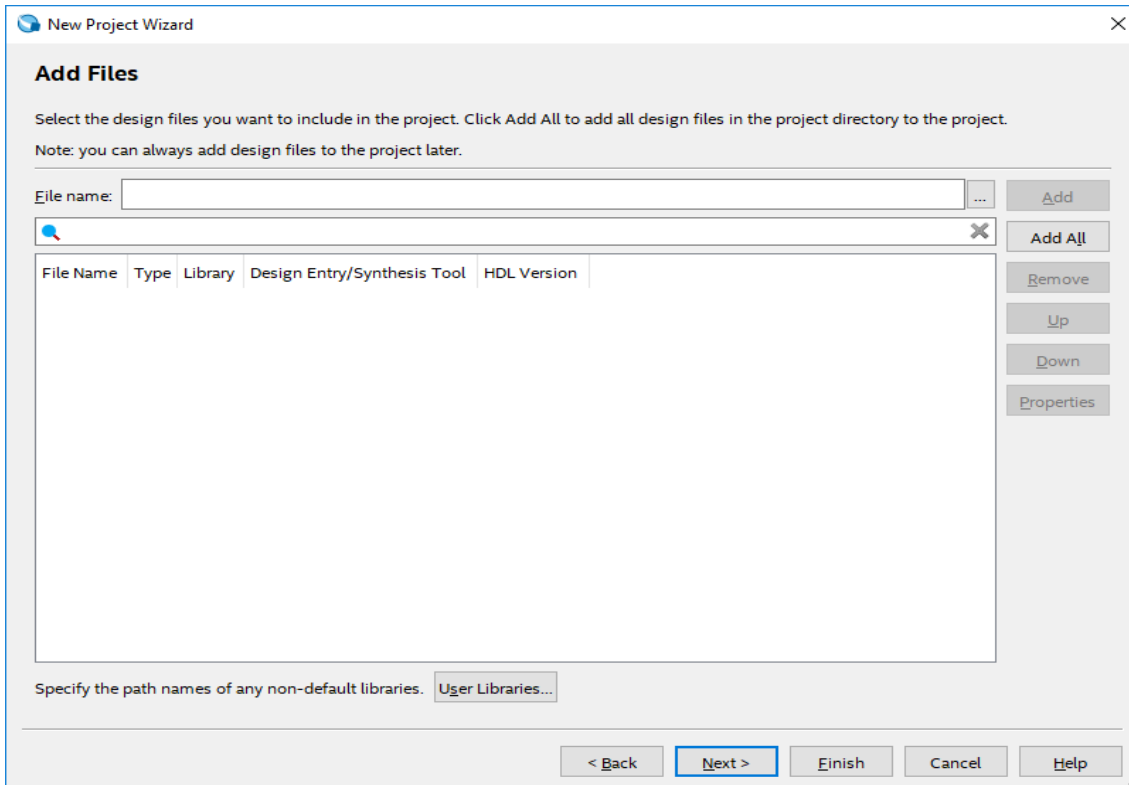
☒ Empty project

Create new project by specifying project files and libraries, target device family and device, and EDA tool settings.

☐ Project template

Create a project from an existing design template. You can choose from design templates installed with the Quartus Prime software, or download design templates from the [Design Store](#).

< Back **Next >** Finish Cancel Help



New Project Wizard

Add Files

Select the design files you want to include in the project. Click Add All to add all design files in the project directory to the project.

Note: you can always add design files to the project later.

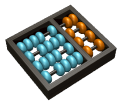
File name: ...

File Name	Type	Library	Design Entry/Synthesis Tool	HDL Version
-----------	------	---------	-----------------------------	-------------

Remove
Up
Down
Properties

Specify the path names of any non-default libraries.

< Back **Next >** Finish Cancel Help



II-5. Em **Family, Device & Board Settings** selecione a aba **Board** e procure na lista a placa que usaremos, **DE1-SoC Board**.

New Project Wizard

Family, Device & Board Settings

Device Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: Cyclone V (E/GX/GT/SX/SE/ST)

Device: All

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Show in 'Available devices' list

Package: Any

Pin count: Any

Core speed grade: Any

Name filter:

☒ Show advanced devices

Available devices:

Name	Core Voltage	ALMs	Total I/Os	GPIOs	GXB Channel PMA	GXB Channel P
5CGXFC7C6F23I7	1.1V	56480	268	240	6	6

< >

< Back Next > Finish Cancel Help

New Project Wizard









Family, Device & Board Settings

Device Board

Select the board/development kit you want to target for compilation.

Family: Cyclone V Development Kit: Any

Available boards:

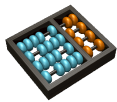
	Name	Version	Family	Device	Vendor	ALMs	Total I/C
	Atlas-SoC (DE0...	1.0	Cyclone V	5CSEMA4U23C6	Terasic	15880	314
	Cyclone V E FP...	1.0	Cyclone V	5CEFA7F31I7	Altera	56480	480
	Cyclone V GT F...	1.0	Cyclone V	5CGTFD9E5F35C7	Altera	113560	616
	Cyclone V SoC...	1.0	Cyclone V	5CSXFC6D6F31C6	Arrow	41910	499
	Cyclone V SoC ...	1.0	Cyclone V	5CSXFC6D6F31C6	Altera	41910	499
	Cyclone V GX S...	1.0	Cyclone V	5CGXFC5C6F27C7	Terasic	29080	364
	DE0-CV Develo...	1.0	Cyclone V	5CEBA4F23C7	Terasic	18480	224
	DE1-SoC Board	1.0	Cyclone V	5CSEMA5F31C6	Altera	32070	457

< >

☒ Create top-level design file.

Can't find your board? Check the [Design Store](#) for additions and search for baseline under Design Examples.

< Back Next > Finish Cancel Help



II-6. Em **EDA Tool Settings** configure a ferramenta de simulação como **ModelSim-Altera** e o formato como **VHDL**, conforme a imagem abaixo.

New Project Wizard

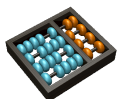
EDA Tool Settings

Specify the other EDA tools used with the Quartus Prime software to develop your project.

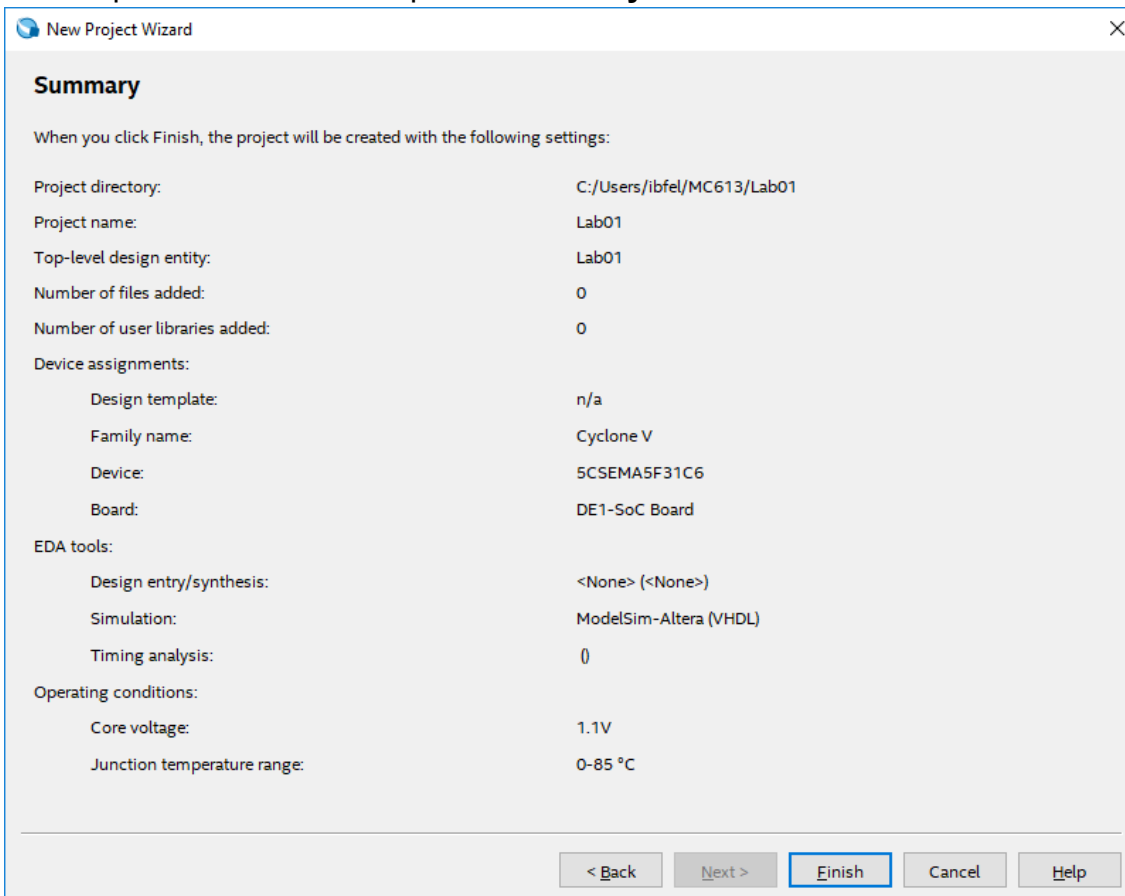
EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synth...	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	ModelSim-Altera	VHDL	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back **Next >** Finish Cancel Help



II-7. Clique em **Finish** na etapa de **Summary**.



New Project Wizard

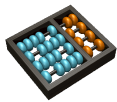
Summary

When you click Finish, the project will be created with the following settings:

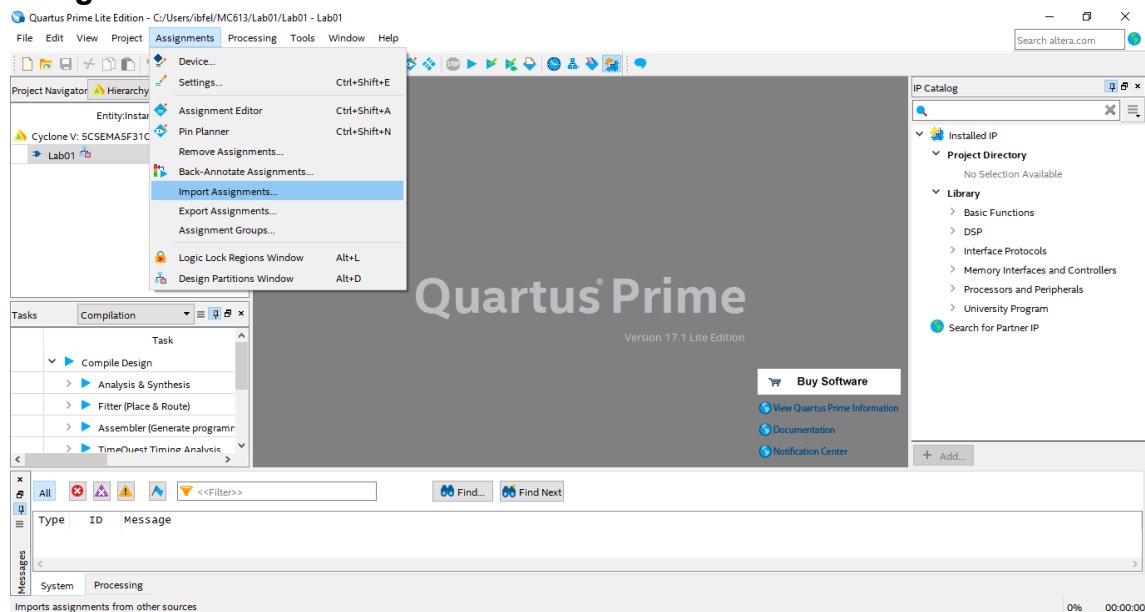
Project directory:	C:/Users/ibfel/MC613/Lab01
Project name:	Lab01
Top-level design entity:	Lab01
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Design template:	n/a
Family name:	Cyclone V
Device:	5CSEMA5F31C6
Board:	DE1-SoC Board
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	ModelSim-Altera (VHDL)
Timing analysis:	()
Operating conditions:	
Core voltage:	1.1V
Junction temperature range:	0-85 °C

< Back Next > **Finish** Cancel Help

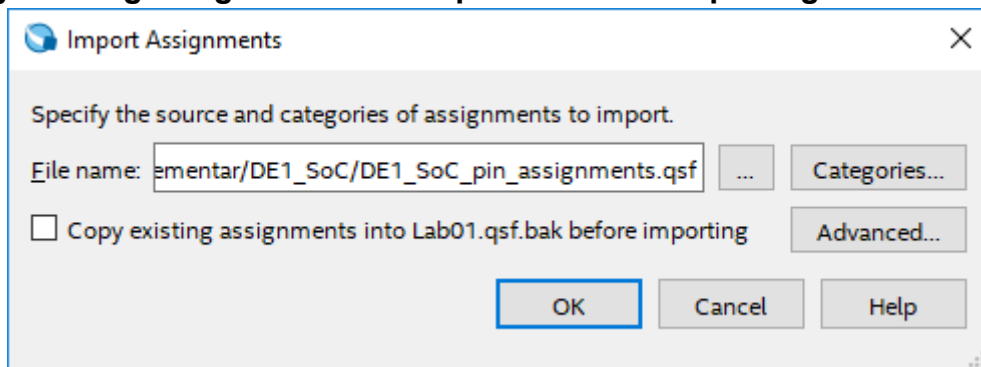
II-8. Acesse a pasta de Material Complementar da disciplina, disponível em <https://goo.gl/PPm4iP>, e faça o download do arquivo **DE1_SoC_pin_assignments.qsf**, dentro da pasta **DE1-SoC**.

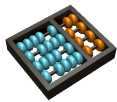


II-9. Da janela principal do Quartus, vá em **Assignments > Import Assignments...**

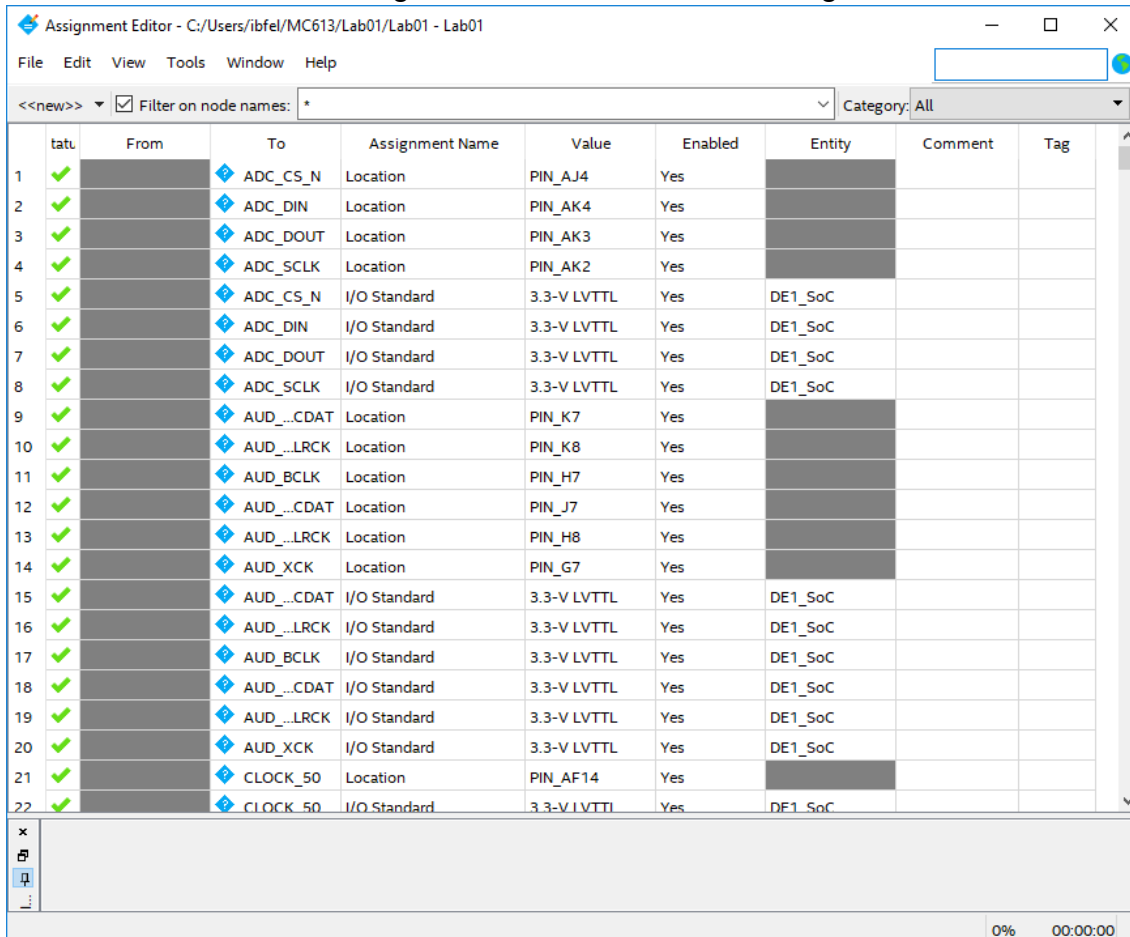


II-10. Selecione o arquivo que você baixou no passo 8, desmarque a caixa **Copy existing assignments into *.qsf.bak before importing** e confirme.





II-11. De volta à janela principal, vá em **Assignments > Assignment Editor**. Você verá uma lista de assignments semelhante à da imagem abaixo.



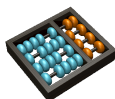
The screenshot shows the 'Assignment Editor' window with the following data:

	tatu	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1	✓		ADC_CS_N	Location	PIN_AJ4	Yes			
2	✓		ADC_DIN	Location	PIN_AK4	Yes			
3	✓		ADC_DOUT	Location	PIN_AK3	Yes			
4	✓		ADC_SCLK	Location	PIN_AK2	Yes			
5	✓		ADC_CS_N	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
6	✓		ADC_DIN	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
7	✓		ADC_DOUT	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
8	✓		ADC_SCLK	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
9	✓		AUD_...CDAT	Location	PIN_K7	Yes			
10	✓		AUD_...LRCK	Location	PIN_K8	Yes			
11	✓		AUD_BCLK	Location	PIN_H7	Yes			
12	✓		AUD_...CDAT	Location	PIN_J7	Yes			
13	✓		AUD_...LRCK	Location	PIN_H8	Yes			
14	✓		AUD_XCK	Location	PIN_G7	Yes			
15	✓		AUD_...CDAT	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
16	✓		AUD_...LRCK	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
17	✓		AUD_BCLK	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
18	✓		AUD_...CDAT	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
19	✓		AUD_...LRCK	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
20	✓		AUD_XCK	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
21	✓		CLOCK_50	Location	PIN_AF14	Yes			
22	✓		CLOCK_50	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		

Vamos focar apenas nos itens da lista que possuem a coluna **Assignment Name** como **Location**, que indicam a correspondência entre os pinos da placa a os sinais no circuito.

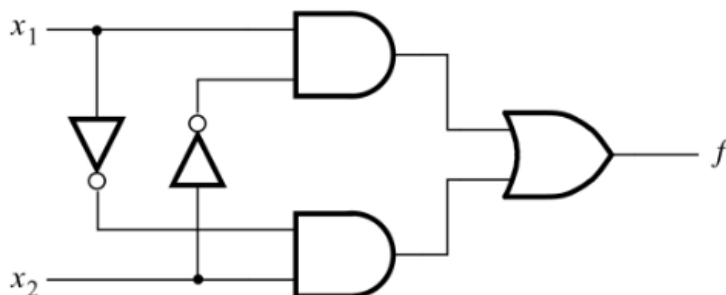
A coluna **To** indica o nome de um possível sinal no circuito (no código VHDL), de acordo com as convenções definidas no manual da placa (consulte o manual na pasta de Material Complementar). A coluna **Value** contém o código de um pino na placa para fazer a conexão.

Por exemplo, o sinal **SW[0]** é o primeiro switch-button da placa (**SW0**) e será conectado ao pino **PIN_AB12**.



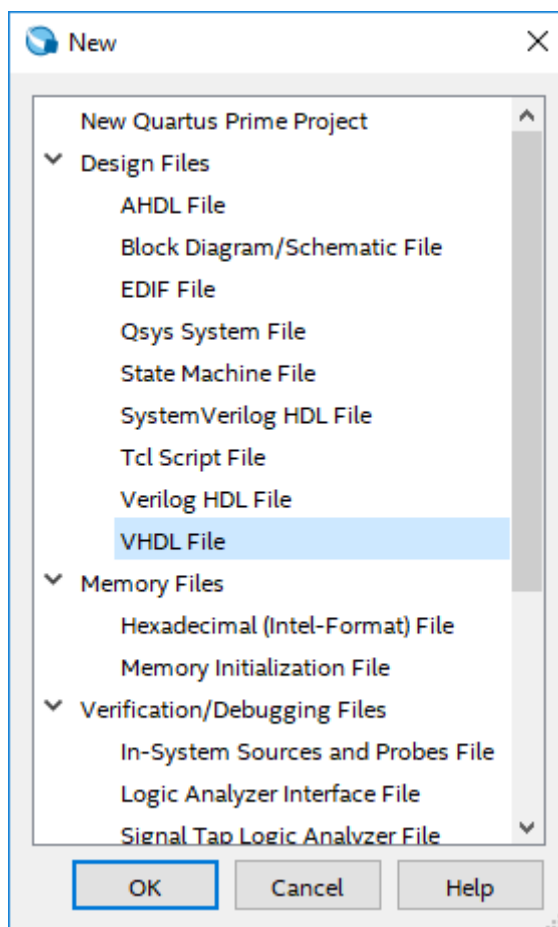
Parte III - Escrevendo o primeiro código VHDL

III-1. Nosso circuito de exemplo será um circuito de controle de interruptores do tipo “chave-hotel”, em que dois interruptores controlam uma mesma lâmpada, permitindo acendê-la em um interruptor e apagá-la em outro. Veja o diagrama do circuito lógico e a tabela-verdade abaixo, em que x_1 e x_2 são os interruptores e f é a lâmpada.

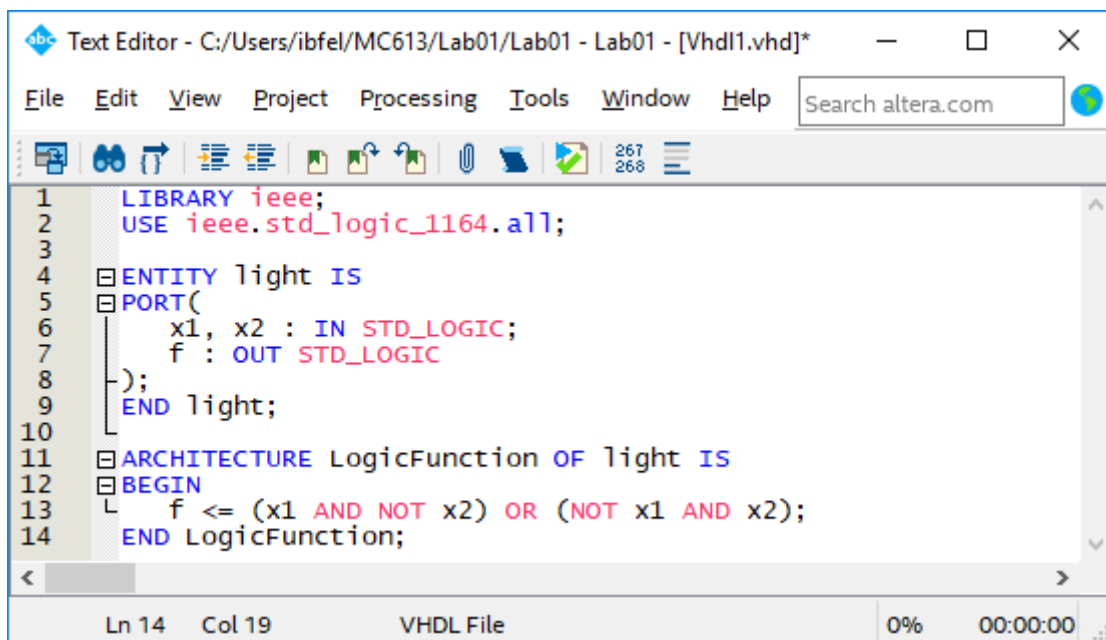
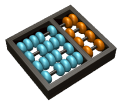


x_1	x_2	f
0	0	0
0	1	1
1	0	1
1	1	0

III-2. Crie um novo arquivo a partir da janela principal do Quartus, dentro de um projeto, em **File > New....** Selecione um arquivo do tipo **Design Files > VHDL File**.



III-3. Escreva no novo arquivo o código em VHDL que representa o circuito:



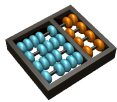
The screenshot shows a text editor window titled "Text Editor - C:/Users/ibfel/MC613/Lab01/Lab01 - Lab01 - [Vhdl1.vhd]*". The menu bar includes File, Edit, View, Project, Processing, Tools, Window, and Help. A search bar on the right says "Search altera.com". The toolbar contains various icons for file operations and editing. The code is as follows:

```
1  LIBRARY ieee;
2  USE ieee.std_logic_1164.all;
3
4  ENTITY light IS
5  PORT(
6      x1, x2 : IN STD_LOGIC;
7      f : OUT STD_LOGIC
8  );
9  END light;
10
11 ARCHITECTURE LogicFunction OF light IS
12 BEGIN
13     f <= (x1 AND NOT x2) OR (NOT x1 AND x2);
14 END LogicFunction;
```

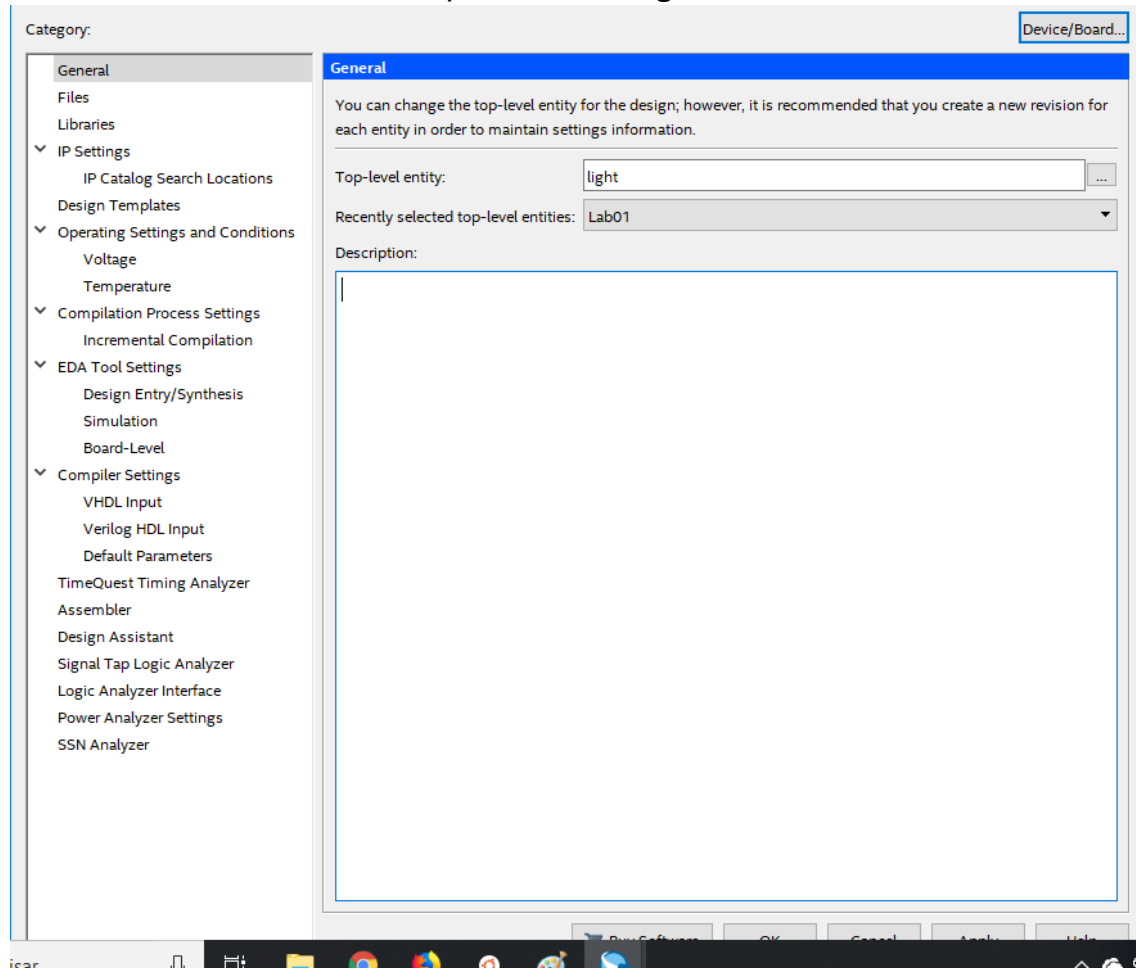
The status bar at the bottom indicates "Ln 14 Col 19", "VHDL File", "0%", and "00:00:00".

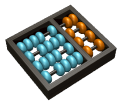
III-4. Salve o arquivo (**File > Save**) com o nome **light.vhd**. Certifique-se de marcar a caixa **Add file to current project**.

ENTREGA: arquivo **light.vhd**.



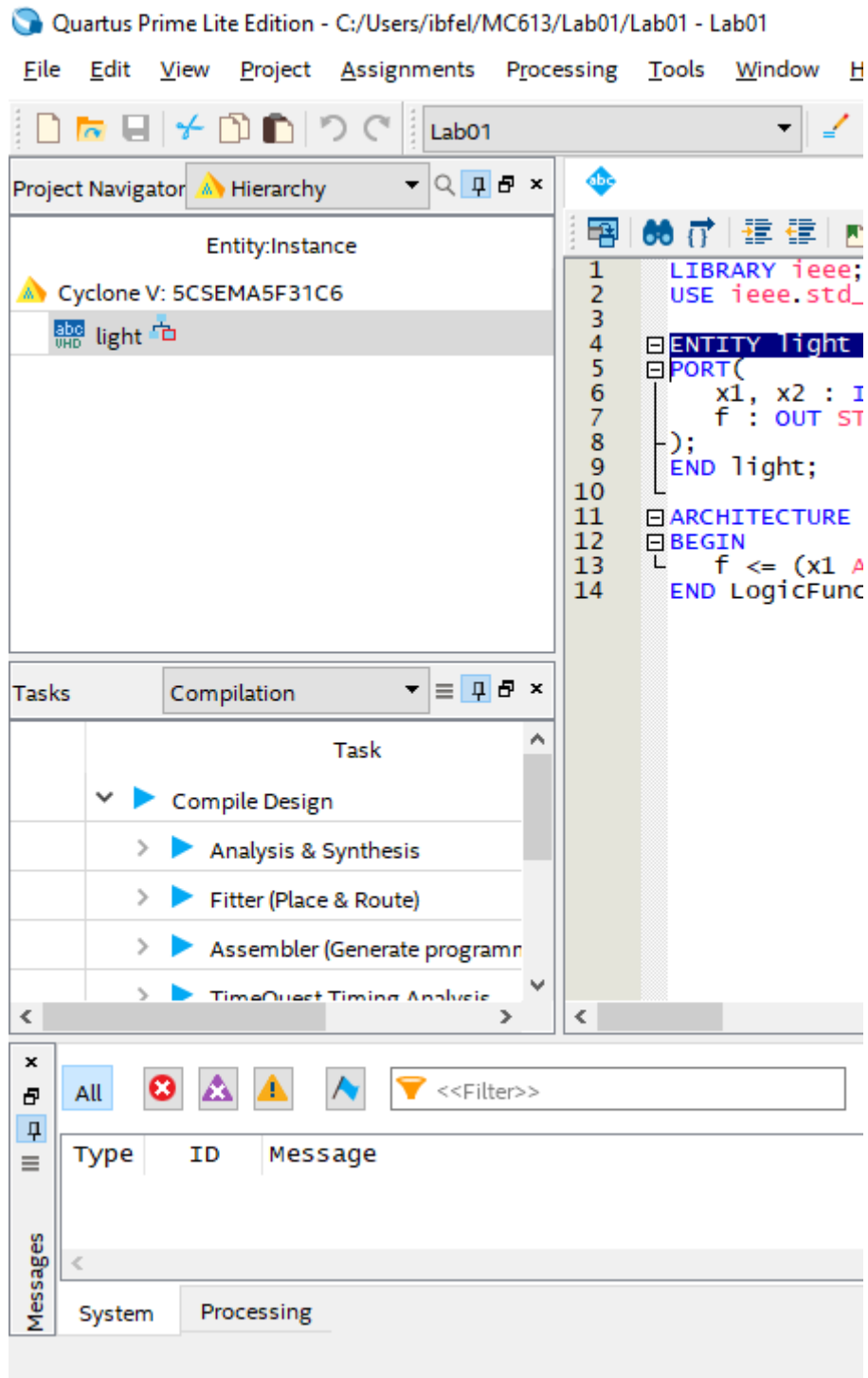
III-5. No código VHDL, nós chamamos a entidade principal de **light**. Como essa será a entidade top-level do projeto, temos que instruir o Quartus a buscar a entidade certa. Para isso, vá em **Assignments > Settings**, na aba **General** e escreva o nome da entidade top-level como **light**.

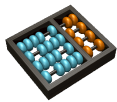




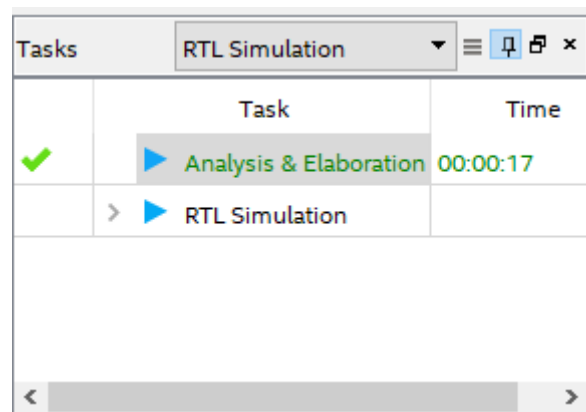
Parte IV - Simulando o circuito

IV-1. Para iniciar a simulação, vamos utilizar as tarefas disponíveis no painel **Tasks**, à esquerda da tela. Se o painel não estiver visível, exiba-o pelo menu **View > Utility Windows > Tasks**.

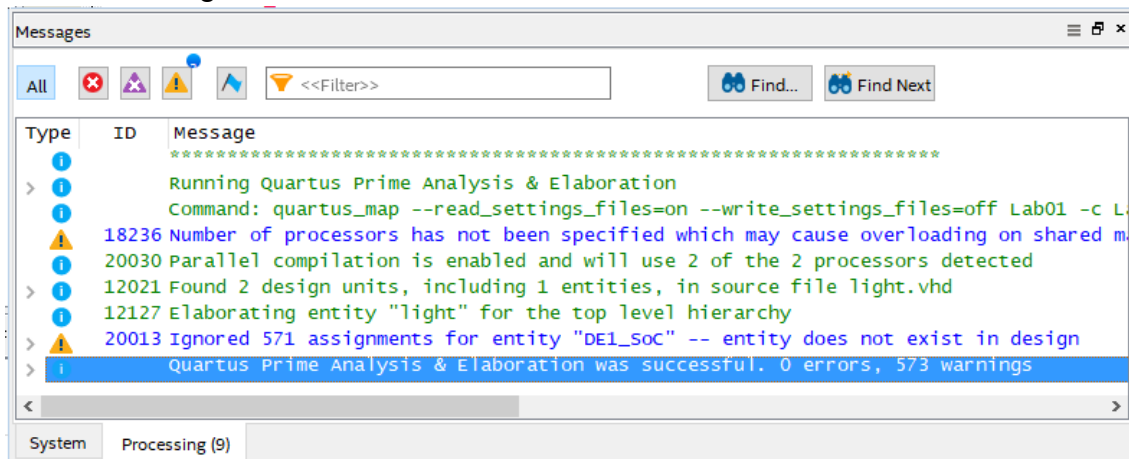




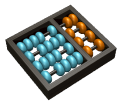
IV-2. Selecione **RTL Simulation** no menu drop-down do painel **Tasks**. Você verá duas tarefas disponíveis: **Analysis & Elaboration** e **RTL Simulation**. Execute primeiro **Analysis & Elaboration** clicando duas vezes sobre ela. Se tudo estiver certo com o seu código, a tarefa terminará de executar com sucesso.



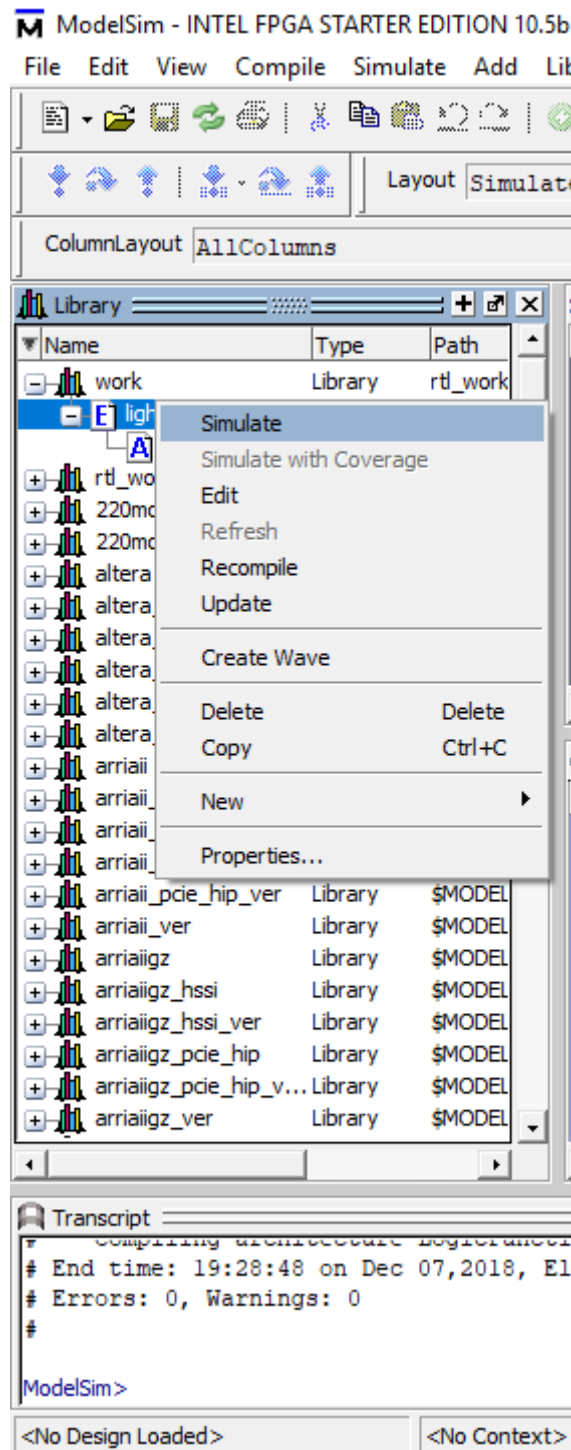
IV-3. Na parte inferior da janela principal do Quartus você verá o painel de log, **Messages** (se não estiver visível, exiba-o em **View > Utility Windows > Messages**). Se tudo estiver certo, você verá ao fim uma mensagem indicando que Analysis & Elaboration executou com sucesso, sem nenhum erro e com muitos warnings.

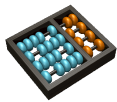


É normal que o código VHDL compile com muitos warnings. Apesar disso, vale a pena reservar um tempo para analisar os warnings, pois muitos erros comuns podem ser mais facilmente identificados a partir deles.

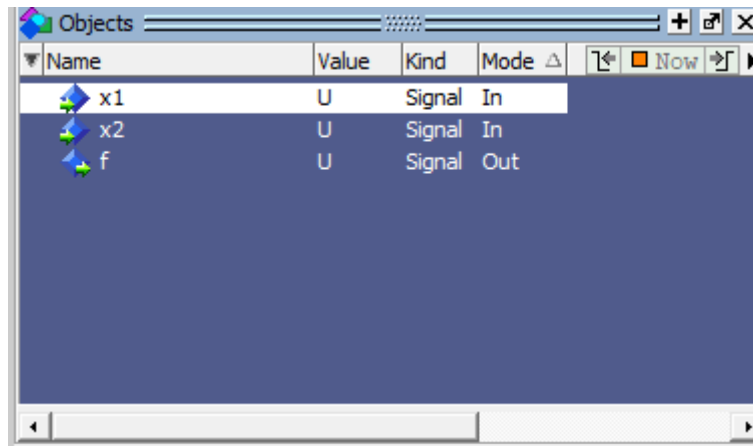


IV-4. De volta ao painel **Tasks**, dê um clique duplo na tarefa **RTL Simulation**. O Quartus executará a aplicação ModelSim. Dentro do ModelSim, você verá o painel **Library** (se não estiver visível, exiba-o em **View > Library**), listando várias bibliotecas. Dentro da biblioteca **work**, você verá a entidade **light** que acabou de criar. Clique com o botão direito sobre a entidade **light** e selecione **Simulate**.

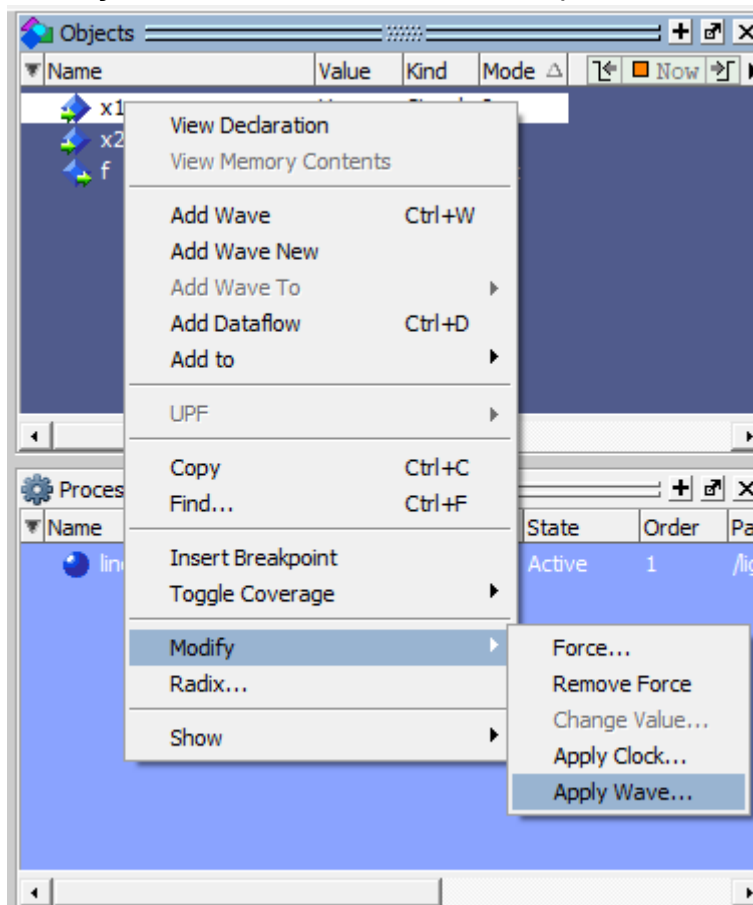


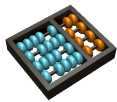


IV-5. O painel **Objects** (se não estiver visível, exiba-o em **View > Objects**) será populado com os elementos da entidade escolhida, no caso as entradas x_1 e x_2 e a saída f .

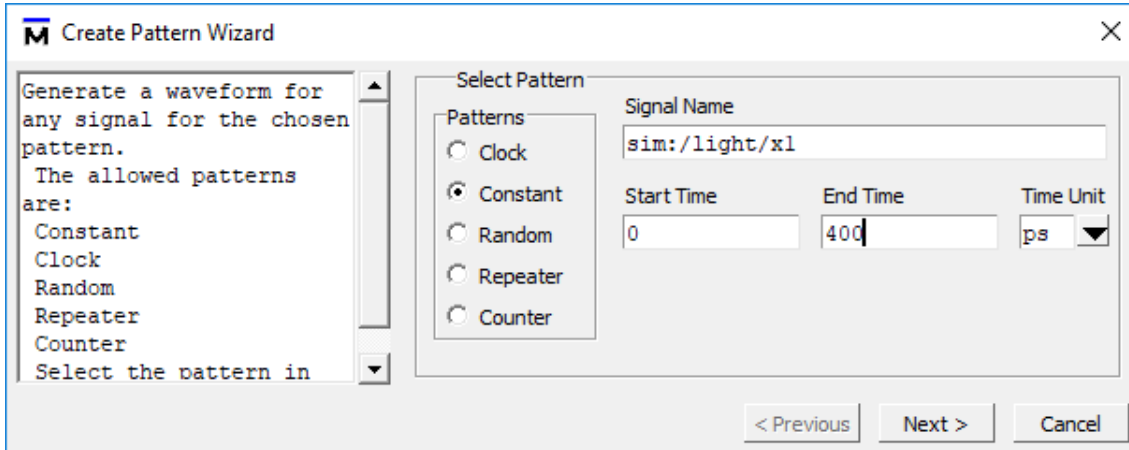


IV-6. Clique com o botão direito sobre o sinal x_1 , selecione **Modify > Apply Wave...** para começar a criar uma onda de entrada para este sinal.





IV-7. Na janela **Create Pattern Wizard**, selecione o **Pattern** como **Constant**, e configure **Start Time** e **End Time** como **0** e **400 ps**. Clique **Next >**.



Generate a waveform for any signal for the chosen pattern. The allowed patterns are:

- Constant
- Clock
- Random
- Repeater
- Counter

Select the pattern in

Select Pattern

Patterns

- ☐ Clock
- ☒ Constant
- ☐ Random
- ☐ Repeater
- ☐ Counter

Signal Name

sim:/light/x1

Start Time

0

End Time

400

Time Unit

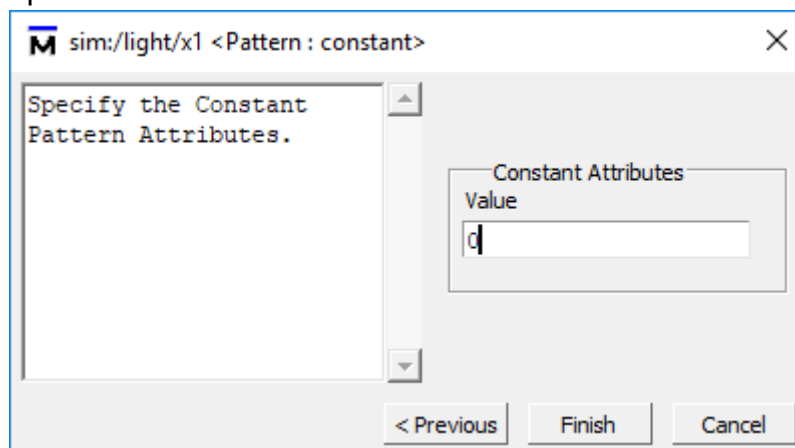
ps

< Previous

Next >

Cancel

IV-8. Na janela seguinte, dê o valor **0** para o período especificado da onda de entrada e clique **Finish**.



Specify the Constant Pattern Attributes.

Constant Attributes

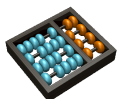
Value

0

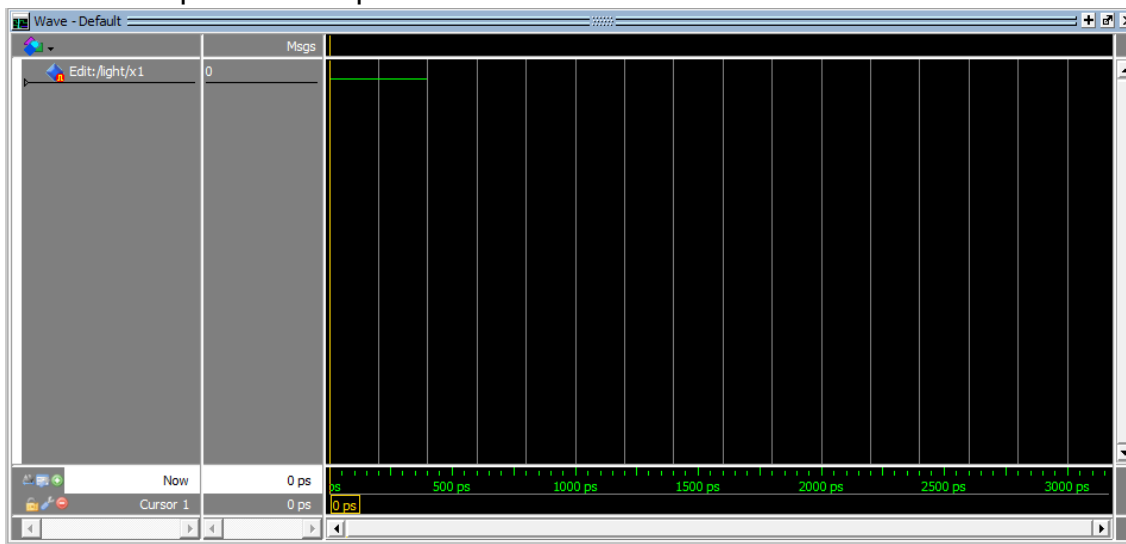
< Previous

Finish

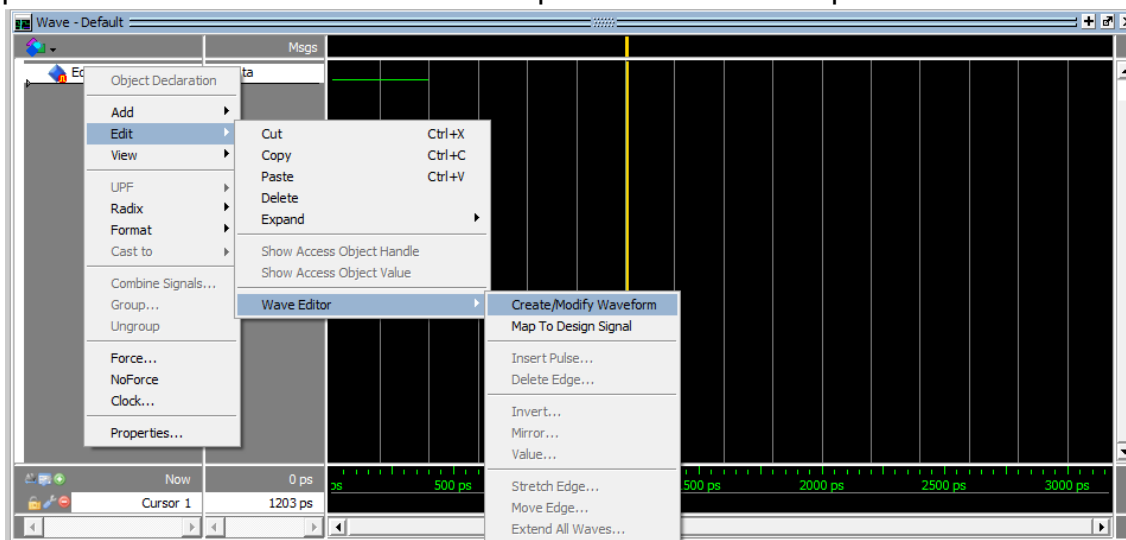
Cancel

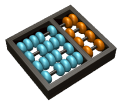


IV-9. O ModelSim exibirá o painel **Wave** com a onda de entrada x_1 e o valor 0 entre os tempos 0 e 400 ps.

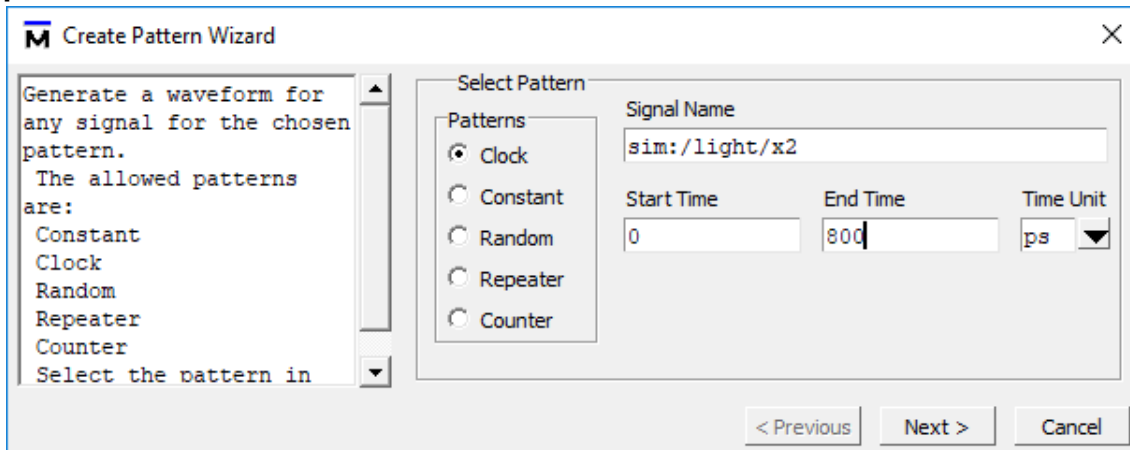


IV-10. Para adicionar um segundo valor à onda, clique com o botão direito sobre ela no painel **Wave** e selecione **Edit > Wave Editor > Create/Modify Waveform**. Você verá novamente a janela **Create Pattern Wizard**. Utilize-a para incluir na onda o valor 1 nos tempos entre 400 e 800 ps.

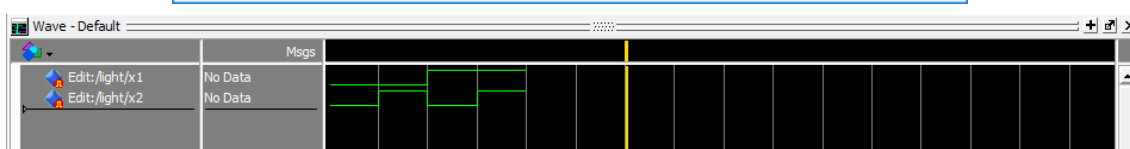
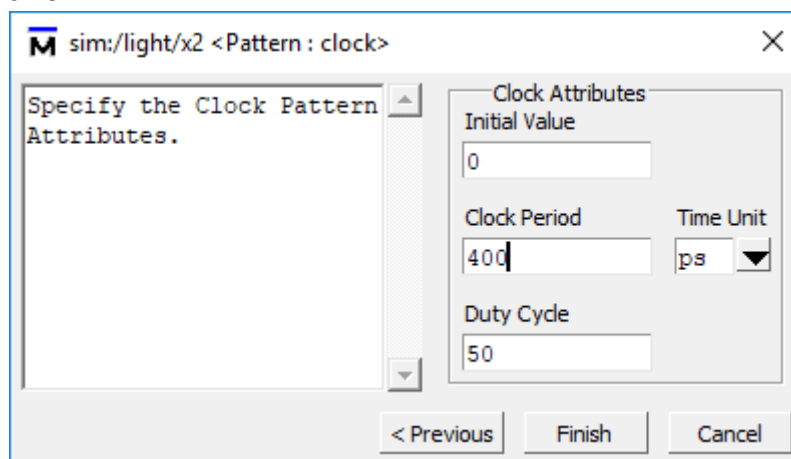


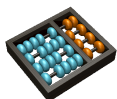


IV-11. Uma outra maneira de definir ondas que oscilam entre 0 e 1 é definindo a elas um formato de sinal de relógio (clock). Para isso, clique com o botão direito no sinal x_2 no painel **Objects** e selecione **Modify > Apply Wave...** novamente. Na janela **Create Pattern Wizard** selecione o **Pattern** como **Clock** e **Start Time** e **End Time** como os tempos totais para a onda, no caso, **0** e **800 ps**.



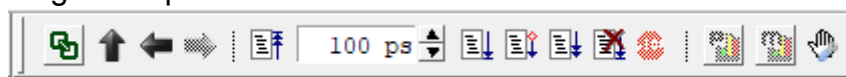
IV-12. Na janela seguinte, marque o valor inicial (**Initial Value**) da onda como **0** e o período (**Clock Period**) como **400 ps**. Observe a forma de onda resultante no painel **Wave**.



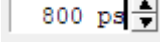



IV-13. Adicione o sinal de saída **f** no painel **Wave** simplesmente clicando e arrastando ele desde o painel **Objects**.

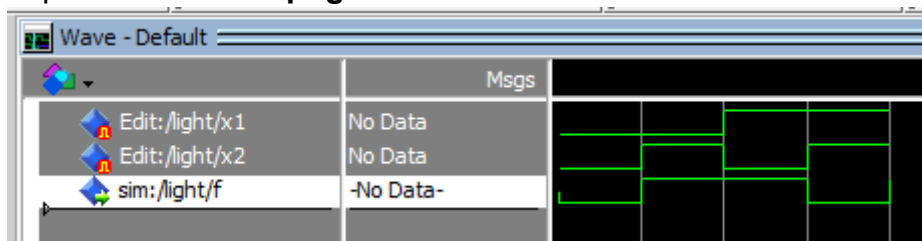
IV-14. Na barra de tarefas do ModelSim, procure pelas opções de simulação, que têm a seguinte aparência:



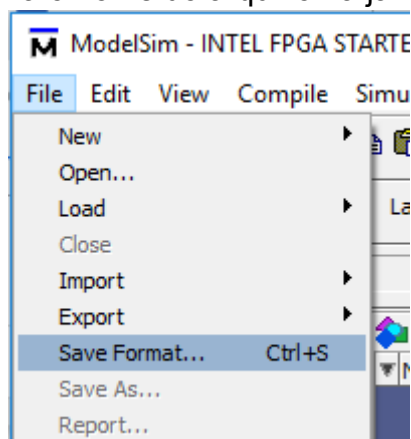
Caso não estejam visíveis, exiba-as em **Window > Toolbars > Simulate**.

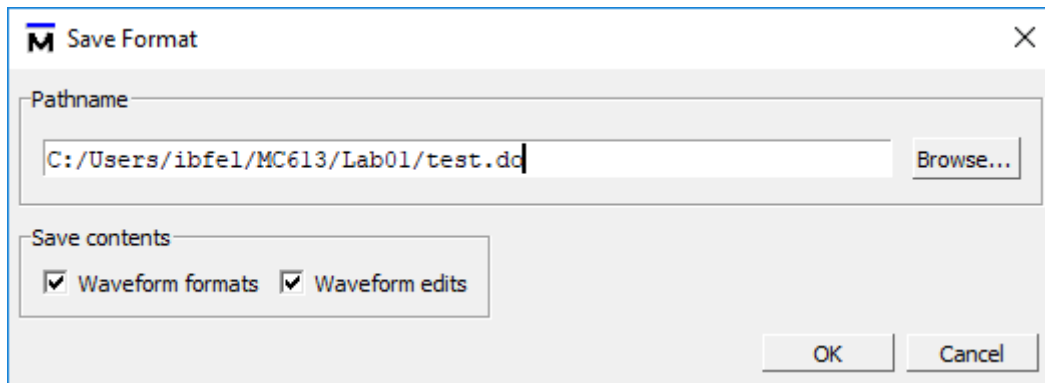
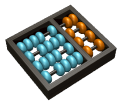
IV-15. Configure o tempo de simulação como **800 ps** () e inicie a simulação clicando em **Run** (). O simulador completará as formas de onda do painel **Wave** com a onda de saída do sinal **f**. Compare a saída com a tabela-verdade esperada para atestar sua correteude.

ENTREGA: uma screenshot desta simulação, onde apareçam os sinais **x1**, **x2** e **f**, no arquivo **simulation.png**.

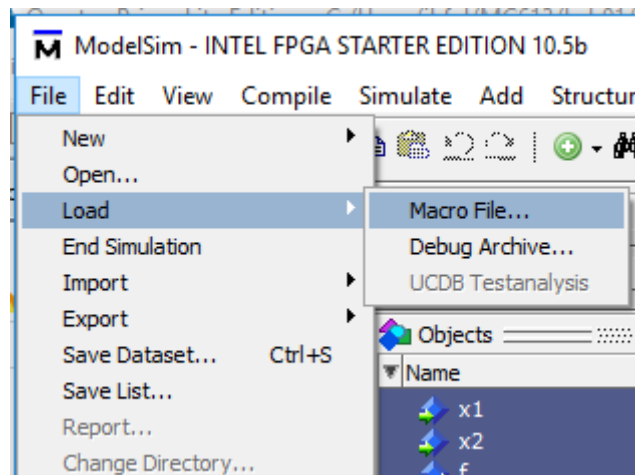


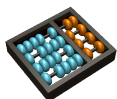
IV-16. Agora que você criou sua forma de onda de teste, salve-a para uso futuro, para que não precise redesenhá-la novamente. Para isso, selecione **File > Save Format...** e escolha o nome do arquivo na janela **Save Format**.





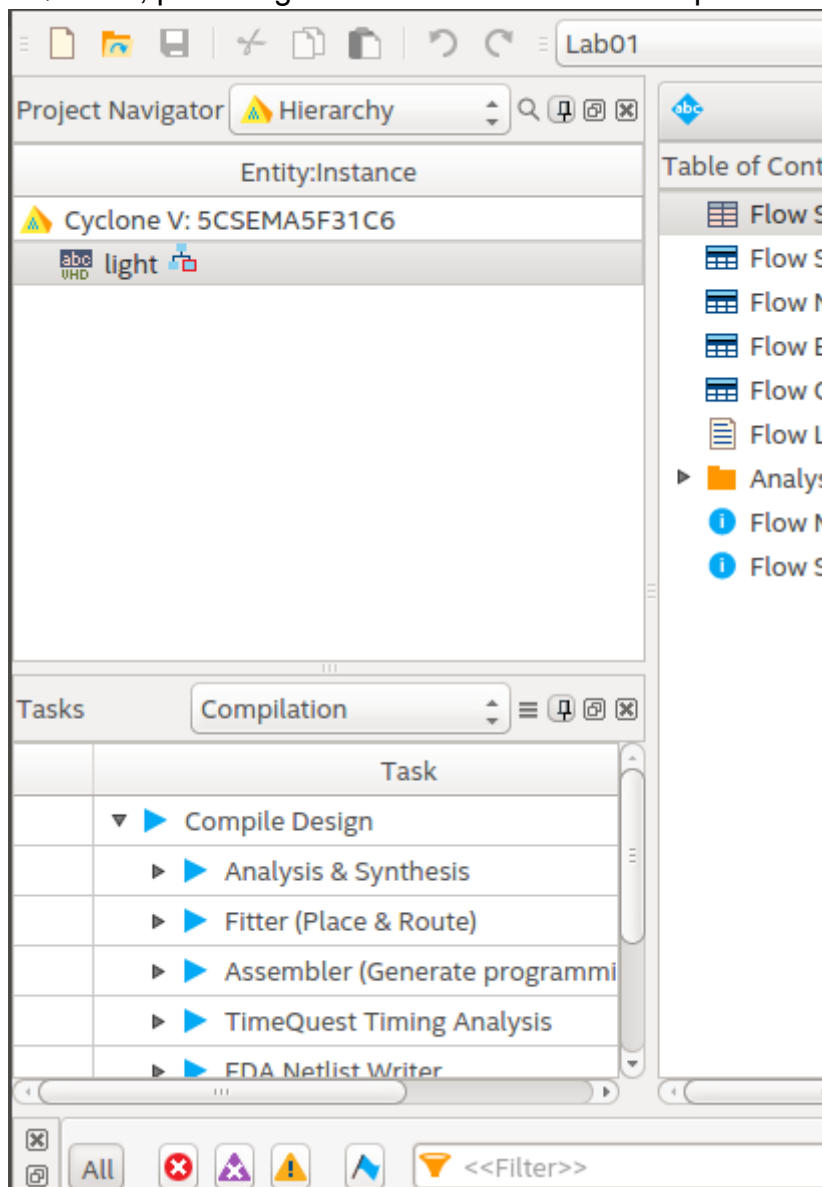
IV-17. Para recuperar a forma de onda salva após fechar o ModelSim, inicie uma nova simulação (passos 1-4) e selecione **File > Load > Macro File...** e escolha o arquivo *.do salvo.





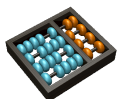
Parte V - Gravando o circuito na placa

V-1. Para gravar o circuito na placa, vamos voltar ao painel **Tasks** da janela principal do Quartus, porém agora selecionando as tarefas para **Compilation**.



V-2. No momento, os passos que nos interessam são **Analysis & Synthesis**, **Fitter** e **Assembler**. O primeiro faz a análise do código descrito e a síntese, o segundo mapeia o resultado utilizando os componentes disponíveis na placa e o terceiro formata o resultado em um arquivo para gravação.

É normal que essas tarefas demorem muito mais que uma compilação de software, mesmo para designs pequenos. Porém, caso esteja demorando MUITO tempo (mais de 10 ou 15 minutos), pode ser um indicativo de algo de errado com o código.

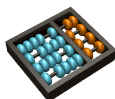


É sempre recomendável checar os warnings gerados, pois eles ajudam a identificar possíveis erros no código.

Comece executando o passo de **Analysis & Synthesis**, clicando duas vezes sobre eles.

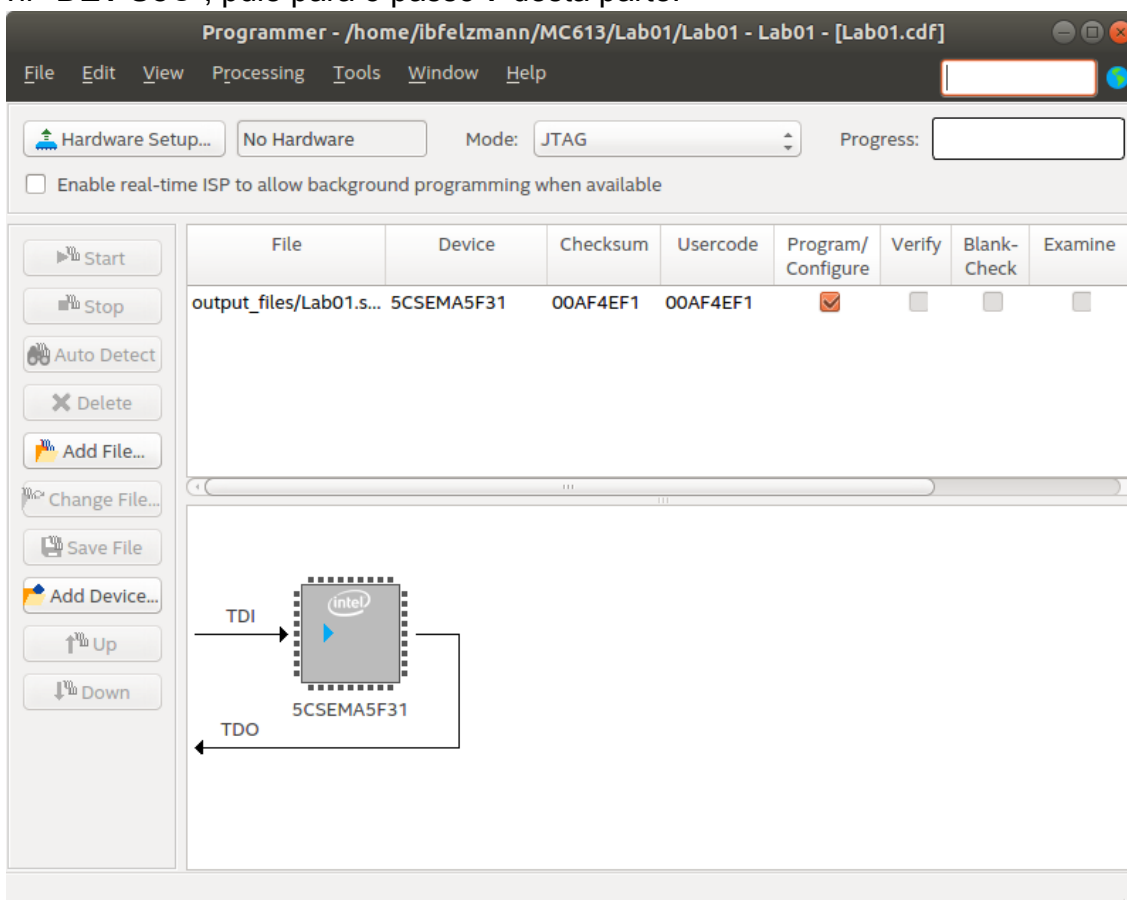
V-3. Após concluir Analysis & Synthesis, volte na janela do **Assignment Editor**, no menu **Assignments**. Procure na tabela as linhas do tipo **Location** referentes aos switches 0 e 1 da placa (**SW[0]** e **SW[1]**) e ao LED 0 (**LEDR[0]**). Substitua os sinais pelas entradas e saídas do nosso circuito, **x1**, **x2** e **f**, respectivamente. Se tudo estiver certo, você verá um *checkmark* verde nas linhas correspondentes, indicando que o Quartus identificou e validou os sinais corretamente, conforme a imagem abaixo. Salve o arquivo.

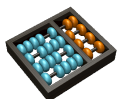
373	?	PS2_DAT2	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
380	?	PS2_DAT2	I/O Standard	3.3-V LVTTTL	Yes	DE1_SoC		
381	✓	in_x1	Location	PIN_AB12	Yes			
382	✓	in_x2	Location	PIN_AC12	Yes			
383	?	SW[2]	Location	PIN_AF9	Yes			
384	?	SW[3]	Location	PIN_AF10	Yes			
385	?	SW[4]	Location	PIN_AD11	Yes			
386	?	SW[5]	Location	PIN_AD12	Yes			
387	?	SW[6]	Location	PIN_AE11	Yes			



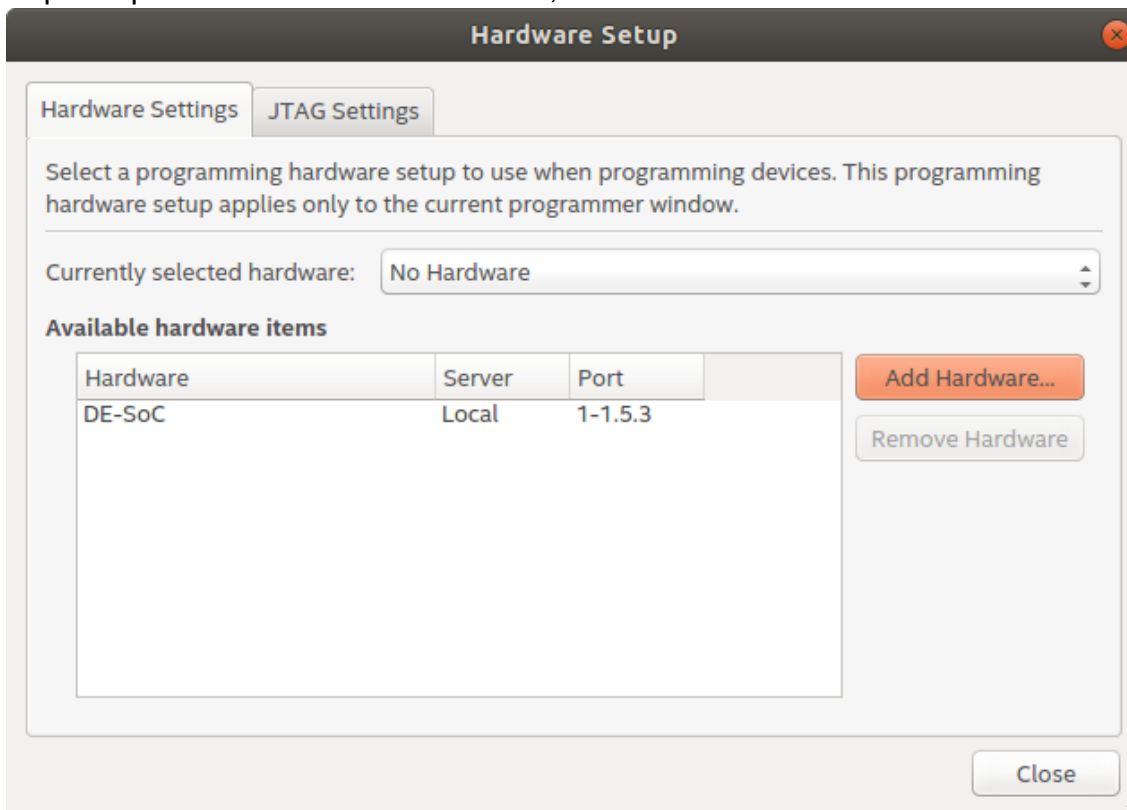
V-4. De volta ao painel **Tasks**, execute os passos do **Fitter** e **Assembler**, sempre acompanhando as mensagens de *warning*. Terminado o **Assembler**, ligue a placa na tomada e na USB do computador e ligue-a no botão vermelho. Role o painel um pouco para baixo e clique em **Open Programmer**. Você verá a janela do gravador na placa.

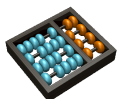
Se na parte superior esquerda da janela você vir a mensagem “**No Hardware**”, conforme a imagem abaixo, clique em **Hardware Setup....** Caso contrário, se vir “**DE1-SoC**”, pule para o passo 7 desta parte.



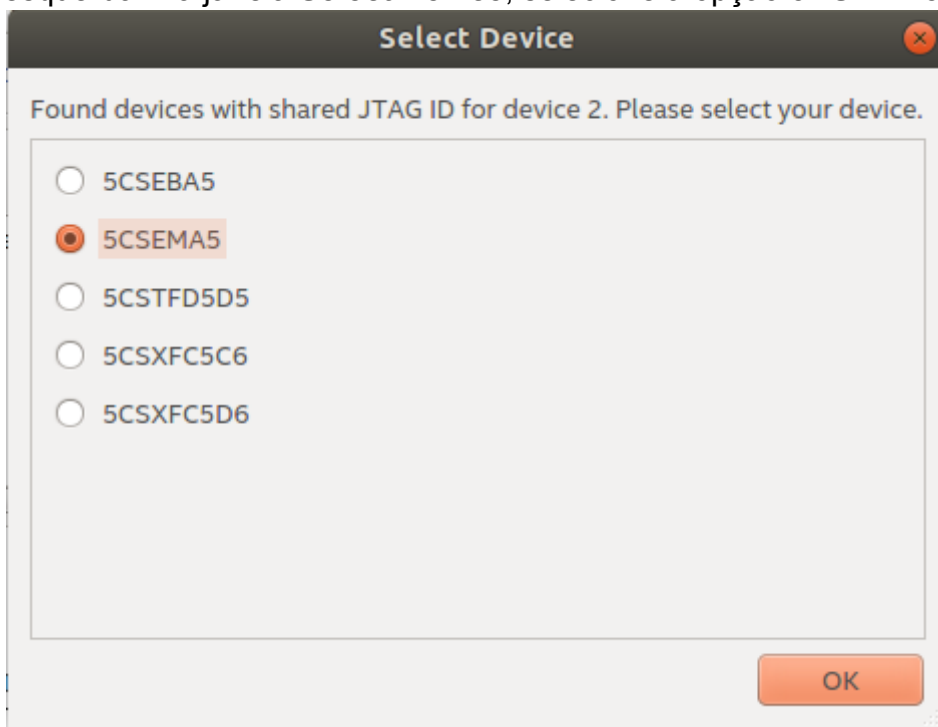


V-5. Na janela **Hardware Setup**, na tabela **Available hardware items**, dê um clique duplo sobre **DE-SoC** e confirme, clicando em **Close**.

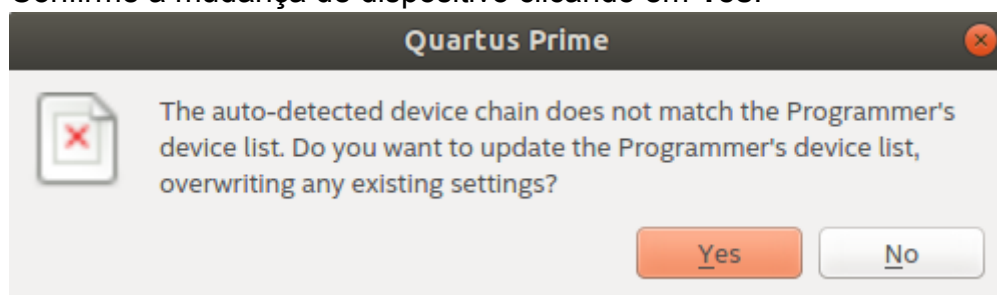


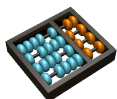


V-6. De volta à janela principal do gravador, clique no botão **Auto Detect**, à esquerda. Na janela **Select Device**, selecione a opção **5CSEMA5** e confirme.

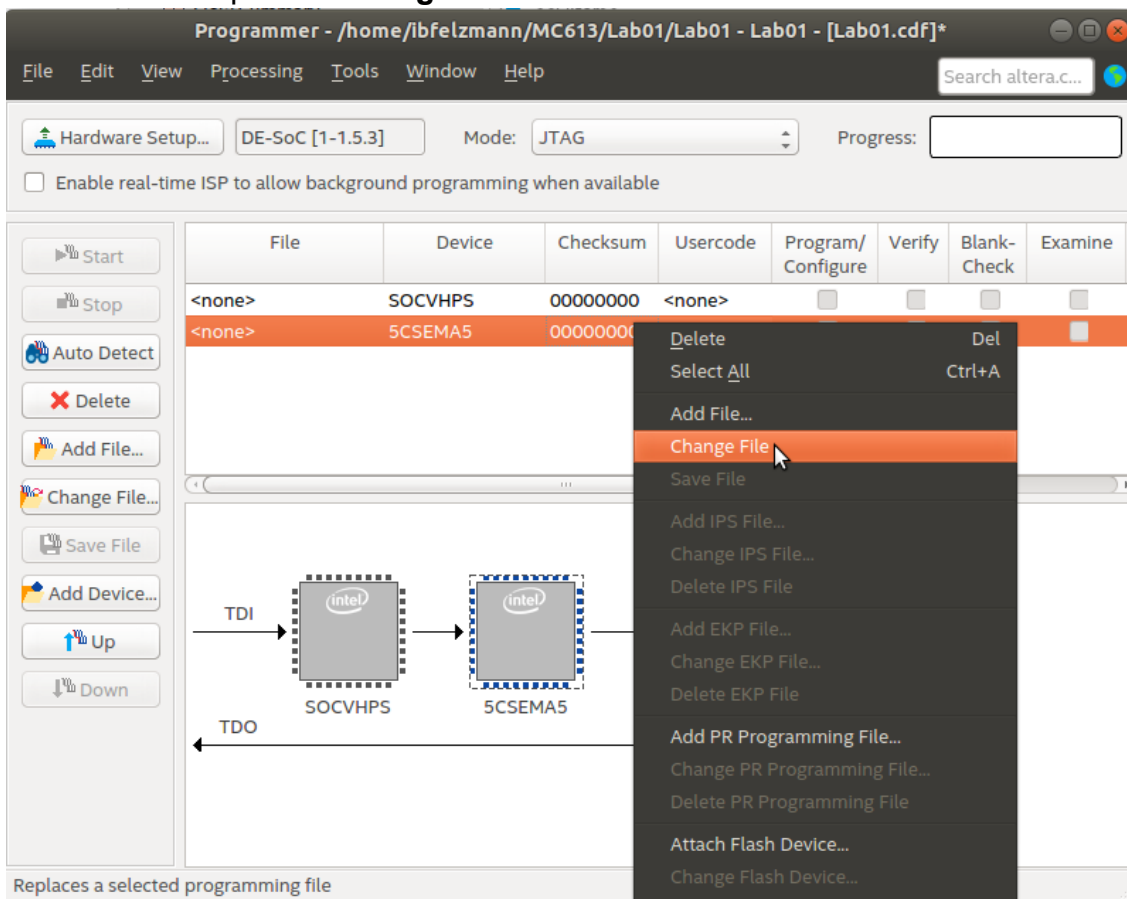


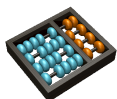
V-7. Confirme a mudança de dispositivo clicando em **Yes**.



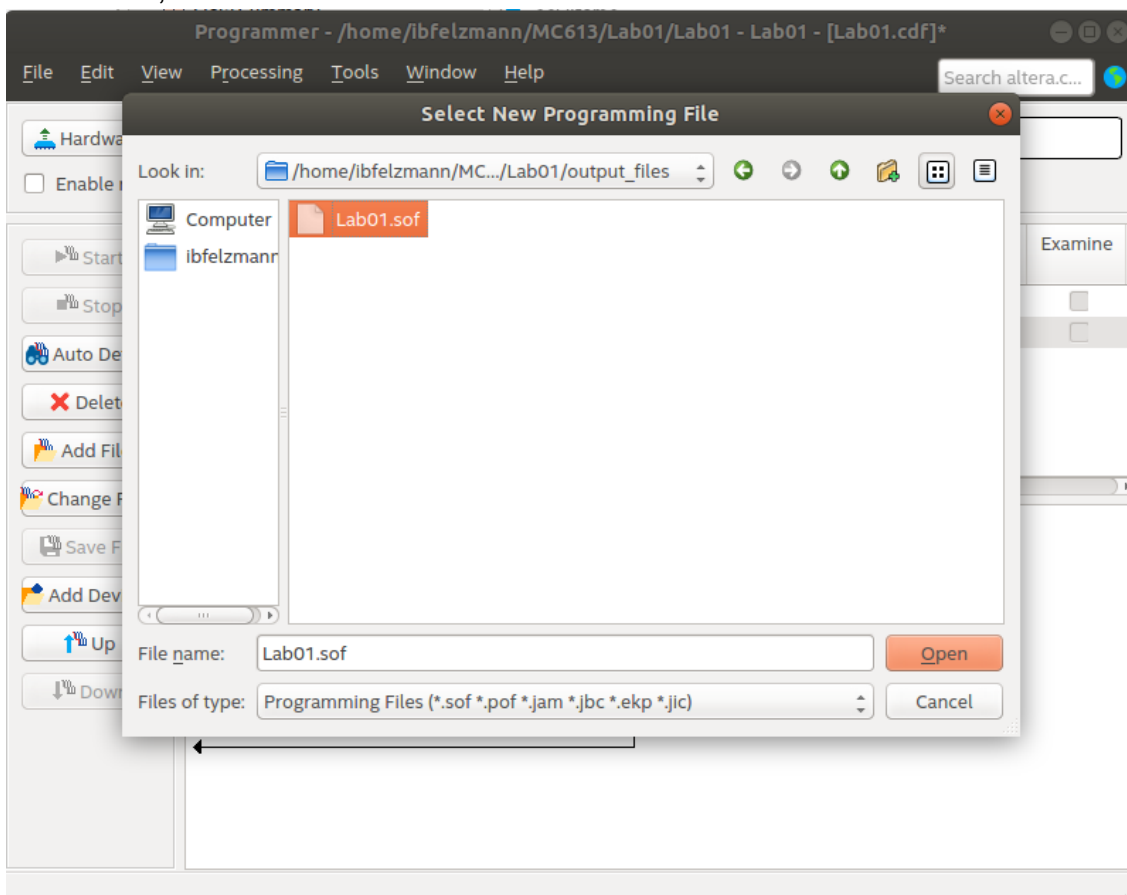


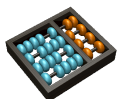
V-8. Clique com o botão direito sobre a linha da tabela que contém o dispositivo **5CSEMA5** e clique em **Change File**.





V-9. Navegue pela estrutura de pastas do seu projeto para a pasta **output_files** e selecione o arquivo ***.sof** que corresponde ao nome do projeto, neste caso, **Lab01.sof**.





V-10. Marque a *checkbox* **Program/Configure** correspondente na tabela.

Programmer - /home/ibfelzmann/MC613/Lab01/Lab01 - Lab01 - [Lab01.cdf]*

File Edit View Processing Tools Window Help

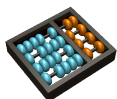
Hardware Setup... DE-SoC [1-1.5.3] Mode: JTAG Progress:

☐ Enable real-time ISP to allow background programming when available

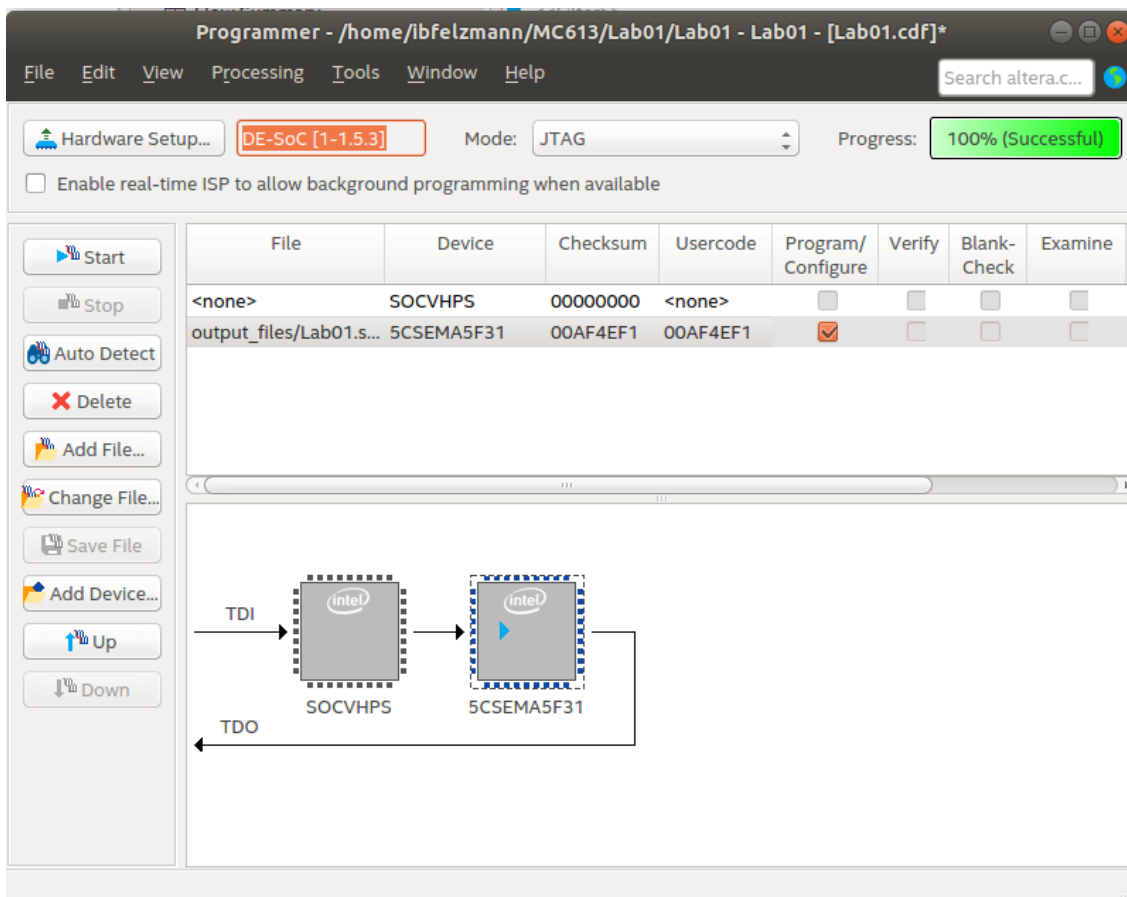
File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check	Examine
<none>	SOCVHPS	00000000	<none>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
output_files/Lab01.s...	5CSEMA5F31	00AF4EF1	00AF4EF1	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Start Stop Auto Detect Delete Add File... Change File... Save File Add Device... Up Down

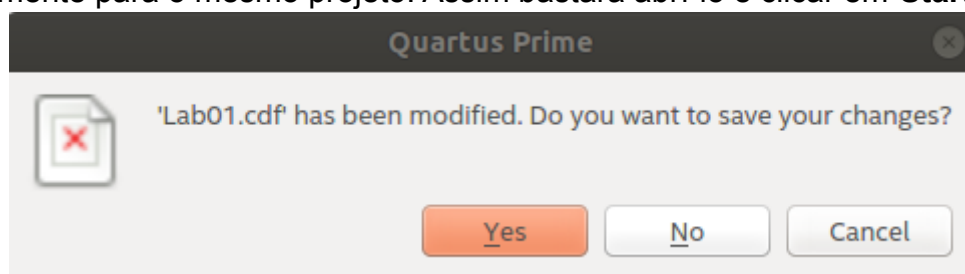
TDI → SOCVHPS → 5CSEMA5F31 → TDO

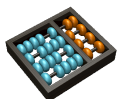


V-11. Clique no botão **Start**, à esquerda. Se tudo der certo, após alguns instantes você verá a barra de progresso da direita completa com sucesso. A placa já está com o circuito carregado e você já pode testar o funcionamento com o uso dos *switches* 0 e 1.



V-12. Ao fechar o gravador, o Quartus perguntará se você deseja salvar as alterações. Confirme clicando em **Yes** para não precisar configurar o gravador novamente para o mesmo projeto. Assim bastará abri-lo e clicar em **Start**.





- ENTREGA -

Entregue um único arquivo comprimido em formato **ZIP** de nome **T_Lab01_RA.zip**, onde **RA** é o RA do aluno entregando e **T** é a turma, contendo:

- Arquivo **light.vhd** do item **III.4**.
- Arquivo **simulation.png** do item **IV.15**.