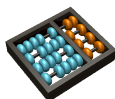


Laboratório 02

Instruções:

- Quando for demonstrar seu trabalho, tome nota do número da placa utilizada. O número da placa será utilizado para atribuir a nota ao grupo.
- A última página deste documento contém um checklist com todos os arquivos que fazem parte da entrega.
- Os nomes dos arquivos devem ser seguidos, e isso faz parte da avaliação.
- A entrega deverá estar em único arquivo .ZIP, com o nome **T_Lab02_RA.zip**, **T** é a turma, e **RA** é o RA do componente do grupo que fará a entrega. Por exemplo, B_Lab02_123456.zip é a entrega do grupo do aluno com o RA 123456, na turma B.
- Não divida ou agrupe em pastas os arquivos dentro do .ZIP.
- A entrega deve ser feita pelo [Google Forms](https://forms.gle/pUcMCjhBm7faUMWWA) (<https://forms.gle/pUcMCjhBm7faUMWWA>). Você deve estar autenticado com uma conta do Google - pode ser uma conta pessoal ou da DAC.
- Apenas um integrante do grupo precisa fazer a entrega.
- Preste especial atenção aos nomes das entidades e sinais (entradas e saídas) descritos nos laboratórios. Isso também faz parte da avaliação.
- Se mais do que um arquivo for recebido para a mesma entrega, o último recebido será considerado. Utilize o mesmo RA do aluno entregando.



Parte I - Expressão lógica simples

Observe a seguinte expressão lógica:

$$F(A,B,C,D,E) = \sum(0, 2, 5, 8, 13, 15, 18, 21, 24, 29, 31)$$

Considere a entidade VHDL com a interface (conexões entre sinais e componentes da placa) descrita abaixo:

Entradas (VHDL):	Sinal (Placa)
A	SW(4)
B	SW(3)
C	SW(2)
D	SW(1)
E	SW(0)
Saída (VHDL):	Sinal (Placa)
F	LEDR(0)

I.1. Minimize essa expressão lógica e, a partir dela, projete um circuito, utilizando portas lógicas elementares.

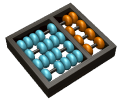
I.2. Implemente o circuito minimizado em VHDL estrutural, utilizando o nome da entidade VHDL como **minimizado**, e salve como o arquivo **minimizado.vhd**.

ENTREGA: arquivo **minimizado.vhd**.

I.3. Implemente o circuito em VHDL estrutural, mas sem usar nenhuma minimização. Faça simplesmente uma expressão do OR de todos os 11 mintermos da função. Esta entidade VHDL deverá ser nomeada **original**. Salve como **original.vhd**.

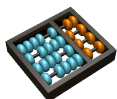
ENTREGA: arquivo **original.vhd**.

I.4. Faça a simulação no Quartus para verificar o funcionamento para todas as 32 combinações de entrada dos itens **I.2** e **I.3**.

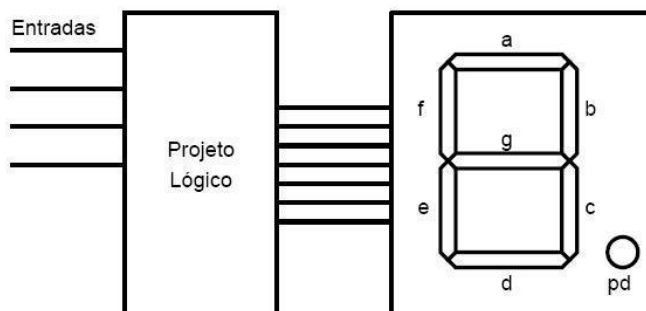


ENTREGA: uma screenshot desta simulação, onde apareçam todos os sinais de entrada e todas as combinações possíveis, no arquivo **logicfunction.png**.

I.5. Grave e teste ambos os circuitos na placa DE1-SoC.



Parte II - Display de 7 segmentos



II.1. Utilizando o display de 7 segmentos da DE1-SoC e observando a figura, projetar um decodificador que faça a conversão de um código binário e o controle lógico do display apresentando o equivalente decimal do número binário na entrada do circuito. Quando os valores saírem fora da faixa válida (de 0 a 9 decimal) o display deve apresentar a letra E, que indica “erro”. Utilize a declaração de entidade abaixo. Não utilize processo (VHDL process). Salve o arquivo como **bin2dec.vhd**. Grave o circuito na placa para teste, conectando **diretamente dec(6..0) a HEX0(6..0) e bin(3..0) a SW(3..0)**. Siga a interface da definida abaixo.

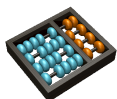
```
entity bin2dec is
    port (
        bin: in std_logic_vector(3 downto 0);
        dec: out std_logic_vector(6 downto 0)
    );
end bin2dec;
```

ENTREGA: arquivo **bin2dec.vhd**.

II.2. Modifique a entidade bin2dec para que mostre o valor em hexadecimal das entradas. Utilize a declaração de entidade abaixo. Não utilize processo (VHDL process). Salve o arquivo como **bin2hex.vhd**. Grave o circuito na placa para teste, conectando **diretamente hex(6..0) a HEX0(6..0) e bin(3..0) a SW(3..0)**.

```
entity bin2hex is
    port (
        bin: in std_logic_vector(3 downto 0);
        hex: out std_logic_vector(6 downto 0)
    );
end bin2hex;
```

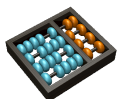
ENTREGA: arquivo **bin2hex.vhd**.



Dicas e observações:

- O ponto decimal não será utilizado neste exercício e deve permanecer apagado.
- Utilize a convenção abaixo para a construção dos caracteres hexadecimais.
- Consulte o manual da placa na pasta de material complementar.
- Não esqueça de importar os Pin Assignments da pasta de material complementar.
- Simule seus circuitos para verificar se tudo está correto.





- ENTREGA -

Entregue um único arquivo comprimido em formato **ZIP** de nome **T_Lab02_RA.zip**, onde **RA** é o RA do aluno entregando e **T** é a turma, contendo:

- Arquivo **minimizado.vhd** do item **I.2**.
- Arquivo **original.vhd** do item **I.3**.
- Arquivo **logicfunction.png** do item **I.4**.
- Arquivo **bin2dec.vhd** do item **II.1**.
- Arquivo **bin2hex.vhd** do item **II.2**.