M3	500/ D 55								
MS 16 64 226 48.3 30.2 4.3 15.3 5000 MS 16 64 226 48.3 30.2 4.3 15.3 5000 MS 16 16 32 0.2 83.6 2.2 16.1 46.6 43.7 1 1 15.6 46.5 MS 16 32 0.4 46.4 3.7 1 1 15.6 15.8 MS 17 1 1 15.6 1.3 10.3 10.3 10.3 10.3 10.3 10.3 10.3									
MS									59171
8 3 32 128 0.2 8.3 7 10 15.6 85.3 49.3 49.3 49.3 49.3 49.3 49.3 49.3 49									
M5 16 32 Gathe 2 Gathe 3 TasaC1 % TasaC2 % TasaC2 % TasaC3 % TasaC									
M1									
M1									
M1	70%Rep-10For	Cache1	Cache2	Cache3	TaxaC1 %	TaxaC2 %	TaxaC3 %	Taxa RAM %	Tempo de execuç
MS	M1	8	16	32	9,2	82,3	4	8,3	18534
## ## ## ## ## ## ## ## ## ## ## ## ##	M2	32	64	128	95,5	0,3	0,5	4,1	12502
95) Rep-20For Cached Gache									
Salistep 20 Cache			32	128	9,2		0,5	4,4	15826
M1	M5	16	32	64	45,4	50,1	0,3	4,3	15479
M1	90%Ren-20Enr	Cache1	Cache?	Cache3	TaxaC1 %	TaxaC2 %	TaxaC3 %	Taxa RAM %	Tempo de execu
M3								1	4456
M5 16 32 64 52.6 48.7 0.02 0.8 377. M1, M2, M3, M4 e M5 100 Cache1 Cache2 Cache3 TaxaC1 % TaxaC2 % TaxaC3 % Taxa RAM% 50%Rap-45ror M1, M2, M3, M4 e M5 100 Cache1 Cache2 Cache3 TaxaC1 % TaxaC2 % TaxaC3 % Taxa RAM% 70%Rep-10for									2347
MS 16 32 64 52.8 48.7 0.02 0.8 3772 M1, M2, M3, M4 e M5 300 Cache1 Cache2 Cache3 TavaC1% TavaC2% TavaC3% Ta									
M1, M2, M3, M4 e M5 300 200 Cache1 Cache2 Cache3 TawaC1% TawaC2% TawaC3% TawaRAM% 50%Rep-SFor M1, M2, M3, M4 e M5 300 200 M1 M2 M8 M M M5 M M5 M M5 M M5 M M5 M M5 M									
M1, M2, M3, M4 e M5 M1	M5	16	32	64	52,6	46,7	0,02	0,6	3775
Cache1 Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% TaxaC3% TaxaCAM% 70%Rep-10For M1, M2, M3, M4 e M5 M1	200								
300 M1 M2 M5 M4 M5 200 Cachel Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% TaxaRAM%	M1, M2,	M3, M4 e M	50%	Rep-5For					
200 M1 M2 M5 M4 M5 200 Cache1 Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% TaxaRAM%	M1, M2, 300 — 200 — 100	M3, M4 e N	50%	Rep-5For MS M4 M4 AaC1 % TaxaC2	M5	Taxa RAM%			
200 M1 M2 M6 MM M5 200 Cachel Cache3 TavaC1% TavaC2% TavaC3% TavaRAM%	M1, M2, 300 — 200 — 100	M3, M4 e N	50%	Rep-5For MS M4 M4 AaC1 % TaxaC2	M5	Taxa RAM%			
200	M1, M2, 300	M3, M4 e N	50%	Rep-5For MS M4 M4 AaC1 % TaxaC2	M5	Taxa RAM%			
200	M1, M2, 300	M3, M4 e N	50%	Rep-5For MS M4 M4 AaC1 % TaxaC2	M5	Taxa RAM%			
200	M1, M2, 300	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
0 — Gachel Gache2 Cache3 TaxaC1% TaxaC2% TaxaC3% TaxaRAM%	M1, M2, 300	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
0 Cachel Cache2 Cache3 TaxiC1% TaxiC2% TaxiC3%	M1, M2, 300	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
0 Cachel Cache2 Cache3 TaxiC1% TaxiC2% TaxiC3%	M1, M2, 300	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
0 Cache1 Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% TaxaRAM%	M1, M2, 300 — M1, M2, M2, M2, M2, M2, M2, M2, M2, M2, M2	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
0 Cache1 Cache2 Cache3 TaxaC1% TaxaC3% TaxaRAM%	M1, M2, 300 — M1, M2, M2, M2, M2, M2, M2, M2, M2, M2, M2	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
0 Cache1 Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% TaxaRAM%	M1, M2, 300 — M1, M2, M2, M2, M2, M2, M2, M2, M2, M2, M2	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
Cache1 Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% Taxa RAM%	M1, M2, 300 100 M1, M2, 300 M1, M2, 300	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
Cache1 Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% Taxa RAM%	M1, M2, 300 100 M1, M2, 300 M1, M2, 300	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
Cache1 Cache2 Cache3 TaxaC1% TaxaC2% TaxaC3% Taxa RAM%	M1, M2, 300 100 M1, M2, 300 M1, M2, 300	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
	M1, M2, 300 100 0 Cacl M1, M2, 300 200 100 100	M3, M4 e N	50% 115 wii M M2 M2 Caches Ta	MS MM M4 MM	M5	Taxa RAM%			
	M1, M2, 300 100 M1, M2, 300 200 M1, M2, 300	M3, M4 e N	Caches Ta 70%4	MS M M4 MS M M5 MS	M5	Tosa RAM %			