

Famílias Lógicas de Circuitos Integrados

1- Introdução

Circuitos integrados são amplamente usados na construção de sistemas digitais. Isso porque eles têm muito mais circuitos em um pequeno encapsulamento e são mais confiáveis.

2- Terminologia de Circuitos Integrados Digitais

Os fabricantes de circuitos integrados digitais seguem praticamente o mesmo padrão de nomenclatura e terminologia:

a) Tensão e Corrente:

- $V_{in(min)}$ – Mínima Tensão de Entrada em Nível Alto.
- $V_{il(max)}$ – Máxima Tensão de Entrada em Nível Baixo.
- $V_{oh(min)}$ – Mínima Tensão de Saída em Nível Alto.
- $V_{ol(max)}$ – Máxima Tensão de Saída em Nível Baixo.
- I_{ih} – Corrente de Entrada em Nível Alto.
- I_{il} – Corrente de Entrada em Nível Baixo.
- I_{oh} – Corrente de Saída em Nível Alto.
- I_{ol} – Corrente de Saída em Nível Baixo.

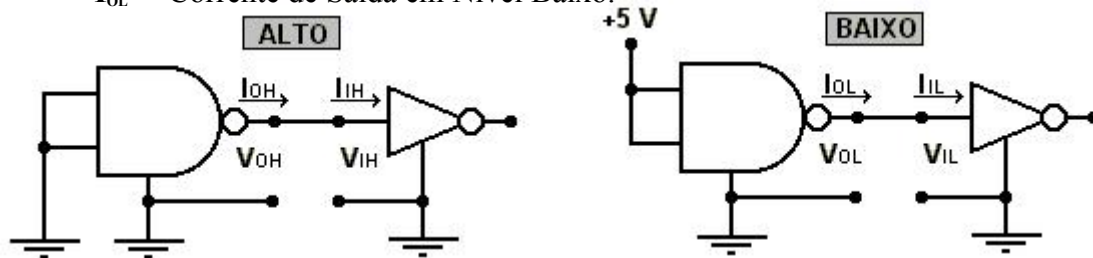


Fig. 1: Tensões e correntes em nível lógico 1 e 0

b) Fan-Out

O Fan-Out corresponde ao número máximo de entradas lógicas que uma saída de um circuito lógico pode acionar. Se esse número for excedido, os níveis de tensão e corrente não serão garantidos.

c) Atrasos de Propagação

Um sinal lógico, ao atravessar um circuito, sofre um atraso. Existem dois tipos de atraso:

- t_{PLH} – Tempo de atraso do estado lógico “0” para o “1”.
- t_{PHL} – Tempo de atraso do estado lógico “1” para o “0”.

Famílias Lógicas de Circuitos Integrados

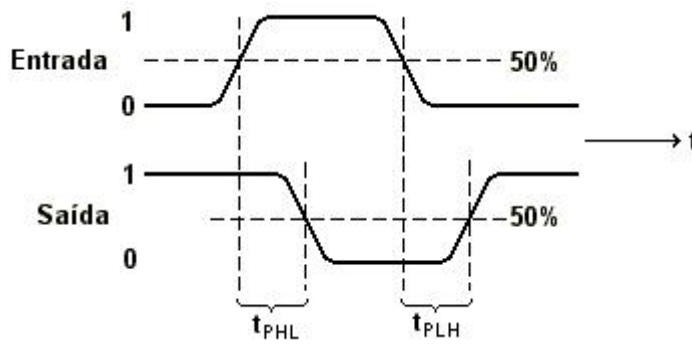


Fig.2: Atrasos de propagação

Os valores dos tempos de atrasos de propagação são usados para medição de velocidade em circuitos lógicos.

d) Potência

Como todo circuito elétrico, um circuito lógico consome uma certa quantidade de potência. Essa potência é fornecida por fontes de alimentação e esse consumo deve ser levado em consideração em um sistema digital.

Se um circuito integrado consome menos potência poderemos ter uma fonte de menor capacidade e com isso reduziremos os custos do projeto.

e) Velocidade x Potência

Um circuito digital ideal é aquele que possui o menor consumo de potência e o menor atraso de propagação. Em outras palavras, o produto de velocidade e potência deve ser o menor possível.

f) Imunidade ao Ruído

Ruídos são sinais indesejáveis gerados por campos eletromagnéticos podem afetar o funcionamento de um circuito lógico. Esses sinais podem fazer com que a tensão de entrada de um circuito lógico caia abaixo de $V_{in}(min)$ ou aumente além de $V_{in}(max)$, gerando falsos sinais.

A imunidade ao ruído se refere à capacidade de um circuito lógico de rejeitar esse ruído.

Famílias Lógicas de Circuitos Integrados

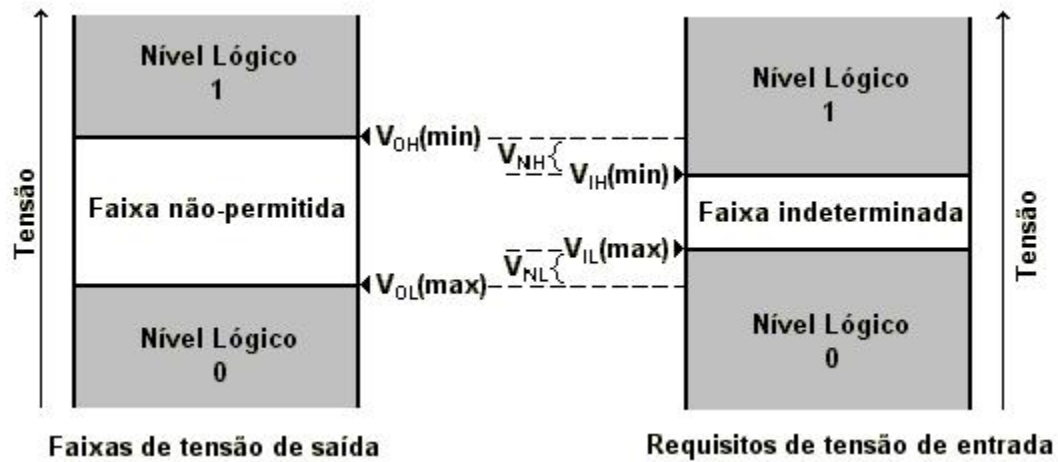


Fig. 3: Margens de ruído

g) Níveis de Tensão Inválidos

Circuitos lógicos só trabalharão confiavelmente com níveis de tensão especificados pelos fabricantes, ou seja, as tensões devem ser menores que $V_{IL(max)}$ e maiores que $V_{IH(min)}$ – fora da faixa de indeterminação – e com alimentação adequada.

h) Fornecimento de Corrente e de Absorção de Corrente

O fornecimento de corrente é mostrado na fig. 4. Quando a saída da porta lógica 1 está em ALTO, ela fornece uma corrente I_{IH} para a entrada da porta lógica 2.

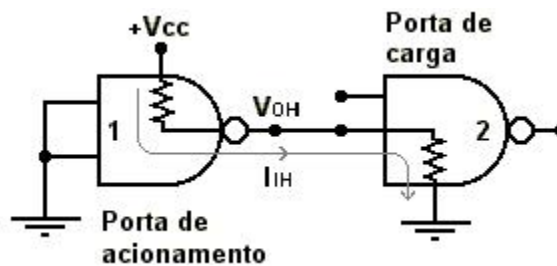


Fig. 4: Porta de acionamento fornecendo corrente para a porta de carga

A absorção de corrente é mostrada na fig. 5. Quando a saída da porta lógica 1 está em BAIXO, ela absorve uma corrente I_{IL} para a entrada da porta lógica 2.

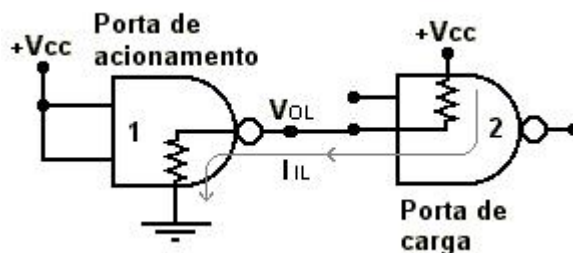


Fig. 5: Porta de acionamento absorvendo corrente da porta de carga

Famílias Lógicas de Circuitos Integrados

i) Encapsulamentos de Circuitos Integrados

Alguns tipos de encapsulamentos de circuitos integrados são mostrados na fig. 6.

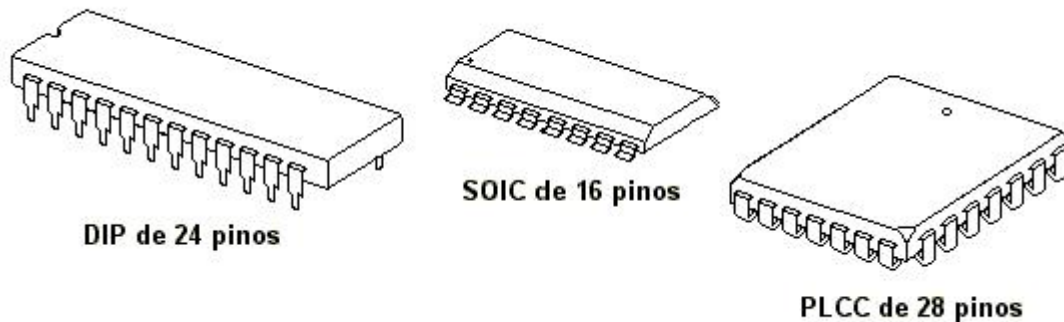


Fig. 6: Encapsulamentos mais comuns de circuitos integrados

3- Família Lógica TTL

Um circuito básico utilizado na lógica-transistor-transistor é mostrado na fig. 7:

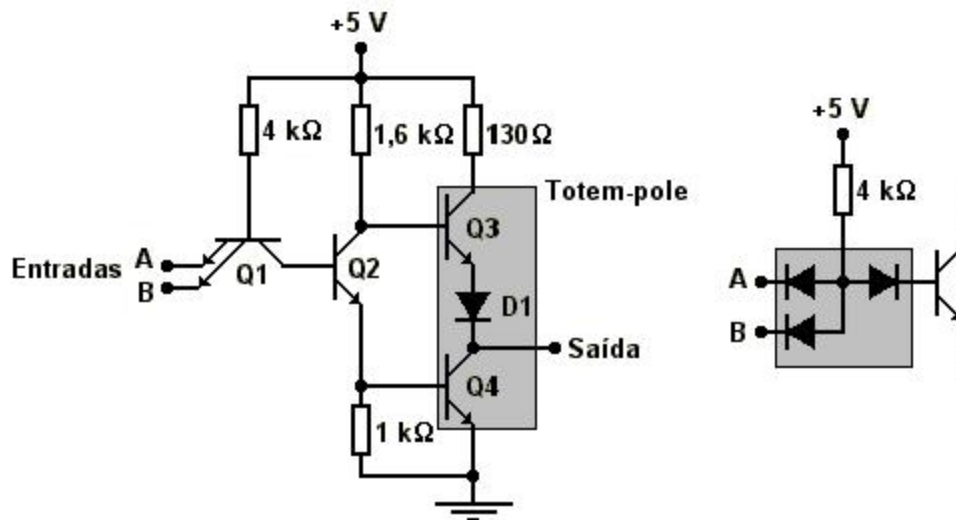


Fig. 7: Porta NAND básica TTL e equivalente a diodo para Q1

Esse circuito representa uma porta NAND TTL. Uma das principais características desse circuito são os dois emissores do transistor Q1. Na mesma figura está o circuito equivalente a diodo de Q1.

Outra característica construtiva importante desse circuito é sua saída totem-pole, que impede que os dois transistores (Q3 e Q4) conduzam ao mesmo tempo.

• Operação do Circuito – Saída em Nível Baixo

A saída em nível baixo é consequência de entradas A e B em nível alto (+ 5 V). Nesse caso, Q1 ficará cortado e Q2 conduzirá (ver circuito equivalente). A corrente fluirá do emissor de Q2 para a base de Q4 e o faz conduzir.

Famílias Lógicas de Circuitos Integrados

A tensão no coletor de Q2 é insuficiente para Q3 conduzir. Essa tensão está em torno de 0,8 V (0,7 V da junção B-E de Q4 + 0,1 V de $V_{ce(sat)}$ de Q2).

Para o transistor Q3 conduzir é necessário que sua junção B-E e o diodo D1 esteja diretamente polarizado.

Com Q4 conduzindo, a tensão de saída é muito baixa ($< 0,4$ V), ou nível baixo (“0”).

- **Operação do Circuito – Saída em Nível Alto**

Para que a saída de uma porta NAND fique em alto, pelo menos uma das entradas A ou B deverá ser zero. Nessa condição haverá condução de Q1 por um de seus emissores, ou pelos dois (ver circuito equivalente), fazendo com que Q2 fique cortado.

Com Q2 cortado não haverá corrente na base de Q4 e ele ficará cortado também. Sem corrente no coletor de Q2, a tensão na base de Q3 é suficiente para que ele entre em condução.

Com Q3 conduzindo, a tensão na saída ficará em torno de 3,4 V a 3,8 V (sem carga), devido às quedas na junção B-E de Q3 e ao diodo D1. Com carga essa tensão deverá diminuir.

- **Absorção de Corrente**

Uma saída TTL em nível baixo age como um absorvedor de corrente pois ela recebe a corrente da entrada da porta que está acionando.

- **Fornecimento de Corrente**

Uma saída TTL em nível alto age como fornecedora de corrente. Na verdade essa corrente tem um valor muito baixo, causada pela fuga de polarização reversa do “diodo” (junção B-E) de Q1.

- **Outras Portas TTL**

Praticamente todas as outras portas lógicas possuem o mesmo circuito básico da porta NAND TTL. Outros circuitos internos são colocados apenas para implementar a lógica desejada.

4 - Características da Série TTL Padrão

- **Faixas de Tensão de Alimentação e de Temperatura**

Existem duas séries de TTL padrão diferenciadas pela faixa de tensão de alimentação e temperatura: a série 74 e a série 54.

A série 74 utiliza alimentação entre 4,75 V e 5,25 V e opera entre 0° a 70° C. A série 54 utiliza alimentação entre 4,5 V e 5,5 V e opera entre -55° a 125° C.

- **Níveis de Tensão**

$$V_{IL(max)} - 0,8 \text{ V}$$

$$V_{OL(max)} - 0,4 \text{ V}$$

Famílias Lógicas de Circuitos Integrados

Existe uma margem de segurança de uma saída para a entrada, chamada de margem de ruído, de 0,4 V (0,8 V – 0,4 V).

$$\begin{aligned}V_{in(min)} &= 2,0 \text{ V} \\ V_{oh(min)} &= 2,4 \text{ V}\end{aligned}$$

A margem de ruído também é de 0,4 V (2,4 V – 2,0 V).

- **Faixas Máximas de Tensão**

As tensões máximas de trabalho de um TTL padrão não devem ultrapassar 5,5 V. Uma tensão maior de 5,5 V aplicada a um emissor de entrada pode causar dano na junção B-E de Q1. Tensões menores que –0,5 V também podem danificar o componente.

- **Dissipação de Potência**

Uma porta NAND TTL padrão consome, em média, 10 mW.

- **Atrasos de Propagação**

A porta AND TTL padrão tem atrasos de propagação típicos de $t_{PLH} = 11 \text{ ns}$ e $t_{PHL} = 7 \text{ ns}$, resultando num atraso de propagação médio $t_{pd}(\text{med})$ de 9 ns.

- **Fan-Out**

Uma saída TTL padrão pode acionar 10 entradas TTL padrão.

5- Séries TTL Aperfeiçoadas

- **Séries 74L e 74H**

Estas séries são versões TTL para baixa potência (74L) e alta velocidade (74H). A primeira consumia 1 mW e tinha um tempo de atraso de propagação de 33 ns e a segunda consumia 23 mW, com um tempo de atraso de propagação de 6 ns.

Não são mais fabricadas atualmente.

- **TTL Schottky, Série 74S**

Esta série utiliza diodos Schottky entre a base e o coletor dos seus transistores, evitando que eles trabalhem saturados. Com isso o tempo de resposta do circuito é mais rápido. Por exemplo, a porta NAND 74S00 tem um atraso médio de 3 ns, mas um consumo de potência de 20 mW.

- **TTL Schottky de Baixa Potência, Série 74LS (LS-TTL)**

Famílias Lógicas de Circuitos Integrados

A série 74LS é uma versão de menor potência e menor velocidade da série 74S. Ela utiliza a combinação transistor/diodo Schottky, mas com valores maiores de resistores de polarização, o que diminui o consumo.

Uma porta NAND 74LS tem um atraso típico de propagação de 9,5 ns e dissipação média de potência de 2 mW.

- **TTL Schottky Avançada, Série 74AS (AS-TTL)**

A série 74AS surgiu como uma melhoria da série 74S. Possui velocidade e fan-out maiores e um menor consumo se comparado com a série 74S.

- **TTL Schottky Avançada de Baixa Potência, Série 74ALS**

Esta série surgiu como uma melhoria da série 74SL.

- **TTL Fast – 74F**

Esta é a série TTL mais nova. Ela utiliza uma técnica de fabricação de circuitos integrados que reduz as capacitâncias entre os dispositivos internos visando reduzir os atrasos de propagação.

- **Comparação das Características das Séries TTL**

Tabela 1:

Índices de performance	74	74S	74LS	74AS	74ALS	74F
Atraso de propagação (ns)	9	3	9,5	1,7	4	3
Dissipação de potência (mW)	10	20	2	8	1,2	6
Produto velocidade-potência	90	60	19	13,6	4,8	18
Taxa máxima de clock(MHz)	35	125	45	200	70	100
Fan-out (mesma série)	10	20	20	40	20	33

Tabela 2:

Parâmetro de tensão	74	74S	74LS	74AS	74ALS	74F
$V_{OH}(\min)$	9	3	9,5	1,7	4	3
$V_{OL}(\max)$	10	20	2	8	1,2	6
$V_{IH}(\min)$	90	60	19	13,6	4,8	18
$V_{IL}(\max)$	35	125	45	200	70	100
$V_{OH}(\min)$	10	20	20	40	20	33

6- Fan-Out e Carregamento para TTL

O fan-Out corresponde ao número máximo de entradas lógicas que uma saída de um circuito lógico pode acionar. Esse número máximo está diretamente ligado à capacidade do circuito integrado de absorver ou fornecer corrente.

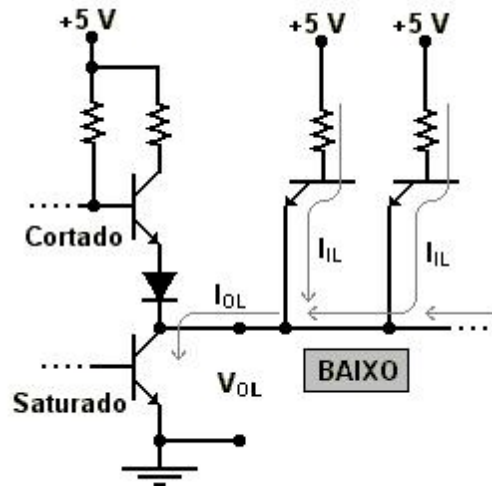


Fig. 8: Saída TTL padrão no estado BAIXO acionando várias entradas

Do circuito vemos que I_{OL} é a soma das correntes I_{IL} de cada entrada. Essa corrente causa uma queda de tensão V_{OL} , que não deve ser maior que $V_{OL(max)}$. Isso limita a corrente I_{OL} e o número de cargas que podem ser acionadas.

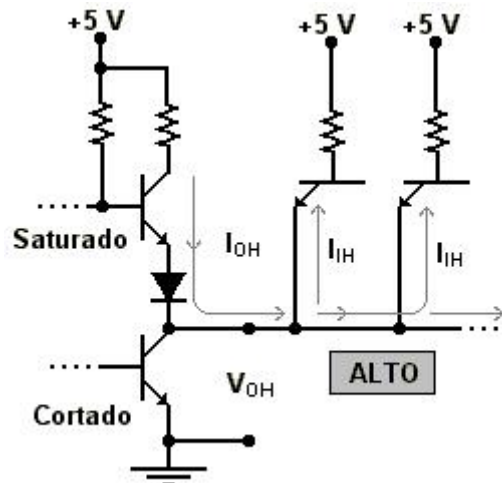


Fig. 9: Saída TTL padrão no estado ALTO acionando várias entradas

Nas fig. 8 e fig. 9, vemos que I_{OH} é a soma das correntes I_{IH} de cada entrada. Se cargas em excesso estiverem sendo acionadas, a corrente I_{OL} aumentará de tal forma que o nível V_{OH} caia para valores menores que $V_{OH(min)}$. Esse fato também limita o número de cargas acionadas e a corrente I_{OH} .

Famílias Lógicas de Circuitos Integrados

- **Determinando o Fan-Out**

Por exemplo, a série 74 possui:

$$I_{IL}(\text{max}) = 1,6 \text{ mA}$$

$$I_{OL}(\text{max}) = 16 \text{ mA}$$

$$\text{Fan-out (BAIXO)} = \frac{I_{OL}}{I_{IL}} = \frac{16}{1,6} = 10$$

$$I_{IH}(\text{max}) = 40 \mu\text{A}$$

$$I_{OH}(\text{max}) = 400 \mu\text{A}$$

$$\text{Fan-out (ALTO)} = \frac{I_{OH}}{I_{IH}} = \frac{400}{40} = 10$$

O fan-out é 10 para ambos os casos. Se os valores de fan-out forem diferentes, o fan-out será o menor deles.

Importante:

A soma das correntes I_{IH} de todas as entradas conectadas em uma saída deve ser menor do que a especificação do I_{OH} da saída;

A soma das correntes I_{IL} de todas as entradas conectadas em uma saída deve ser menor do que a especificação do I_{OL} da saída;

7- Outras Características TTL

- **Entradas Desconectadas (Flutuando)**

Entradas desconectadas (abertas) em circuitos TTL se comportam como se o nível lógico “1” fosse aplicado à essa entrada. Embora a lógica esteja correta, entradas desconectadas se comportam como captadoras de ruídos, fazendo com que o circuito lógico não trabalhe corretamente.

- **Entradas Não-Usadas**

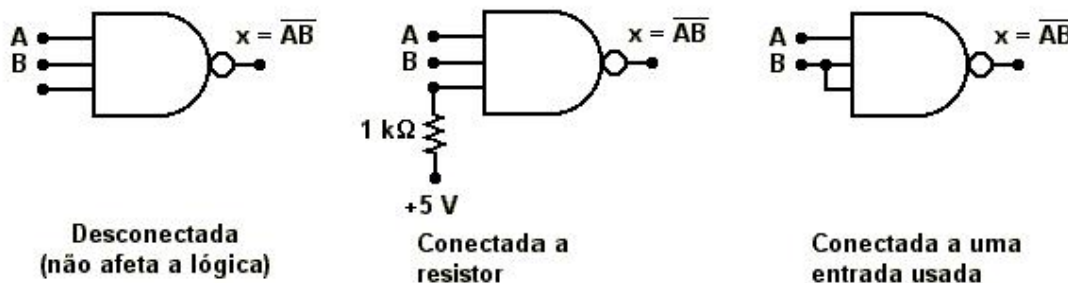


Fig. 10: Três maneiras de tratar entradas lógicas não usadas

Famílias Lógicas de Circuitos Integrados

- **Transientes de Corrente**

A configuração totem-pole usada nas saídas dos circuitos TTL tem um inconveniente: durante a transição da saída de BAIXO para ALTO ocorre um pico de corrente porque ambos os transistores de saída estão conduzindo. Esse pico pode chegar a 50 mA, corrente que é drenada da fonte que alimenta o circuito.

Em um sistema digital existem várias saídas TTL trocando de estado ao mesmo tempo e drenando da fonte picos de corrente. Esse efeito causa uma variação na tensão da fonte e se não for devidamente filtrado pode causar sérios problemas ao sistema.

É usual a colocação de capacitores cerâmicos de 10 nF a 100 nF entre os terminais Vcc e GND – alimentação e terra – dos circuitos integrados.

8- Conectando Saídas TTL Juntas

Existem situações nas quais é vantajoso conectar as saídas de dois ou mais portas lógicas ou circuitos. Entretanto, configuração totem-pole não nos permite conectar saídas TTL juntas. Para fazermos isso existem outros tipos de estrutura de saída.

- **Saídas Coletor Aberto**

Os circuitos TTL com saídas em coletor aberto só possuem um transistor de saída. Quando esse transistor estiver acionado, a saída terá nível BAIXO. Caso contrário, a saída estará flutuando. Para se obter o nível ALTO na saída um resistor externo de pull-up é conectado.

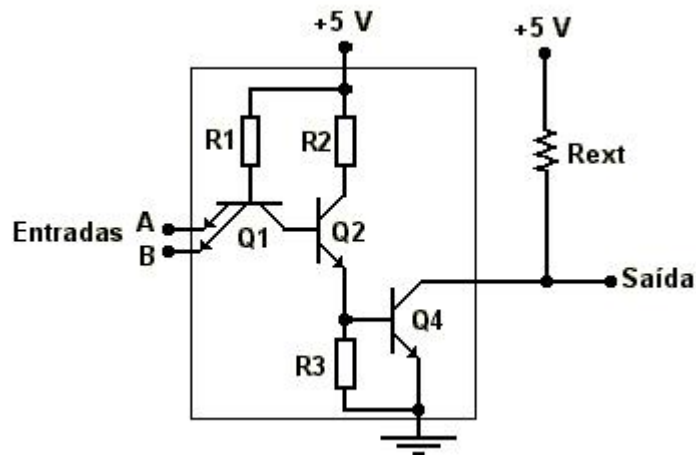


Fig. 11: Circuito TTL coletor aberto com resistor de pull-up externo

Famílias Lógicas de Circuitos Integrados

- **Conexão Wired-AND**

Dispositivos com saídas em coletor aberto podem ter suas saídas conectadas juntas de maneira segura. Uma situação onde esse tipo de conexão é usada é mostrada na fig. 12:

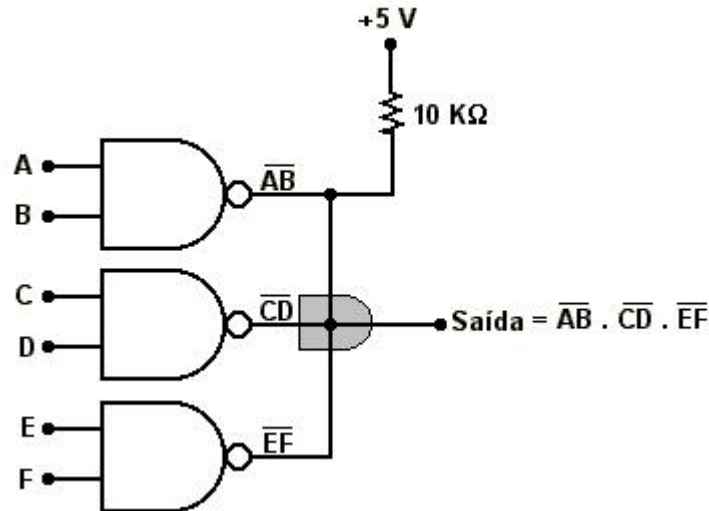


Fig. 12: Conexão wired-AND utilizando portas com coletor aberto

Esse tipo de conexão é chamado de conexão wired-AND porque é equivalente à operação lógica AND. Esta configuração elimina a necessidade de uma porta AND real.

- **Buffers/Drivers de Coletor Aberto**

Todo circuito lógico que é chamado buffer, driver ou buffer/driver é projetado para suportar uma corrente e/ou uma capacidade de tensão maior do que um circuito lógico comum.

Por exemplo, o 7406 com saída em coletor aberto pode acionar cargas de 24 V a 25 mA.

- **Simbologia para Saídas em Coletor Aberto**

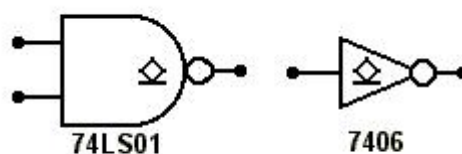


Fig. 13: Simbologia de portas lógicas com coletor aberto

9- Tristate (Terceiro Estado) para o TTL

O terceiro estado, ou tristate, ocorre quando a saída de um dispositivo TTL apresenta alta impedância. Nessa condição, os dois transistores de saída do dispositivo estarão cortados e o terminal de saída não terá nível alto nem baixo (saída fica praticamente aberta). Para que o dispositivo lógico entre nesta condição, uma entrada chamada Habilitação (Enable) é acionada.

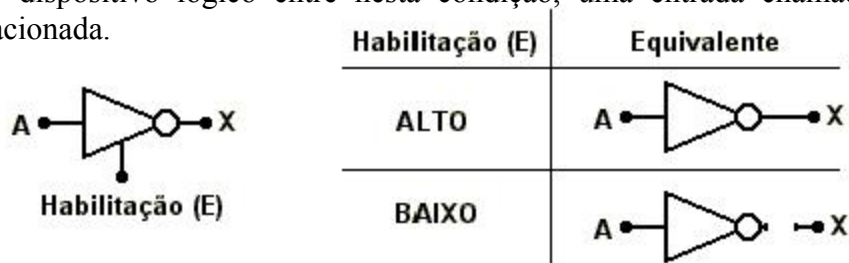


Fig. 14: Simbologia de um inversor TTL tristate

• CIs Tristate

Existem vários circuitos integrados lógicos tristate. Por exemplo, o 74LS125 e o 74LS126, que são buffers tristate. Os circuitos lógicos tristate são bastante usados em sistemas que utilizam barramento de dados.

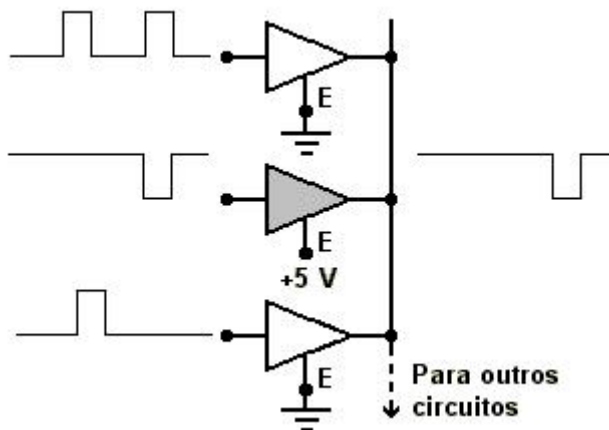


Fig. 15: Buffers tristates usados para conectar diversos sinais em um barramento comum

• Simbologia para as Saídas Tristate

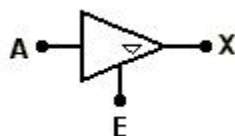


Fig. 16: Simbologia de um buffer com saída tristate

10- Circuitos Integrados Digitais MOS

A maioria dos circuitos digitais MOS (metal oxide semiconductor – semiconductor com óxido metálico) é constituída de transistores de efeito de campo (MOSFET). Eles são menores, consomem pouco e são mais fáceis de fabricar.

Dispositivos MOS podem conter um número maior de elementos de circuitos em um único encapsulamento do que os circuitos integrados bipolares. A grande desvantagem dessa tecnologia é sua susceptibilidade a danos provocados por eletricidade estática.

11- O MOSFET

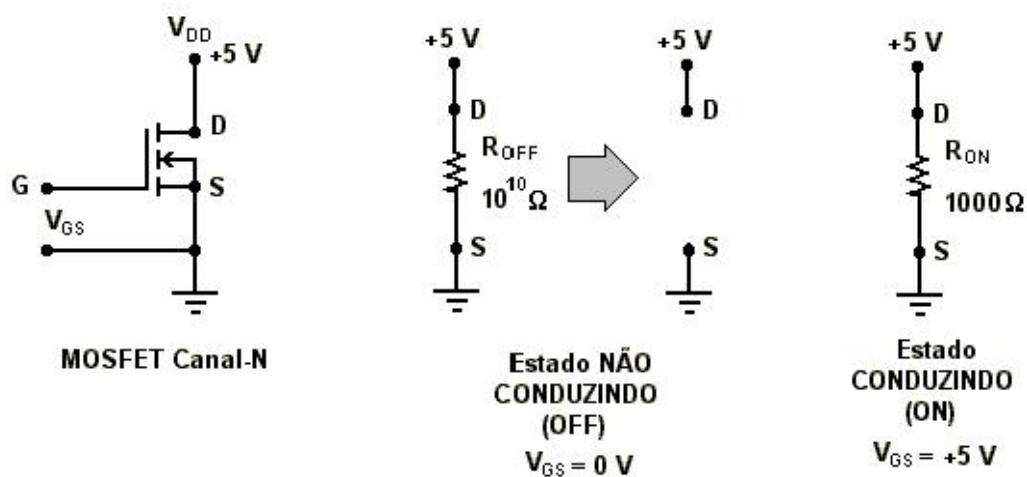


Fig. 17: Estados de comutação do MOSFET canal-N

12- Circuitos Digitais com MOSFETs

Os circuitos digitais que utilizam MOSFETs podem ser divididos em três categorias: P-MOS, que utiliza MOSFETs com canal-P; N-MOS, que utiliza MOSFETs com canal-N; e CMOS (MOS Complementar) que utiliza ambos. Os circuitos P-MOS não são mais encontrados.

Famílias Lógicas de Circuitos Integrados

- **Inversor N-MOS**

A fig. 18 mostra um circuito básico de um INVERSOR N-MOS:

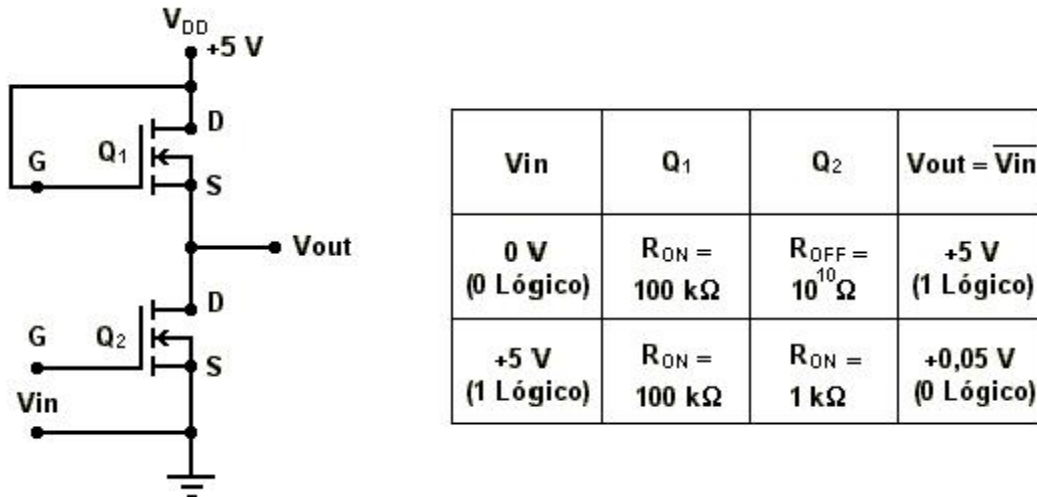


Fig. 18: Inversor N-MOS

O circuito acima mostra dois MOSFETs canal-N. O transistor Q_1 é chamado MOSFET de carga e Q_2 é chamado de MOSFET de comutação. O transistor Q_1 está sempre conduzindo e funciona como se fosse um resistor de carga.

- **NAND N-MOS e NOR N-MOS**

A fig. 19 mostra os circuitos básicos das portas NAND N-MOS e NOR N-MOS:

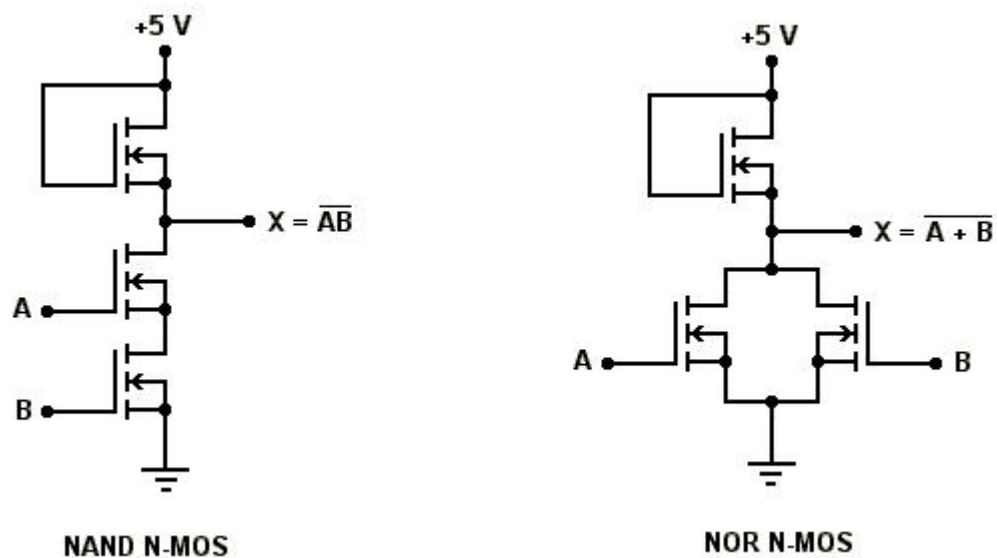


Fig. 19: Portas NAND N-MOS e NOR N-MOS

13- Características da Lógica MOS

Se comparadas com famílias lógicas bipolares, as famílias lógicas N-MOS e P-MOS têm velocidade de operação menor, necessitam de menor potência, têm uma margem de ruído melhor, possuem uma faixa maior para a tensão de alimentação, um fan-out maior e menos espaço de área no chip.

- **Velocidade de Operação**

O atraso de propagação típico de uma porta NAND N-MOS é de 50 ns. A resistência de saída alta no estado ALTO e capacitâncias parasitas de entrada contribuem para aumentar esse atraso.

- **Margem de Ruído**

Para $V_{DD} = 5\text{ V}$, as margens de ruído para a família N-MOS é de aproximadamente 1,5 V. A margem de ruído aumenta proporcionalmente para valores maiores de V_{DD} .

- **Fan-Out**

Devido à alta resistência de entrada do MOSFET, o fan-out da família MOS é muito alto. O fan-out é limitado apenas pelas capacitâncias de entrada da porta que, em altas frequências, pode deteriorar o sinal digital. Mesmo assim, o fan-out chega a 50 para a família MOS.

- **Consumo de Potência**

Por usar altas resistências, os circuitos lógicos MOS consomem pequenas quantidades de potência.

- **Complexidade do Processo de Fabricação**

A família lógica MOS possui um processo de fabricação bem mais simples do que a família TTL porque utiliza apenas MOSFETs.

- **Sensibilidade à Eletricidade Estática**

A família lógica MOS é bastante susceptíveis a danos causados por eletricidade estática. Uma descarga eletrostática supera a capacidade de isolamento elétrico da camada de óxido danificando permanentemente o dispositivo.

Famílias Lógicas de Circuitos Integrados

Recomendações:

- Conecte todos os equipamentos que for manusear no terra da rede;
- Conecte-se ao terra com o uso de uma pulseira especial;
- Evite tocar os pinos dos circuitos integrados. Coloque-os imediatamente no circuito;
- Mantenha os circuitos integrados em suas embalagens protetoras (espumas condutoras). Não os deixe fora de suas embalagens.

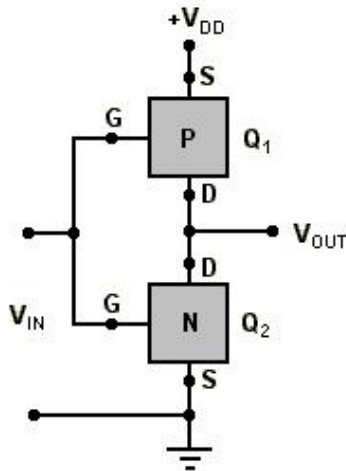
Todas essas recomendações também valem para placas de circuito impresso (computadores, equipamentos etc).

14- Lógica MOS Complementar

A família lógica MOS Complementar (CMOS) utiliza MOSFETs tanto de canal-P quanto de canal-N. Isso torna o CMOS mais rápido e com menor consumo de potência em comparação com as outras famílias MOS. Em contrapartida, os circuitos integrados CMOS têm maior grau de complexidade para a fabricação e menor densidade de integração (ocupam maior área de chip).

• Inversor CMOS

O circuito básico do INVERSOR CMOS é mostrado na fig. 20:



INVERSOR CMOS

V _{in}	Q ₁	Q ₂	V _{out} = $\overline{V_{in}}$
0 V (0 Lógico)	ON R _{ON} = 1 kΩ	OFF R _{OFF} = 10 ¹⁰ Ω	= +V _{DD}
+V _{DD} (1 Lógico)	OFF R _{OFF} = 10 ¹⁰ Ω	ON R _{ON} = 1 kΩ	= 0 V

Fig. 20: Inversor C-MOS

Famílias Lógicas de Circuitos Integrados

- **NAND CMOS e NOR CMOS**

A fig. 21 mostra o circuito básico das portas NAND CMOS e NOR CMOS:

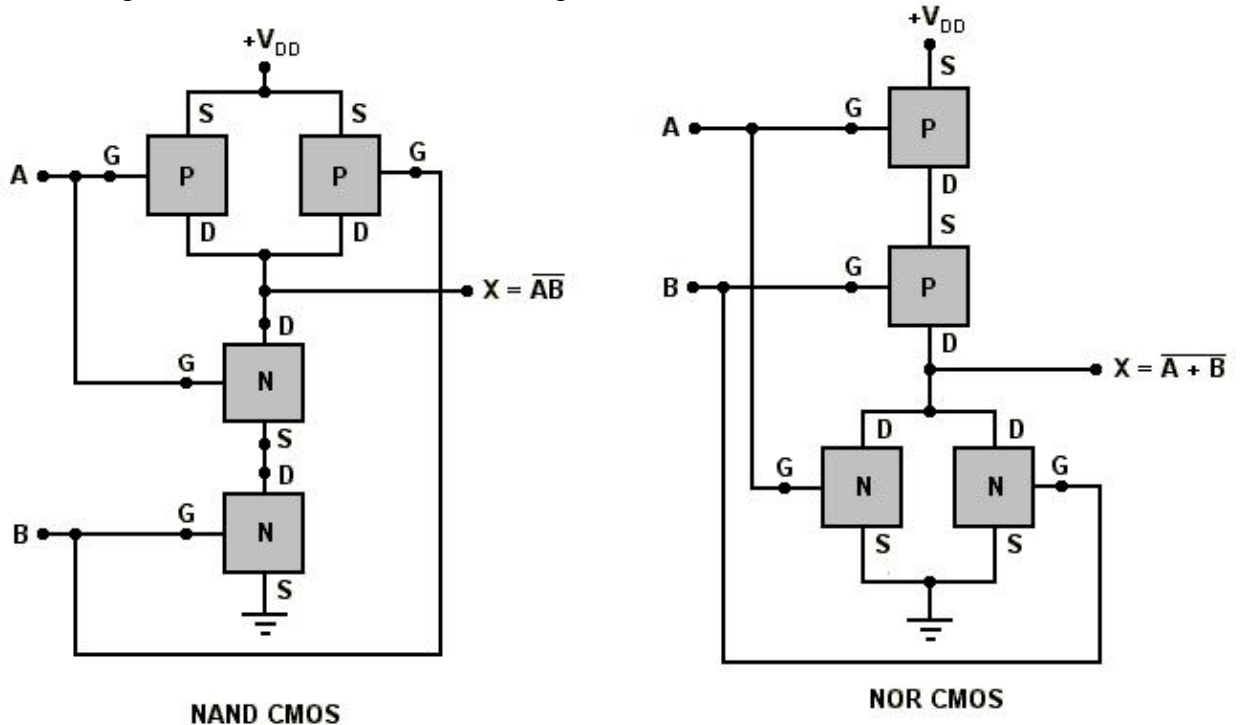


Fig. 21: Portas NAND CMOS e NOR CMOS

5- Características da Série CMOS

- **Série 4000/14000**

A série 4000 e a série 14000 são equivalentes. Os circuitos integrados dessas duas séries têm um consumo muito baixo e podem operar de 3 a 15 V. São muito lentos quando comparados com TTL e possuem corrente de saída muito baixa.

- **Série 74C**

Série CMOS compatível pino a pino e funcionalmente equivalente a componentes TTL. Quanto à performance, a série 74C possui quase todas as características da série 4000.

Famílias Lógicas de Circuitos Integrados

- **74HC/HCT (High Speed CMOS – CMOS de Alta Velocidade)**

Versão aperfeiçoada da série 74C. Possui maior velocidade e maior capacidade de corrente. Componentes das séries 74HC e 74HCT são compatíveis pino a pino com componentes da série TTL. A série 74HC não é eletricamente compatível com TTL.

- **74AC/ACT (CMOS Avançado)**

Esta série apresenta uma melhoria no que se refere a imunidade a ruído, atraso de propagação e máxima frequência de clock. Não são compatíveis pino a pino com TTL. A série 74AC não é compatível eletricamente com TTL.

- **74AHC (Advanced High-Speed CMOS – CMOS Avançado de Alta Velocidade)**

Esta é a mais recente série utilizada em aplicações de alta velocidade, baixo consumo e baixa capacidade de acionamento.

- **Tensão de Alimentação**

As séries 4000/14000 e 74C podem operar com V_{DD} de 3 a 15 V. As séries 74HC/HCT e 74AC/ACT podem operar com V_{DD} de 2 a 6 V.

- **Níveis de Tensão Lógicos**

Tabela 3:

		Parâmetro					
		$V_{in}(min)$	$V_{il}(max)$	$V_{oh}(min)$	$V_{ol}(max)$	V_{NH}	V_{NL}
CMOS	4000B	3,5	1,5	4,95	0,05	1,45	1,45
	74HC	3,5	1,0	4,9	4,9	4,9	4,9
	74HCT	2,0	0,8	4,4	3,15	2,4	2,7
	74AC	3,5	1,5	2,7	2,7	0,1	0,1
	74ACT	2,0	0,8	0,1	0,1	0,44	0,1
	74AHC	3,85	1,65	0,4	0,5	0,5	0,4
	74AHCT	2,0	0,8	1,4	2,9	1,4	2,9
TTL	74	2,0	0,8	0,55	1,15	0,4	0,7
	74LS	2,0	0,8	0,7	0,7	0,9	0,7
	74AS	2,0	0,8	1,4	0,7	1,21	0,7
	74ALS	2,0	0,8	0,4	0,3	0,3	0,4

Famílias Lógicas de Circuitos Integrados

- **Margens de Ruído**

De um modo geral, os dispositivos CMOS têm margens de ruído maior que os TTL (tabela anterior). As margens de ruído são calculadas a partir da fórmula:

$$V_{NH} = V_{OH}(\min) - V_{IH}(\min)$$

$$V_{NL} = V_{OL}(\max) - V_{IL}(\max)$$

- **Dissipação de Potência**

Quando o circuito lógico CMOS está estático (não está comutando), sua dissipação de potência é muito baixa. Para $V_{DD} = +5\text{ V}$, a dissipação típica de potência DC é de 2,5 nW. Para $V_{DD} = +10\text{ V}$, este valor aumenta para apenas 10 nW.

- **Dissipação de Potência Aumenta com a Frequência**

A dissipação de potência em um circuito lógico CMOS aumenta com a frequência de comutação de sua saída.

Quando uma saída CMOS comuta de BAIXO para ALTO, uma corrente transiente deve ser fornecida para a capacitância de carga. Essa capacitância corresponde a todas as capacitâncias parasitas das entradas das portas lógicas que são acionadas por esta saída.

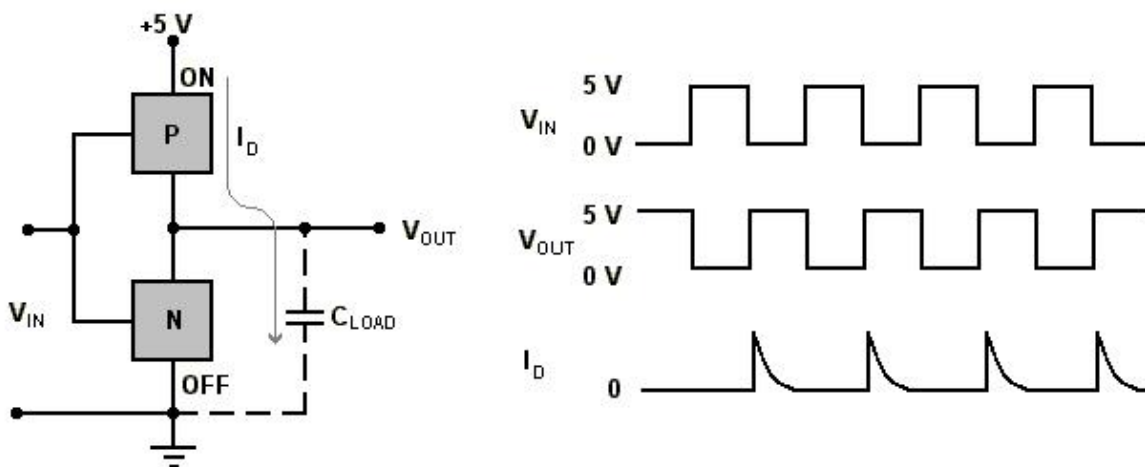


Fig. 22: Pulsos de corrente devido à capacitância parasita

A fig. 22 mostra o efeito da capacitância de carga no momento da transição da saída de um circuito CMOS.

Um outro fator é que durante as transições, por um curto período de tempo os dois transistores de saída estarão conduzindo juntos. Esse efeito também contribui para o aumento da dissipação de potência.

Famílias Lógicas de Circuitos Integrados

- **Fan-Out**

O número de entradas CMOS que uma saída CMOS pode acionar é limitado pela capacitância de entrada. Quanto maior for o número de entradas CMOS, maior é a capacitância de carga vista pela saída CMOS e maior será o seu tempo de comutação. Para frequências menores que 1 MHz, o fan-out está limitado a 50.

- **Velocidade de Comutação**

Os dispositivos CMOS têm maior velocidade de comutação em relação aos circuitos N-MOS e P-MOS. Isso porque a saída CMOS tem resistência menor que as saídas N-MOS e P-MOS.

Uma porta NAND da série 4000 terá tipicamente um t_{pd} de 50 ns com $V_{DD} = 5$ V, e 25 ns com $V_{DD} = 10$ V.

Uma porta NAND da série 74HC/HCT tem um t_{pd} médio em torno de 8 ns quando $V_{DD} = 5$ V. Uma porta NAND 74AC/ACT tem um t_{pd} médio em torno de 4,7 ns. Uma porta NAND 74AHC tem um t_{pd} médio em torno de 4,3 ns.

- **Entradas Não-Utilizadas**

Entradas CMOS nunca devem ficar desconectadas. Elas devem ser conectadas a um nível lógico ou alguma outra entrada.

Uma entrada CMOS não conectada é susceptível a ruído e a eletricidade estática, que poderiam polarizar os MOSFETs para um estado de condução, resultando no aumento de dissipação de potência e em possível superaquecimento.

- **Sensibilidade à Eletricidade Estática**

A grande resistência das entradas CMOS as torna especialmente sensíveis ao acúmulo de cargas estáticas, que podem produzir tensões suficientemente grandes para danificar os MOSFETs internos. A maioria dos circuitos integrados CMOS possui diodos de proteção, que limitam a tensão de entrada.

Famílias Lógicas de Circuitos Integrados

- **Comparação entre as Séries CMOS e TTL**

Tabela 2-4:

	Dissipação de potência por porta (mW)		Atraso de Propagação (ns)	Velocidade de potência (a 100 kHz)	Frequência máxima de clock (MHz)	Margem de ruído no pior caso (V)
	Estática	A 100 kHz				
4000B	1×10^{-3}	0,1	50	5	12	1,5
74C/HCT	$2,5 \times 10^{-3}$	0,17	8	1,4	40	0,9
74AC/ACT	5×10^{-3}	0,08	4,7	0,37	100	0,7
74AHC/T	9×10^{-3}	6×10^{-3}	3,7	0,02	130	0,55
74	10	10	9	90	35	0,4
74LS	2	2	9,5	19	45	0,3
74AS	8	8	1,7	13,6	200	0,3
74ALS	1,2	1,2	4	4,8	70	0,4

Todos os valores são para $V_{DD} = 5 \text{ V}$.

2.16- Tecnologia de Baixa Tensão

O aumento do número de componentes dentro dos circuitos integrados acarreta em um aumento de sua potência consumida e em problemas no material isolante entre os seus componentes internos. Para solucionar estes problemas surgiram os circuitos integrados que utilizam a tecnologia de baixa tensão, ou seja, a tensão é menor que os 5 V:

- **Série 74LVC (Low-Voltage CMOS – CMOS de Baixa Tensão)**

Utiliza lógica de 3,3 V mas pode aceitar níveis lógicos de 5 V em suas entradas.

- **Série 74ALVC(Advanced Low-Voltage CMOS – CMOS de Baixa Tensão Avançado)**

Oferece melhor performance e trabalha apenas com lógica de 3,3 V.

- **Série 74LV (Low-Voltage – Baixa Tensão)**

Utiliza tecnologia CMOS mas opera somente com dispositivos de 3,3 V.

- **Série 74LVT(Low-Voltage BiCMOS Technology – Tecnologia BiCMOS de Baixa Tensão)**

Oferece as mesmas características da série 74LVC (as entradas aceitam níveis lógicos de 5 V) e são eletricamente compatíveis com TTL.

Famílias Lógicas de Circuitos Integrados

Tabela 5:

	LVC	ALVC	LV	LVT
V_{cc} recomendado)	2,0 a 3,6	2,3 a 3,6	2,7 a 3,6	2,7 a 3,6
t_{PD} (ns)	6,5	3	18	4
Intervalo para V_{ih} (V)	2,0 a 6,5	2,0 a 4,6	2,0 a V _{cc} + 0,5	2,0 a 7
2,0 a 6,5				
V_{il} (max) (V)	0,8	0,8	0,8	20,8
I_{OH} (mA)	24	12	6	32
I_{OL} (mA)	24	12	6	64

17- Saídas CMOS de Dreno Aberto e Tristate

Saídas CMOS convencionais nunca devem ser conectadas juntas. Quando as saídas CMOS convencionais são colocadas em curto, o valor da tensão no terminal de saída comum será de aproximadamente $V_{cc} / 2$ se as saídas estiverem em níveis diferentes.

- Saídas em Dreno Aberto**

Dispositivos com dreno aberto são os correspondentes CMOS às saídas em coletor aberto TTL.

- Saídas Tristate**

Dispositivos com saídas tristate têm operação similar à das saídas tristate TTL.

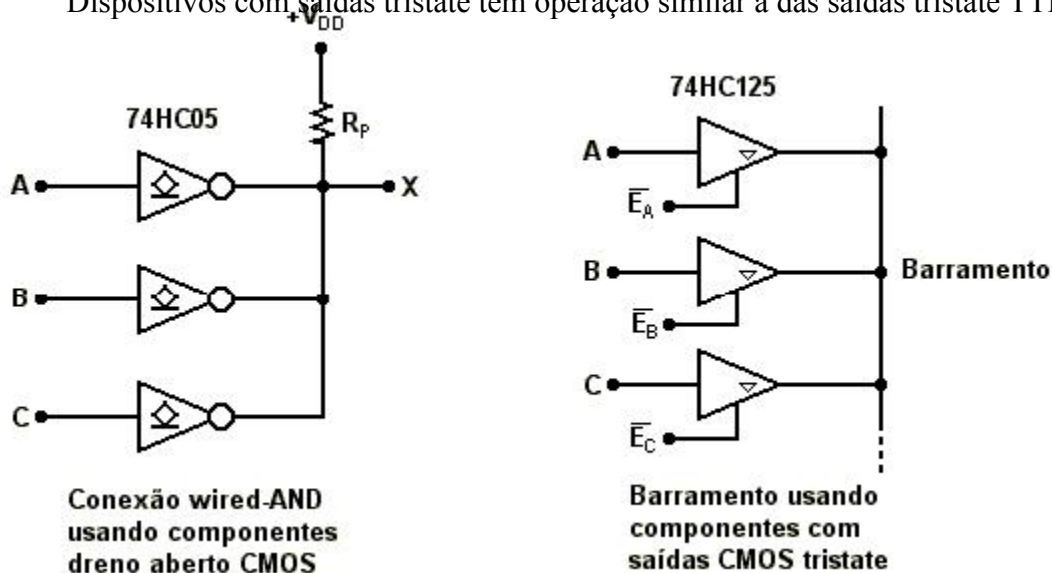


Fig. 23: Portas CMOS com dreno aberto em conexão wire-AND e saídas CMOS tristate conectadas em um barramento

Famílias Lógicas de Circuitos Integrados

18- Interfaceamento de Circuitos Integrados

Quando utilizamos circuitos integrados de diferentes tecnologias quase sempre necessitamos de um circuito de interface. O circuito de interface está conectado entre a saída do circuito acionador e a entrada do circuito de carga. Sua função é condicionar o sinal vindo do acionador e condicioná-lo de modo a torná-lo compatível com os requisitos da carga.

Tabela 2-6:

		Parâmetro							
		V_{IH} (min)	V_{IL} (max)	V_{OH} (min)	V_{OL} (max)	I_{IH} (max)	I_{IL} (max)	I_{OH} (max)	I_{OL} (max)
CMOS	4000B	3,5 V	1,5 V	4,95 V	0,05 V	1 μ A	1 μ A	0,4 mA	0,4 mA
	74HC	3,5 V	1,0 V	4,9 V	0,1 V	1 μ A	1 μ A	4 mA	4 mA
	74HCT	2,0 V	0,8 V	4,9 V	0,1 V	1 μ A	1 μ A	4 mA	4 mA
	74AC	3,5 V	1,5 V	4,9 V	0,1 V	1 μ A	1 μ A	24 mA	24 mA
	74ACT	2,0 V	0,8 V	4,9 V	0,1 V	1 μ A	1 μ A	24 mA	24 mA
	74AHC	3,85 V	1,65 V	4,4 V	0,44 V	1 μ A	1 μ A	8 mA	8 mA
	74AHCT	2,0 V	0,8 V	3,15 V	0,1 V	1 μ A	1 μ A	8 mA	8 mA
TTL	74	2,0 V	0,8 V	2,4 V	0,4 V	40 μ A	1,6 mA	0,4 mA	16 mA
	74LS	2,0 V	0,8 V	2,7 V	0,5 V	20 μ A	0,4 mA	0,4 mA	8 mA
	74AS	2,0 V	0,8 V	2,7 V	0,5 V	20 μ A	0,5 mA	2 mA	20 mA
	74ALS	2,0 V	0,8 V	2,7 V	0,4 V	20 μ A	0,1 mA	0,4 mA	8 mA
	74F	2,0 V	0,8 V	2,5 V	0,5 V	20 μ A	0,6 mA	1 mA	20 mA

Níveis de tensão e corrente de entrada/saída com $V_{DD} = V_{CC} = +5$ V.

19- TTL Acionando CMOS

Quando interfaceamos diferentes tipos de circuitos integrados, devemos verificar se o dispositivo acionador pode satisfazer os parâmetros de corrente e tensão do dispositivo de carga.

No caso de um TTL acionar uma carga CMOS, a corrente de saída TTL é capaz de satisfazer o requisito de entrada da entrada CMOS. Com relação à tensão, os parâmetros $V_{OH}(\min)$ de todas as séries TTL são muito baixos quando comparados com $V_{IH}(\min)$ das séries 4000B, 74HC, 74AC e 74AHC. A solução é aumentar a tensão $V_{OH}(\min)$ do acionador TTL. Isso é feito através de um resistor de pull-up.

Famílias Lógicas de Circuitos Integrados

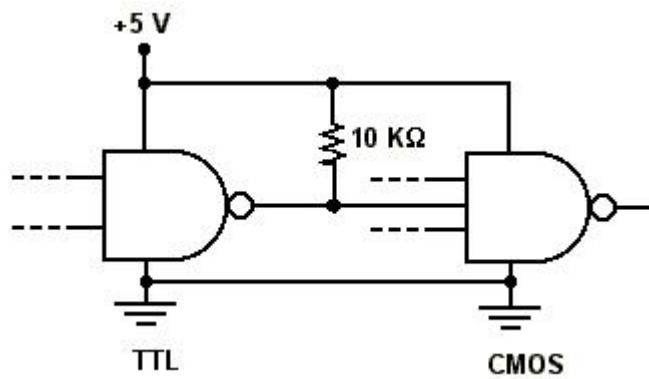


Fig. 24: O resistor de pull-up externo aumenta a tensão de saída para aproximadamente 5 V no estado ALTO.

- **TTL Acionando CMOS com Tensão de Alimentação Alta**

Os circuitos integrados TTL não podem operar com tensões maiores do que 5 V. Quando o dispositivo CMOS estiver operando com alimentação maior de 5 V, o resistor de pull-up não poderá ser utilizado. A solução é utilizar um buffer coletor aberto (7407) conforme a fig. 25:

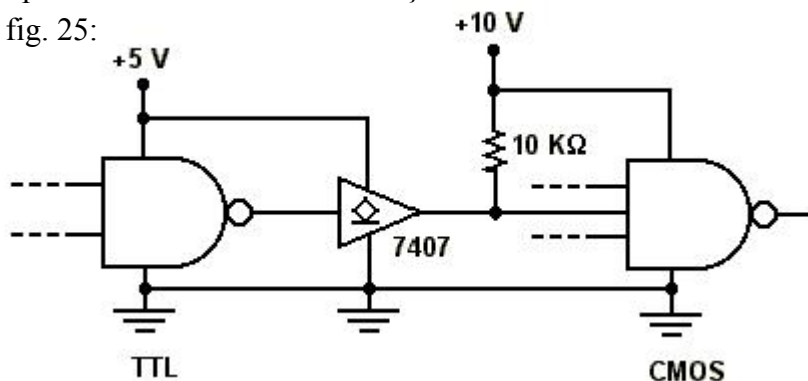


Fig.25: O buffer 7407 é usado para interfacear dispositivos TTL que acionam cargas CMOS com alimentação maior do que 5 V.

20- CMOS Acionando TTL

- **CMOS Acionando TTL no Estado ALTO**

As saídas CMOS podem fornecer tensão suficiente (V_{OH}) para satisfazer os requisitos de uma entrada TTL no estado ALTO (V_{IH}). As saídas CMOS também podem fornecer corrente suficiente para satisfazer os requisitos de corrente de entrada (I_{IH}).

Famílias Lógicas de Circuitos Integrados

Famílias Lógicas de Circuitos Integrados

- **CMOS Acionando TTL no Estado BAIXO**

Nesta situação, as séries 74HC e 74HCT podem acionar apenas uma carga TTL. A série 4000B não consegue acionar nenhuma carga TTL. A solução é utilizar um buffer tristate (74LS125). Este circuito de interface possui corrente de entrada baixa e corrente alta de saída.

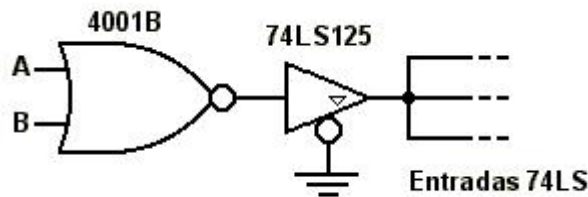


Fig. 26: Um buffer é usado para interfacear componentes CMOS de baixa capacidade de corrente com entradas 74LS

- **CMOS com Tensão de Alimentação Alta Acionando TTL**

Neste caso é necessário utilizar um circuito de interface que possa converter uma entrada de alta tensão para uma saída de 5 V. Um buffer (4050B) é utilizado para essa interface.

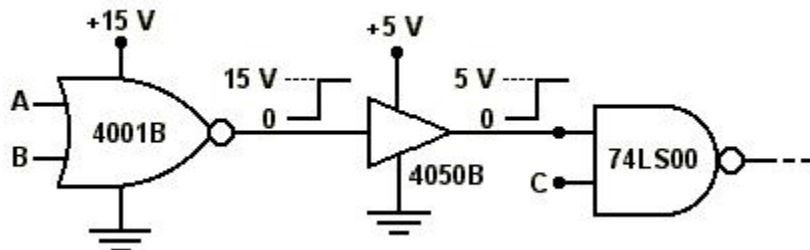


Fig. 27: Um buffer 4050 pode ser usado como um conversor de nível entre um componente TTL e um outro CMOS com fonte de alimentação de valor mais alto