

DSPIC - Final Project

111064559 徐詠祺

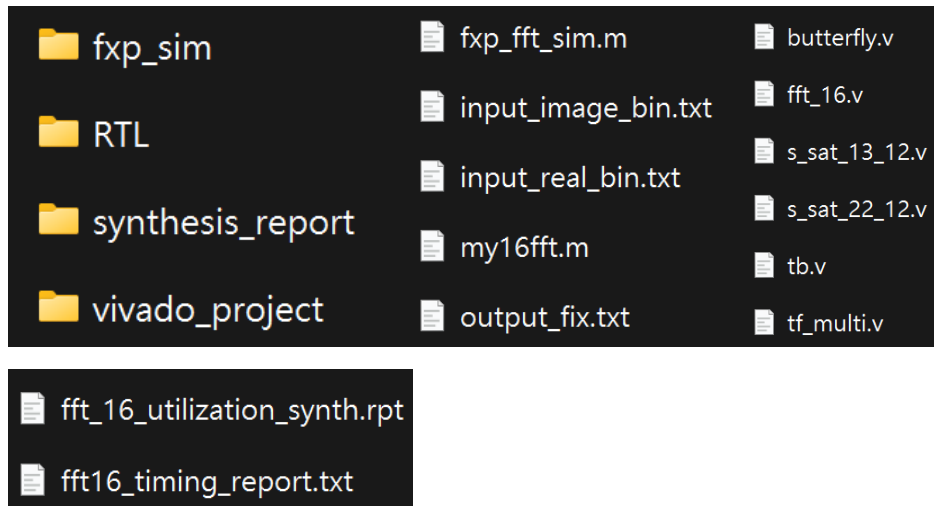
16-points FFT Processor with Radix-2 Delay Feedback Architecture

■ Introduction:

此 final project 的成果是製作出 delay feedback 架構的 16 點 FFT processor 來處理 stream in data，相較於 delay communicator 架構的 16 點 FFT 可節省 8 個單位的 delay register 的使用，因此做為一個 stream in/out FFT processor，本此 project 所採用的 delay feedback 架構是更有優勢的。由於之前並沒有做過可以比較的 FFT processor，所以難以去訂定目標規格，因此我把此 FFT processor 做了 non-pipelined 和 pipelined 的版本(檔案內的是 pipelined 版本)，透過比較這兩個版本的差異來進一步分析如何去做到期望的規格。

■ File Description:

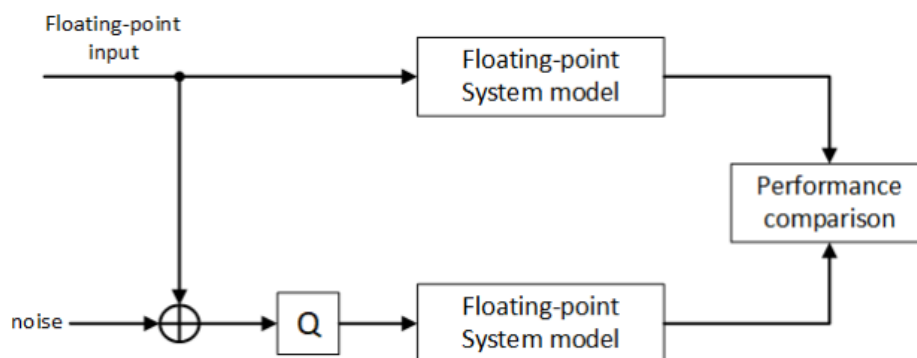
如下圖所示，分為四個主要的資料夾，第一個是 fxp_sim，裡面存放 fix point FFT 模擬的 Matlab code 以及輸入進電路的 testpattern 和該筆 pattern 的輸出結果來作為驗證使用；第二個是 RTL，裡面存放 5 份電路的 Verilog code 和 testbench；第三個是 synthesis_report，裡面存放合成結果的 timing & utilization report；最後是 Vivado project 完整的檔案。



■ Fix Point Simulation:

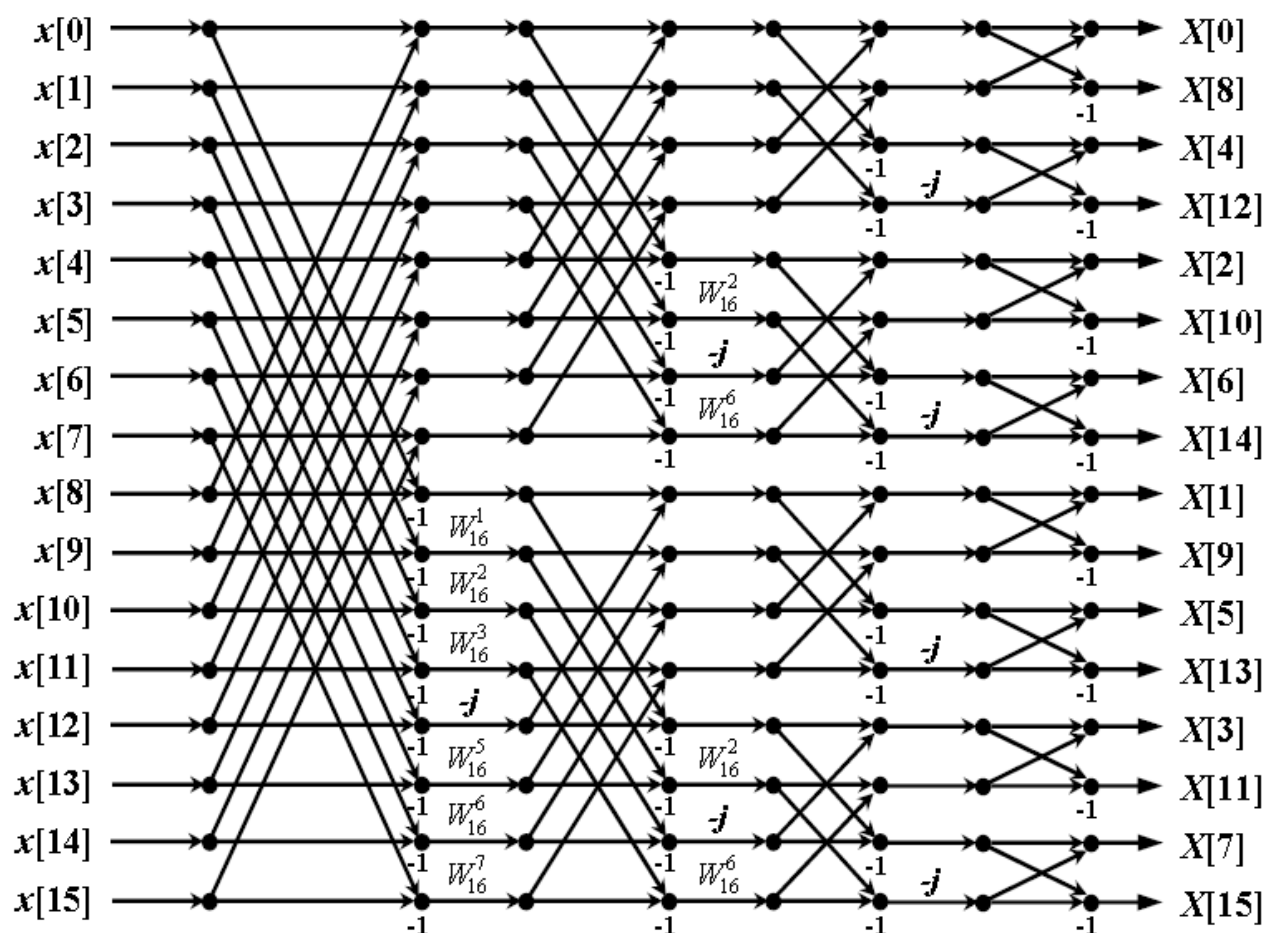
本次 FFT 的 fix point simulation 是透過 `fxp_fft_sim.m` 和 `my16fft.m` 來完成，並根據下圖的方法做 fix point simulation 與 SNR 分析來決定出 FFT 輸入&運算、twiddle factor 的 word length。

一開始我產生了一個 32000 筆隨機複數序列，並另該序列的平均功率為 1 以作為 FFT 的 input signal，之後便是產生相對原本 input signal SNR 為 30 的複數 noise，並把他和原本的 signal 疊加起來作為 fix point FFT SNR 分析使用。



第二部分我先在 `my16fft.m` 中實作出了下圖要應用在電路上的 DIF FFT 演算法，並

且在尚未進行輸入&運算、twiddle factor fix point 時先把 input signal 丟進去做過 floating 運算，並且和 Matlab 內建的 fft function 進行比較結果，確認過我的 function 運算無誤才加入 fi function 進行 fix point simulation。



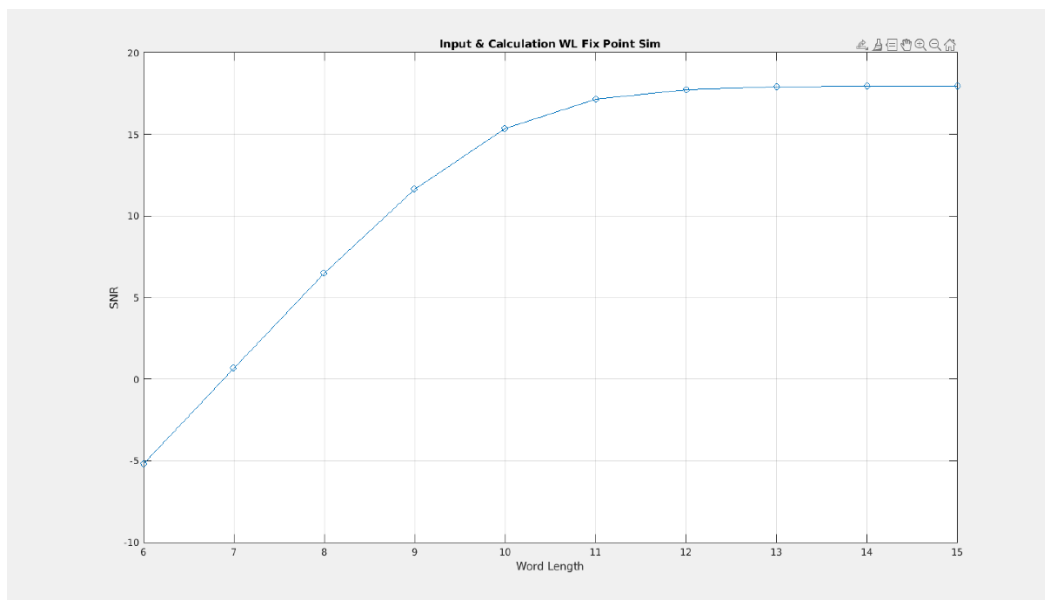
至於將 floating point 轉換成指令 word length、fraction length 的 fix point 上，我透過 Matlab fi function 來完成，特別需要注意的是由於我在電路中在運算過後做 bit reduction 打算使用 saturation 方法來處理 overflow 問題，此外因在小數 bit reduction 部分打算直接做 truncation 以避免電路做 rounding 會需要用到加法器，因此這 fi 的方法也要設置成 saturate 和 floor 方法來確保模擬結果會與電路行為一致。

```
F = fimath('OverflowAction','Saturate','RoundingMethod','Floor');
```

確定好了 fi function 的兩種行為後便是在 my16fft.m 中加上輸入&運算的 fix point，我會決定把輸入和運算一起做是因為在電路設計中輸入的 data 和做完一個 stage 後輸出的 data 需要做 bit reduction，並且他們的 word length、fraction length 是相同的，因此我第一部份的 SNR 分析會先 fix 輸入&運算，但在 twiddle factor 仍是 floating 的情況去決定輸入&運算的 word length。

根據 floating FFT 運算結果和 input sequence 的最大最小值情況，我決定把整數含 sign 的位寬定在 5 bits 來盡量避免 overflow 導致的 SNR loss。

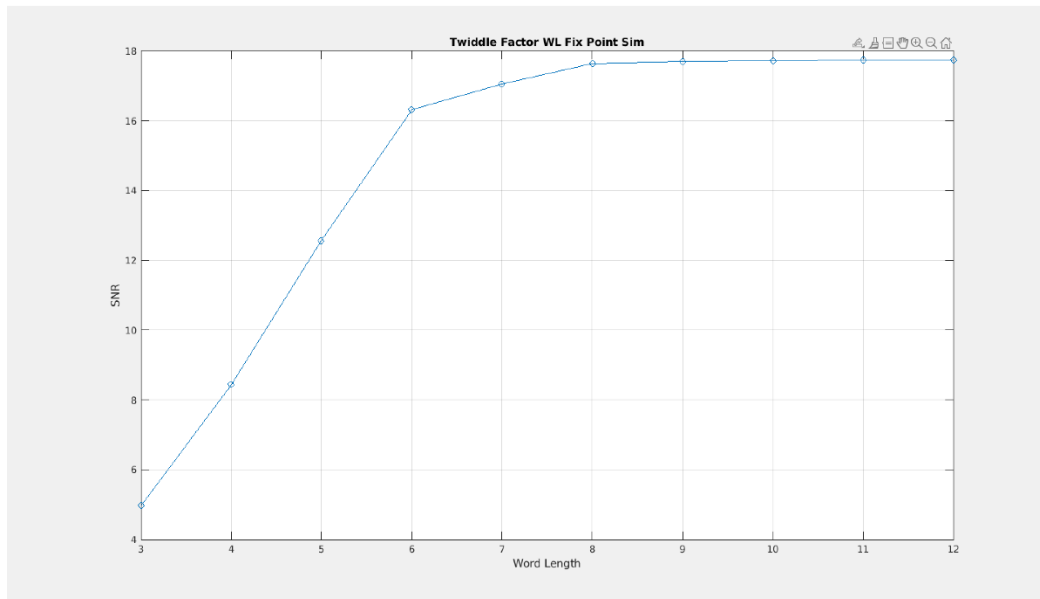
從下圖的 SNR 曲線可以看出，在我設定的 5 bits 整數寬度(含 sign bit)下，輸入與運算的 word length 約在 12 bits 會達到飽和，因此我就決定了以(12, 7)作為輸入與運算的 word length。



Fix 輸入和運算位寬後，剩下便是 twiddle factor SNR 模擬，由於 twiddle factor 的數值範圍在 1 到 -1 之間，因此我決定整數只要 1bit 也就是 sign，但這樣會遇到一個問題是 twiddle factor 在表示 1 上會有誤差，1 會變成 $1 - 2^{-(\text{fraction length})}$ ，為了避免這

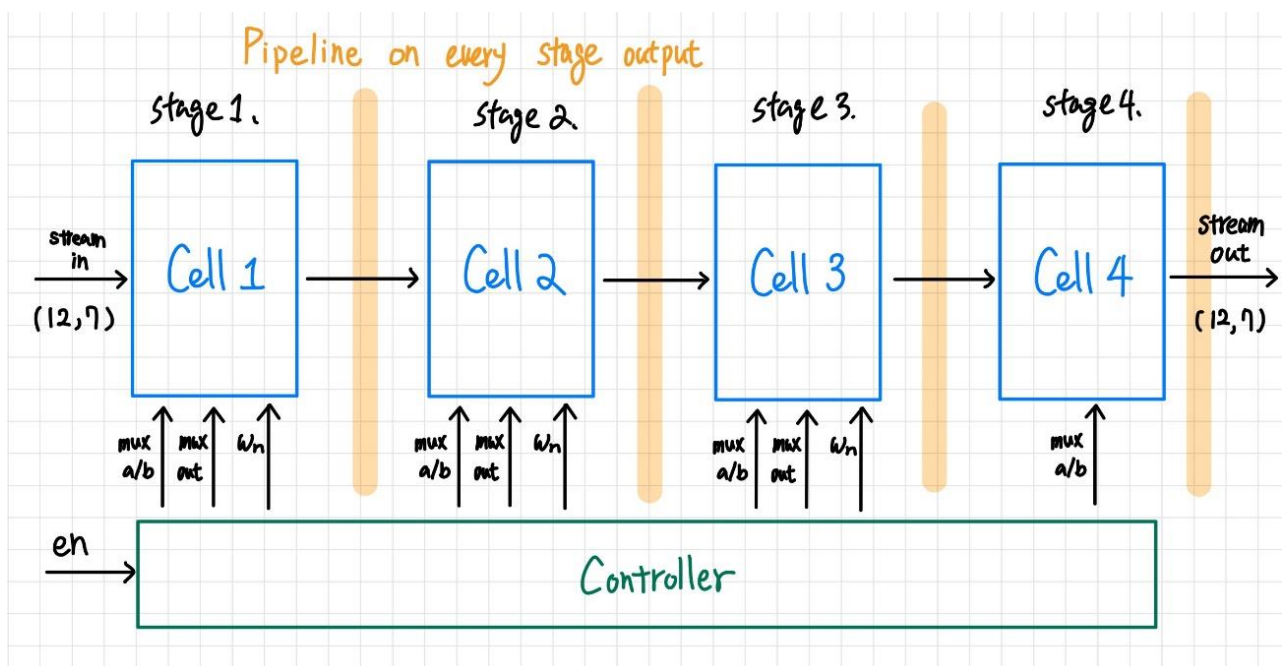
個的誤差我在 FFT 軟體運算和電路上都不進行乘 1 的行為(W_16_0)，直接 bypass 這部分即可避免使用 1bit 整數導致的誤差。

如下圖所示，twiddle factor word length 約在 9bits 會達到飽和，因此我就決定了以(9, 8)作為 twiddle factor word length。



■ Circuit Design (Pipelined version):

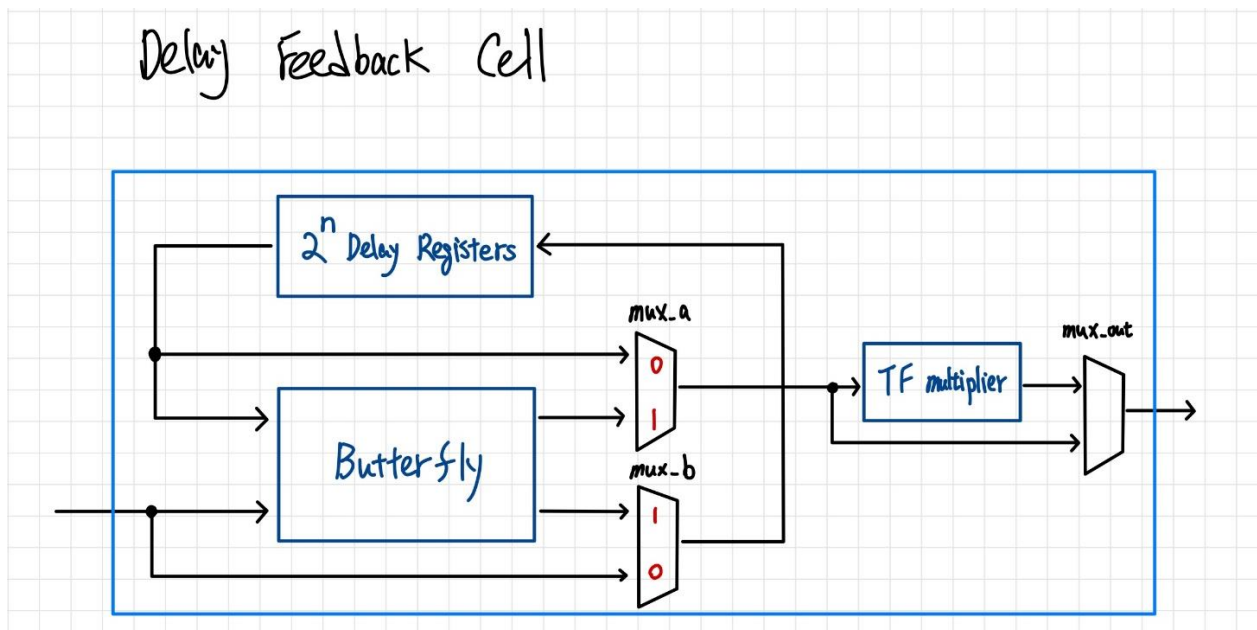
如下圖所示，整個 16 點 FFT processor 在 delay feedback 架構下可依照 stage 拆解，也就是拆成 4 個 Delay Feedback Cell，這樣的模組化的做法更容易因應不同點數 FFT 而進行修改，並且在 pipelined 版本我在每個 cell 輸出皆擋了一級 register，以用於切斷 critical path，讓 clock rate 可以進一步提升。



下圖是根據我使用的 DIF 演算法設計的 cell 架構，在每個 delay cell 內部大致上包含五個部分：第一個部分是 delay register，以 shift register 來完成 2^n 的 delay 以用於對齊 butterfly 運算的輸入；第二個部分是 butterfly，他的上方 path 輸入連接到 delay register，下方 path 接到 cell 的 stream input；第三個部份是兩個收到同樣 select 的 mux_a/b，根據對齊的時序去把正確的 butterfly 結果輸出到下面的 twiddle factor 乘法器；第四個部分是 twiddle factor 乘法器，收到 butterfly 資料後進 twiddle factor 複數乘法；第五個部分是決定 cell output 的 mux_out，它的存在是為了解決上述過的

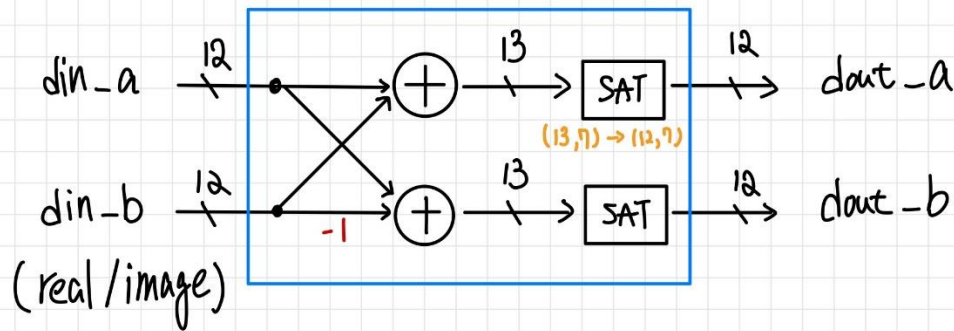
twiddle factor 表示 1 的問題，因此這個 mux_out 負責去輸出經過 twiddle factor 乘法的結果和不進行乘法的結果。

此外把 butterfly module 和 twiddle factor module 獨立拆開是為了這些 module 可以根據演算法調整，也可以把 twiddle factor 乘法和 mux_out 搬到 butterfly 前方，改變成 DIT 的架構。



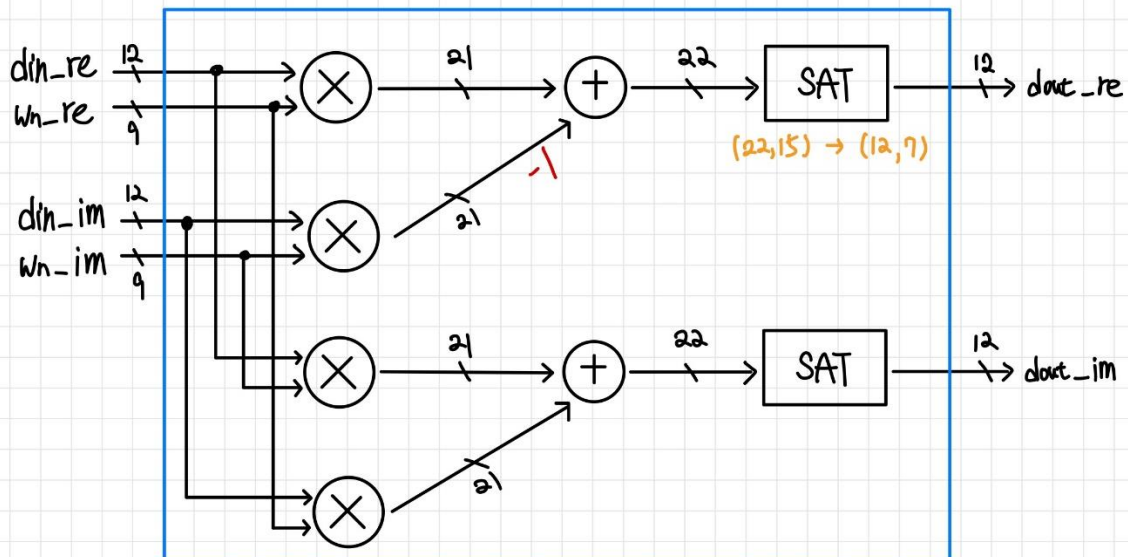
下圖為 butterfly module，在加法器輸出後擴增成 13bits 要經過(13,7)-(12,7)的 saturation module 判斷是否 overflow 並進行飽和的動作，和我在 Matlab 所做的加法再 fi 回(12,7)行為是一致的。

Radix-2 Butterfly

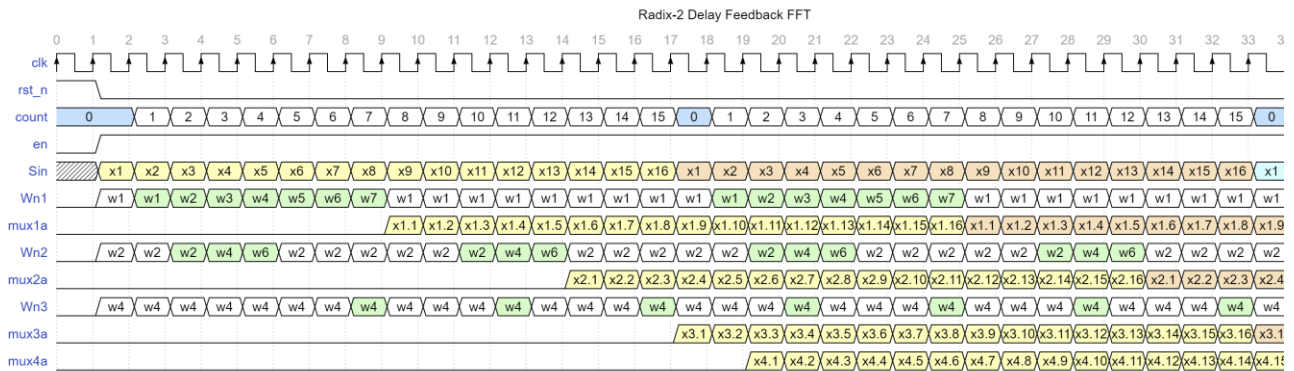


下圖為 twiddle factor multiplier module，因為是複數乘法，所以共需要 4 個乘法器和兩個加法器，此處為了避免乘加運算中間的 overflow 我是決定在乘加後再過(22,15)-(12,7)的 saturation module，但代價是兩個加法器的位寬就需要變大到 21 bits，此處電路的行為也和我在 Matlab 做 twiddle factor 乘法再 fi 回(12,7)的行為相同。

Twiddle Factor Multiplier



下圖為 FFT processor 預期的時序圖(pipelined)，我透過預先繪製時序圖的方法來進行 controller 的設計，確保在時序上有正確的控制所有 mux 和 twiddler factor。



Vivado Project FPGA 選擇為 Xilinx Alveo U50LV 來做合成結果分析使用，其速度等級為-2。

Project Summary x Device x

Overview | Dashboard

Settings Edit

Project name: fft_16
 Project location: /home/cakvin0901/dspic/fft16/fft_16
 Project part: Alveo U50LV Data Center Accelerator Card
 Top module name: fft_16
 Target language: Verilog
 Simulator language: Mixed

Board Part


Display name: Alveo U50LV Data Center Accelerator Card
 Board part name: xilinx.com:au50lv:part0:1.3
 Board revision: 1.3
 Connectors: No connections
 Repository path: /opt/Xilinx/Vivado/2022.2/data/boards/board_files
 URL: <http://www.xilinx.com/u50lv>
 Board overview: Alveo U50LV Data Center Accelerator Card
[Changes](#)

Synthesis

Status: ✔ Complete
 Messages: ⚠ 9 warnings
 Part: Acceleration Platform Board
 Strategy: [Vivado Synthesis Defaults](#)
 Report Strategy: [Vivado Synthesis Default Reports](#)
 Incremental synthesis: [Automatically selected checkpoint](#)

Implementation

Status: ✔ Running route_design
 Messages: No errors or warnings
 Part: Acceleration Platform Board
 Strategy: [Vivado Implementation Defaults](#)
 Report Strategy: [Vivado Implementation Default Reports](#)
 Incremental implementation: None



■ Simulation Result:

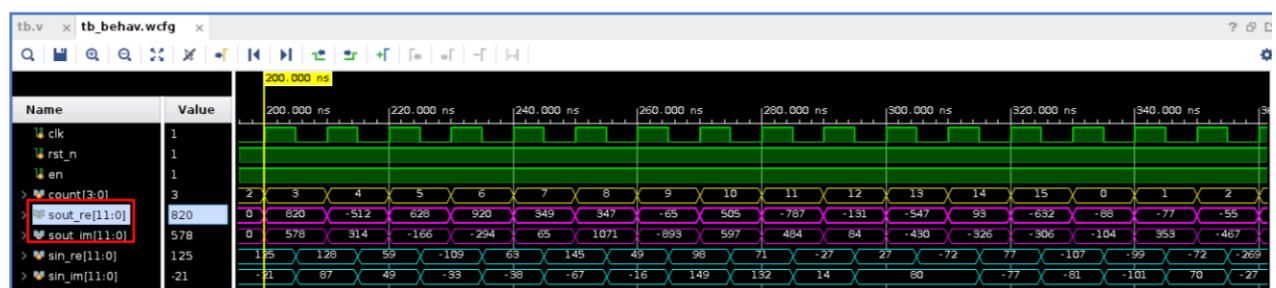
由下圖 Vivado 模擬結果可以看出前兩組 16 點輸出與 Matlab fix point 運算結果相同，

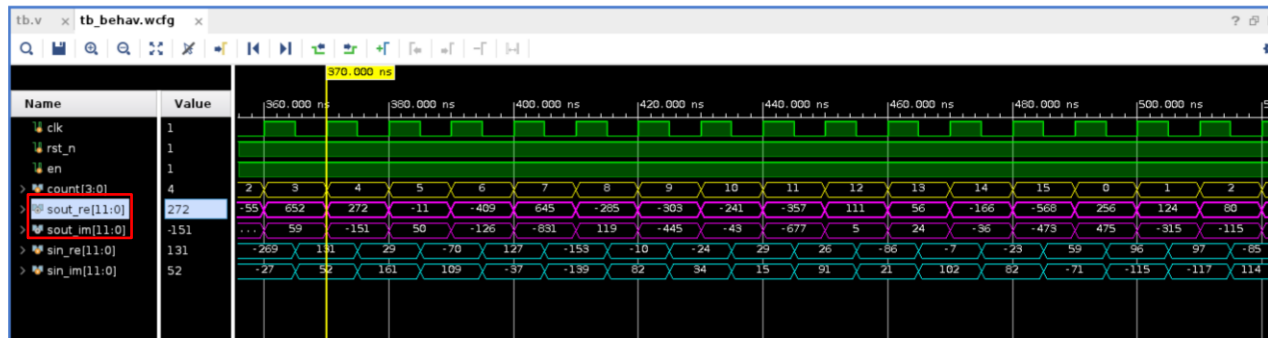
因此可以驗證電路功能是正確的，剩餘組數的結果比較可參考波行檔: tb_behav.wcfg 和

output_fix.txt。

1	820+578i	17	652+59i	x[0]
2	-787+484i	18	-357-677i	x[1]
3	349+65i	19	645-831i	x[2]
4	-632-306i	20	-568-473i	x[3]
5	628-166i	21	-11+50i	x[4]
6	-547-430i	22	56+24i	x[5]
7	-65-893i	23	-303-445i	x[6]
8	-77+353i	24	124-315i	x[7]
9	-512+314i	25	272-151i	x[8]
10	-131+84i	26	111+5i	x[9]
11	347+1071i	27	-285+119i	x[10]
12	-88-104i	28	256+475i	x[11]
13	920-294i	29	-409-126i	x[12]
14	93-326i	30	-166-36i	x[13]
15	505+597i	31	-241-43i	x[14]
16	-55-467i	32	80-115i	x[15]

x[0],x[8],x[4],x[12],x[2],x[10],x[6],x[14],x[1],x[9],x[5],x[13],x[3],x[11],x[7],x[15]





■ Synthesis Result:

1. Non-pipelined version:

◆ Timing Report:

Clock Summary			

Clock	Waveform(ns)	Period(ns)	Frequency(MHz)

clk	{0.000 6.250}	12.500	80.000

◆ Utilization Report:

Site Type	Used	Fixed	Prohibited	Available	Util%
CLB LUTs*	672	0	0	871680	0.08
LUT as Logic	624	0	0	871680	0.07
LUT as Memory	48	0	0	403200	0.01
LUT as Distributed RAM	0	0			
LUT as Shift Register	48	0			
CLB Registers	182	0	0	1743360	0.01
Register as Flip Flop	182	0	0	1743360	0.01
Register as Latch	0	0	0	1743360	0.00
CARRY8	32	0	0	108960	0.03
F7 Muxes	0	0	0	435840	0.00
F8 Muxes	0	0	0	217920	0.00
F9 Muxes	0	0	0	108960	0.00

2. Pipelined version:

◆ Timing Report:

Clock Summary			
Clock	Waveform(ns)	Period(ns)	Frequency(MHz)
clk	{0.000 2.800}	5.600	178.571

◆ Utilization:

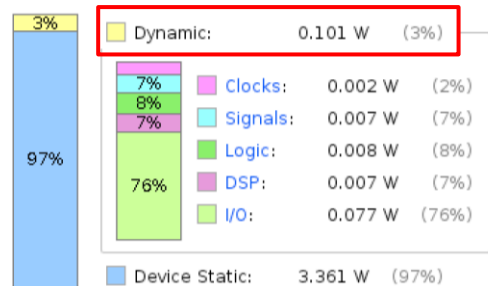
Site Type	Used	Fixed	Prohibited	Available	Util%
CLB LUTs*	576	0	0	871680	0.07
LUT as Logic	528	0	0	871680	0.06
LUT as Memory	48	0	0	403200	0.01
LUT as Distributed RAM	0	0			
LUT as Shift Register	48	0			
CLB Registers	275	0	0	1743360	0.02
Register as Flip Flop	275	0	0	1743360	0.02
Register as Latch	0	0	0	1743360	0.00
CARRY8	32	0	0	108960	0.03
F7 Muxes	0	0	0	435840	0.00
F8 Muxes	0	0	0	217920	0.00
F9 Muxes	0	0	0	108960	0.00

◆ Power Report:

Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

Total On-Chip Power: 3.462 W
FPGA Power: 3.121 W
HBM Power: 0.341 W
Design Power Budget: 60 W
Power Budget Margin: 56.538 W
Junction Temperature: 57.6°C
Thermal Margin: 42.4°C (51.9 W)
Effective θ_{JA} : 0.8°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Low

On-Chip Power



- ◆ **備註:** 兩種版本的合成結果皆有 met setup time，但是在合成報告中會有 negative hold slack，但這並沒有關係，因為在 Vivado implementation 的 clock tress synthesis 會把 hold time issue 修掉，如下圖 implementation 結果(pipelined 版本)，因此合成結果有 hold time violation 是無妨的，基本上做完 implantation 就會解決。

Design Timing Summary

Setup		Hold	
Worst Negative Slack (WNS):	0.124 ns	Worst Hold Slack (WHS):	0.056 ns
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	322	Total Number of Endpoints:	346
All user specified timing constraints are met.			

■ Result Analysis:

從合成結果可以發現此電路在 stage output 切了 pipeline 後，clock speed 從 80 MHz 大幅提升到 178.571 MHz，約提升了 123%，原本沒有切的 critical path 會從第一個 stage 的 delay register 到最後一個 stage 的 delay register，在每個 stage 輸出切過之後變成每級 delay register 輸出到 stage output register，大約僅剩下 1 個乘法、2 個加法等等的 delay，但是從輸入到輸出便會多了 4T delay，也多了 93 個 register。此外 LUT 的數量從 672 減少到了 576，約減少了 14%，我認為是控制邏輯的調整與 critical path 變短所導致的結果。對我來說切過 pipeline 的結果在 clock speed 上算是有達到我在 U50LV 上合成出來的預期。

■ Specification Chart:

	16-points FFT Processor
FPGA	Xilinx Alveo U50LV
Clock Speed	178.571 MHz
Hardware Cost	LUT: 576, Registers: 275
Throughput	11.16M 16-point FFT result per second
Power	0.101 W